



UNIVERSIDAD CARLOS III DE MADRID

## **TESIS DOCTORAL**

# **CONTROL LNL APLICADO A CONVERTIDORES REDUCTORES SÍNCRONOS MULTIFASE CON ENTRELAZADO, BAJA TENSION DE SALIDA Y RESPUESTA DINÁMICA RÁPIDA**

**Autor:**

**José de Jesús Quintero Paredes**

**Director:**

**Dr. Andrés Barrado Bautista**

**DEPARTAMENTO TECNOLOGÍA ELECTRÓNICA**

**Leganés, 31 de mayo de 2010**

## **TESIS DOCTORAL**

# **CONTROL LNL APLICADO A CONVERTIDORES REDUCTORES SÍNCRONOS MULTIFASE CON ENTRELAZADO, BAJA TENSIÓN DE SALIDA Y RESPUESTA DINÁMICA RÁPIDA**

Autor: José de Jesús Quintero Paredes

Director/es: Andrés Barrado Bautista

Firma del Tribunal Calificador:

Firma

Presidente:

Vocal:

Vocal:

Vocal:

Secretario:

Calificación:

Leganés, de de

*“La inteligencia consiste no sólo en el conocimiento, sino también en la destreza de aplicar los conocimientos en la práctica”.*

*Aristóteles*

# **AGRADECIMIENTOS**

## **EN LO PROFESIONAL**

A Andrés Barrado Bautista, mi director de tesis, por sus consejos, sugerencias y apoyo durante todo este período.

A Ramón Vázquez Perdomo, por ser el amigo que es, por su confianza y apoyo incondicional desde el primer día.

A todos los compañeros del Departamento de Tecnología Electrónica y muy especialmente al Grupo de Sistemas Electrónicos de Potencia, que han colaborado con sus criterios y opiniones.

A mis amigos y colegas, por su confianza, apoyo incondicional y calidad humana.

## **EN LO PERSONAL**

A mis padres por su amor y comprensión.

A mi hija por hacerme invencible ante las dificultades.

A mis hermanos y sobrinos por su ejemplo, confianza e inspiración.

A mis amigos por su apoyo y ser lo mejor con que cuento.

A mi padrino, a Francisco Javier y María Merced por estar siempre conmigo.

**A TODOS GRACIAS...**





# ÍNDICE

AGRADECIMIENTOS .....	I
ÍNDICE .....	III
PLANTEAMIENTO Y RESUMEN DE LA TESIS .....	IX
ABSTRACT .....	IX
LISTA DE ACRÓNIMOS .....	XVII
LISTA DE FIGURAS .....	XIX
LISTA DE TABLAS .....	XXIX
1. INTRODUCCIÓN .....	1
1.1 Avances de los Microprocesadores y su Impacto en las Fuentes de Alimentación .....	1
1.2 Características y nuevas especificaciones de los microprocesadores .....	4
1.3 Introducción a las Arquitecturas de los Sistemas de alimentación de los Microprocesadores .....	9
1.4 Retos técnicos para el diseño de convertidores de baja tensión destinados a la alimentación de $\mu P$ .....	11
2. ESTADO DE LA TÉCNICA .....	13
2.1 Generalidades de las Arquitecturas de alimentación de los $\mu P$ .....	13
2.1.1 Distribución de CC a baja tensión .....	14
2.1.2 Distribución de CC a alta tensión .....	15
2.1.3 Distribución de CA de alta frecuencia .....	16
2.2 Soluciones Topológicas candidatas para la alimentación de los microprocesadores .....	18
2.2.1 VRM con tensión de entrada de 12 ó 5 voltios .....	19
2.2.1.1 Convertidores multifase con funcionamiento simultáneo .....	21
2.2.1.2 Convertidores multifase con entrelazado .....	22
2.2.1.3 Convertidores de corriente multifase con ADC .....	24
2.2.2 VRM con tensión de entrada de 48 voltios .....	26
2.3 Soluciones desde el punto de vista de la estrategia de control .....	30
2.3.1 Estrategias de control lineal .....	31
2.3.1.1 Control en modo tensión .....	31
2.3.1.2 Control en modo corriente de pico .....	33

2.3.1.3 Control en modo corriente promediada .....	36
2.3.2 Estrategias de control no lineales.....	38
2.3.2.1 Control por histéresis .....	38
2.3.2.2 Control $V^2$ .....	41
2.3.2.3 Análisis de otros controles no lineales.....	42
2.3.2.4 Control Lineal no Lineal .....	44
Conclusiones .....	48
3. CARACTERIZACIÓN Y ANÁLISIS DE LOS VRM .....	51
3.1 Introducción a los Módulos Reguladores de Tensión .....	51
3.2 Características principales de los VRM .....	54
3.3 Diagrama de bloques de un VRM .....	56
3.3.1 Bloque de Alimentación .....	56
3.3.2 Etapa de Potencia .....	57
3.3.2.1 Filtro de entrada .....	58
3.3.2.2 Interruptores .....	58
3.3.2.3 Filtro de Salida .....	60
3.3.2.4 Condensadores de Salida .....	60
3.3.2.5 Inductancia de Salida .....	63
3.3.2.6 <i>Drivers</i> .....	65
3.3.3 Etapa de control .....	66
3.4 Pérdidas en los VRM multifase .....	67
3.4.1 Pérdidas en los transistores .....	67
3.4.2 Pérdidas en los <i>drivers</i> .....	69
3.4.3 Pérdidas en la bobina .....	70
3.4.4 Pérdidas en los condensadores de salida.....	71
3.5 Influencia del Número de fases .....	73
3.6 Otras características de interés de los VRM para aplicaciones específicas .....	78
3.6.1 Cambio dinámico del Número de fases .....	79
3.6.2 Posicionamiento Adaptativo de la tensión de salida .....	80
Conclusiones .....	81
4. CONVERTIDOR REDUCTOR CON CONTROL LINEAL NO LINEAL .....	83
4.1 Introducción .....	83

4.2	Control lineal en modo tensión .....	84
4.3	Particularidades del control LnL .....	88
4.4	Particularidades del control LnL aplicado a VRM .....	96
4.5	Influencia del bloque generador de desfase en la dinámica del VRM .....	99
4.5.1	Generador del ciclo de trabajo mediante contadores binarios .....	100
4.5.2	Generador del ciclo de trabajo mediante registros de desplazamiento .....	102
	Conclusiones .....	105
5	VALIDACIÓN CUANTITATIVA DEL CONTROL LNL .....	107
5.1	Especificaciones de diseño de los VRM .....	108
5.2	Diseño de los VRM .....	109
5.2.1	Planteamiento del problema para el análisis de los VRM .....	109
5.2.2	Principales características de los VRM diseñados .....	110
5.3	Resultados del análisis comparativo entre los diferentes VRM .....	116
5.3.1	Distinta frecuencia de conmutación, rizado de la tensión de salida, condensador de salida, control y rizado de la corriente hacia el condensador de salida.....	116
5.3.2	Igual rizado de la corriente hacia el condensador de salida, Frecuencia de conmutación y número de fases .....	122
5.3.3	Distinta frecuencia de conmutación y control y el mismo condensador de salida y rizado de la corriente de salida.....	126
	Conclusiones .....	129
6	VRM CON CONTROL LNL MIXTO ANALÓGICO/DIGITAL .....	133
6.1	Introducción a los VRM con control LnL mixto.....	133
6.2	Generalidades de la Implementación del VRM con control Lineal y control LnL .....	134
6.2.1	Convertidor VRM multifase con control lineal mixto.....	134
6.2.2	Convertidor VRM multifase con control mixto .....	136
6.3	Particularidades del bloque analógico del VRM con control mixto .....	137
6.3.1	Bloque analógico: bloque lineal .....	138
6.3.2	Bloque analógico: bloque no lineal .....	142
6.4	Particularidades del bloque digital de los VRM con control mixto .....	145
6.4.1	Ventajas e inconvenientes del control digital .....	145

6.4.2	Bloque digital del VRM con control mixto .....	148
6.4.1.1	Bloque digital del VRM con control lineal mixto .....	148
6.4.1.2	Bloque digital del VRM con control LnL mixto .....	151
6.5	Descripción de las configuraciones de funcionamiento de los VRM con control mixto.....	155
6.5.1	Generación de las señales de control cuando el periodo de conmutación es igual al periodo de la señal PWM del bloque lineal .....	160
6.5.2	Generación de las señales de control cuando el periodo de conmutación es igual al doble del periodo de la señal PWM del bloque lineal.....	161
6.6	Implementación de las configuraciones de funcionamiento de los VRM con control mixto .....	162
6.6.1	Descripción del diagrama de bloques detallado del control mixto..	164
6.6.2	Generación de las señales de disparo.....	168
6.7	Análisis cualitativo del control LnL mediante simulaciones .....	174
6.7.1	VRM con control mixto. Principales características.....	174
6.8	Validación del control LnL aplicado a VRM. ....	182
6.8.1	Comparación entre el control lineal y el control LnL.....	182
6.8.2	Reducción de la frecuencia de conmutación y del número de fases en los VRM con control LnL. Resultados experimentales .....	186
	Conclusiones .....	192
7	IMPLEMENTACIÓN DIGITAL DEL CONTROL LN <sub>L</sub> .....	195
7.1	Introducción .....	195
7.2	Implementación digital del control lineal .....	197
7.2.1	Convertor análogo/digital .....	198
7.2.1.1	Principales características de los conversores A/D.....	200
7.2.2	Regulador lineal. Principales características.....	204
7.2.2.1	Función de transferencia en el dominio discreto .....	205
7.2.2.2	Representación mediante ecuaciones en diferencia.....	206
7.2.3	Modulador DPWM. Principales características .....	209
7.3	Implementación digital del control LnL .....	210
7.3.1	Influencia de los diferentes períodos de actualización del sistema en la dinámica del convertidor.....	219

7.3.2 Resultados experimentales .....	223
7.3.2.1 Periodo de muestreo del conversor A/D.....	225
7.3.2.2 Periodo de actualización del ciclo de trabajo .....	226
7.4 Implementación del conversor A/D de alta velocidad .....	229
7.4.1 Conversor A/D de alta velocidad .....	229
7.4.2 Validación experimental.....	240
7.5 Implementación del modulador DPWM de alta resolución .....	242
7.5.1 Modulador DPWM síncrono de alta resolución .....	244
7.5.2 Validación experimental.....	252
Conclusiones .....	254
8 OPTIMIZACIÓN DEL CONTROL L <sub>N</sub> L.....	255
8.1 Introducción .....	255
8.2 Planteamiento teórico del método de optimización .....	256
8.2.1 Respuesta dinámica teórica óptima .....	258
8.2.2 Principios del control L <sub>N</sub> L óptimo. Caso ideal.....	263
8.2.3 Tiempos de recuperación.....	278
8.2.4 Variación de la tensión de salida durante un transitorio.	
Caso ideal .....	279
8.3 Consideraciones prácticas para la implementación del método de	
optimización .....	282
8.3.1 Variación de la tensión de salida durante un transitorio.	
Caso real .....	282
8.3.2 Factores que influyen en el tiempo de retardo.....	287
8.3.2.1 Tiempo de retardo en los sistemas a tiempo continuo.....	288
8.3.2.2 Tiempo de retardo en los sistemas a tiempo discreto .....	290
8.3.2.2.1 Influencia del período de muestreo en el retardo del	
sistema .....	294
8.3.2.3 Tiempo de retardo debido a las tensiones de umbral.....	296
8.3.2.3.1 Definición de la tensión de umbral en los sistemas	
Discretos .....	299
8.4 Optimización del control L <sub>N</sub> L .....	300
8.4.1 Metodología de diseño del convertidor reductor con control L <sub>N</sub> L .....	301
8.4.2 Algoritmo de diseño propuesto .....	302

8.4.3 Resultados de las simulaciones del control LnL optimizado .....	309
8.4.4 Resultados de las simulaciones del control LnL asimétrico .....	312
8.4.5 Resultados de experimentales del control LnL optimizado .....	320
Conclusiones .....	322
9. CONCLUSIONES Y APORTACIONES .....	325
9.1 Aportaciones del presente trabajo .....	325
9.1.1 Aportaciones relacionadas con la aplicación del control LnL a convertidores VRM.....	327
9.1.2 Aportaciones relacionadas con el diseño mixto analógico/digital....	328
9.1.3 Aportaciones relacionadas con el diseño digital del control LnL ....	328
9.1.4 Aportaciones relacionadas con la optimización de la respuesta del control LnL .....	329
9.2 Recomendaciones para trabajos futuros .....	329
PUBLICACIONES .....	331
REFERENCIAS BIBLIOGRÁFICAS .....	335
ANEXO I.....	353
ANEXO II .....	359

## PLANTEAMIENTO Y RESUMEN DE LA TESIS

La industria de la microelectrónica ha evolucionado muy rápidamente durante los últimos años y se prevé que esta tendencia se prolongue en el futuro, traducéndose en circuitos electrónicos cada vez más rápidos.

Los microprocesadores ( $\mu P$ ) son los circuitos integrados que mejor representan esta tendencia y, de alguna manera, son los que encabezan este movimiento. Según se va incrementando la velocidad y la capacidad de procesamiento de los microprocesadores, los fabricantes se encuentran con un problema adicional: la alimentación del  $\mu P$ . Los requerimientos que se exigen a las fuentes de alimentación de los  $\mu Ps$  son cada vez más exigentes. La tensión de salida de estas fuentes debe ser baja y requiere de una gran calidad para el correcto funcionamiento del  $\mu P$ , lo cual dificulta enormemente su diseño y fabricación.

El diseño de este tipo de fuentes de alimentación es cada vez más complejo y con requisitos dinámicos cada vez más elevados. Las bajas tensiones de alimentación, las altas corrientes y las altas derivadas de corriente demandadas, son los retos actuales que imponen los microprocesadores a sus fuentes de alimentación. Además, se está produciendo un incremento de consumo de potencia por unidad de área, lo que genera un problema térmico adicional. De aquí, que una adecuada gestión térmica, es otro de los retos, no menos importante, con el que se enfrentan los diseñadores.

Estas fuentes a su vez se alimentan de un bus de distribución. Tanto el bus de distribución como las fuentes de alimentación de los microprocesadores varían su arquitectura en dependencia del tipo de aplicación. No obstante, todas estas arquitecturas tienen como elemento en común, la posibilidad de pasar, muy rápidamente, de un estado de bajo consumo, unos cuantos amperios, a un estado de alta actividad, varias decenas de amperios (hasta 150A). Estas transiciones ocurren con derivadas de corrientes muy elevadas, que puede alcanzar los amperios por nanosegundo (aprox. 1,2A/ns).



Con el objetivo de garantizar la adecuada respuesta ante los transitorios de carga, se necesitan un número elevado de condensadores. Estos condensadores están distribuidos en diferentes puntos, con el objetivo de minimizar la influencia de los parásitos.

Por lo tanto, cualquier solución, tanto topológica como de estrategia de control, que permita disminuir el número de condensadores de salida garantizando los mismos requerimientos, implica una mejora considerable de las características de estas fuentes de alimentación, conocidas como módulos reguladores de tensión (VRM del inglés *Voltage Regulator Module*).

Para alcanzar estos objetivos es necesario que los nuevos cambios tecnológicos estén dirigidos a investigar sobre topologías y estrategias de control avanzadas, con el objetivo de lograr un alto rendimiento, una alta densidad de potencia y rápida respuesta ante transitorios de carga, para aplicaciones de baja tensión y altas corrientes.

El primer objetivo de este trabajo está centrado, en mejorar la respuesta dinámica de los VRM multifase para aplicaciones de baja tensión y altas corrientes de salida con altas derivadas de la corriente de carga, aplicando la estrategia de control conocida como control lineal no lineal (LnL). Por otra parte, se hace un análisis riguroso del control LnL y se estudia su comportamiento aplicado a los VRM. Como resultado, se destacan las ventajas que aporta esta estrategia de control respecto a la estrategia de control lineal, destacando la capacidad del control LnL de mejorar, significativamente, tanto las características dinámicas del VRM como su estabilidad ante perturbaciones de la carga.

Como segundo objetivo se establece, el diseño de un convertidor VRM multifase reconfigurable con control analógico/digital mixto, en el que se pueda implementar tanto un control lineal como un control LnL, que permita validar experimentalmente los resultados teóricos obtenidos durante el estudio de las diferentes configuraciones topológicas analizadas.

Un tercer objetivo se centra en el diseño de un convertidor VRM multifase con control totalmente digital, con el fin de contrastar las ventajas e inconvenientes del control LnL sobre una plataforma versátil basada en una FPGA (del inglés *Field Programmable Gate Array*).

Además de resolver todas las particularidades resultantes de la adaptación del control L<sub>n</sub>L analógico a su implementación mixta o totalmente digital, se propone la optimización del control L<sub>n</sub>L utilizando el método del balance de cargas del condensador de salida. Se propone el algoritmo que optimiza la respuesta del convertidor para unos parámetros de diseño determinados y se propone el control L<sub>n</sub>L asimétrico como solución que permite disminuir las sobre corrientes durante los transitorios.

La tesis de doctoral está compuesta por nueve capítulos. A continuación, se realiza una breve descripción de cada uno de ellos.

*Capítulo 1. Introducción.* En este capítulo se analizan las principales tendencias y retos técnicos para el diseño de las fuentes destinadas a la alimentación de los microprocesadores. Se describen las principales líneas de investigación y los esfuerzos tecnológicos que pretenden mejorar las características de las fuentes de baja tensión.

*Capítulo 2. Estado de la Técnica.* En este capítulo se hace un análisis de los trabajos relacionados con el tema de la tesis, señalando las principales líneas de investigación dentro de los convertidores reductores VRM, para diferentes aplicaciones. Se exponen las ventajas e inconvenientes de cada una de las arquitecturas de distribución, utilizadas para la alimentación de los sistemas con microprocesadores. Por otra parte, se analizan los factores que influyen sobre la respuesta dinámica del convertidor, desde el punto de vista de la estrategia de control y de la selección adecuada de la topología.

Desde el punto de vista del control, la mejor respuesta, ante los transitorios de carga, la presentan aquellas estrategias de control que basan su funcionamiento en la saturación del ciclo de trabajo y que a su vez garantizan las especificaciones dinámicas y de estabilidad del convertidor. La estrategia de control que combina ambas características es el control lineal no lineal (L<sub>n</sub>L). Desde el punto de vista de la topología, los convertidores VRM multifases con entrelazado son los que se presentan como la mejor opción para aplicaciones de baja tensión.

*Capítulo 3. Caracterización y Análisis de los VRM.* En este capítulo se hace una introducción a los VRM, destacando las principales características y requisitos que deben cumplir este tipo de fuentes de alimentación. Además, se hace hincapié en la influencia de cada uno de los parámetros de diseño, tanto sobre el rendimiento del convertidor como en su respuesta dinámica. También, se detallan otras características de los VRM para aplicaciones más específicas.

*Capítulo 4. Convertidor Reductor con Control Lineal no Lineal.* En este capítulo se describen las principales características y principio de funcionamiento del control L<sub>n</sub>L aplicado a los VRM. Este control permite combinar varios factores, la sencillez de un control lineal lento en modo tensión, los cuales son precisos y tienen un bajo rizado de la tensión de salida, que garantiza la respuesta del convertidor en régimen permanente; con un control no lineal rápido, que garantiza la respuesta del convertidor ante los transitorios de carga. Además, se definen los métodos más utilizados en la generación del desfase entre cada una de las fases del VRM, y su influencia en el funcionamiento del convertidor.

*Capítulo 5. Valoración Cuantitativa del Control L<sub>n</sub>L.* En este capítulo se realiza un estudio comparativo entre un conjunto de VRM, diseñados para cumplir las mismas especificaciones, en los que se combinan los principales parámetros de diseño: inductancia por fase, condensador de salida, frecuencia de conmutación, número de fases y tipo de control. El estudio muestra la influencia del control L<sub>n</sub>L en la integración del convertidor. Para ello, se compararán el área y el volumen de todos los diseños propuestos, que permitirá extraer las principales conclusiones de estudio cualitativo planteado.

*Capítulo 6. VRM con Control L<sub>n</sub>L Mixto analógico/digital.* En este capítulo se hace una introducción al control mixto, definiendo las particularidades de cada uno de los bloques que lo forman. Se profundiza en la implementación tanto del bloque analógico como del bloque digital, presentes en el control mixto, aplicado a VRM multifase. Se detallan las particularidades del control lineal mixto y del control L<sub>n</sub>L mixto. Finalmente, se presenta una validación experimental de la técnica, mediante su implementación en una FPGA, plataforma que permite una gran flexibilidad y posibilita una fácil y rápida configuración del convertidor.

*Capítulo 7. Implementación Digital del Control L<sub>n</sub>L.* En este capítulo se plantea la implementación totalmente digital de control L<sub>n</sub>L aplicado a VRM multifases. Para ello se muestran cada uno de los bloques que forman parte del control digital. Se hace un análisis de las principales características de cada uno de ellos, destacando la influencia de los parámetros de diseño en la respuesta dinámica del convertidor. Se propone y valida mediante resultados de simulación y experimentales la implementación digital del control L<sub>n</sub>L; y se validan nuevas propuestas que mejoran la dinámica del convertidor, tales como la modulación de ancho de pulso digital (DPWM) síncrona de alta resolución, y la conversión analógico/digital (ADC) de ventana de alta velocidad, para aplicaciones en electrónica de potencia.

*Capítulo 8. Optimización del control LnL.* En este capítulo se realiza un estudio analítico con el que se define el método de optimización del control LnL, basado en el análisis del circuito, mediante el método del balance de cargas del condensador de salida durante un transitorio de carga. Se propone el control LnL con umbrales asimétricos que permite disminuir la sobreoscilación de corriente (*ringing*) durante los transitorios, característica del control LnL original. Finalmente, se propone el control LnL óptimo, el cual puede ser implementado digitalmente, además del algoritmo de funcionamiento y su metodología de diseño.

*Capítulo 9. Conclusiones y Recomendaciones.* En este capítulo se resumen las principales conclusiones del estudio realizado sobre el control LnL, aplicado a convertidores reductores síncronos multifases con respuesta dinámica rápida. Se valora la novedosa solución mixta analógico/digital, que no requiere de conversores analógico/digitales, lo que hace que esta propuesta sea muy interesante para ser utilización en aplicaciones con determinados requerimientos dinámicos. Se analizan las principales conclusiones de la propuesta de implementación del control LnL totalmente digital. También, se resumen las principales ventajas obtenidas como resultado de la optimización del control LnL y de su metodología de diseño.

Además, se describen un conjunto de recomendaciones y se trazan las líneas futuras de investigación sobre la aplicación del control LnL.



## ABSTRACT

The microelectronics industry has grown and developed very rapidly in recent years and this trend is expected to be extended in the future, resulting in electronic circuits faster and faster.

Microprocessors ( $\mu\text{P}$ ) are the integrated circuits that best represent this trend and, somehow, they lead this tendency. As increase the speed and processing capabilities of microprocessors, manufacturers are faced with an additional problem: to power the microprocessors. The requirements that require power supplies of  $\mu\text{P}$  are increasingly demanding. The output voltage from these sources should be low and requires a great quality for the proper functioning of  $\mu\text{P}$ , which greatly complicates its design and manufacturing.

The design of such power supply is becoming increasingly complex and with dynamic requirements ever higher. The low output voltages, high output currents with high slope are the current challenges imposed by the microprocessor to their power supplies. In addition, there has been an increase in power consumption per unit area, creating an additional thermal problem. Hence, a proper thermal management is another challenge, not less important, that designers have to solve.

These power supplies are fed from a distribution bus. Both, the distribution bus and microprocessor power supplies vary its architecture depending on the application. However, all these architectures have the possibility of changing very fast from a low-power state, few amperes, to a state of high activity, several tens of amperes (up to 150A). These transitions occurs with very high currents slopes that can reach amperes per nanosecond (about 1.2 A / ns).

In order to guarantee an appropriate load transients response is necessary a large number of capacitors. These capacitors are distributed in different points of the circuit, with the objective of minimizing the influence of parasitic effects. Therefore, any topological or control solution which allows reducing the number of output capacitors, but guaranteeing the same requirements, implies a significant improvement in the characteristics of these power supplies, known as voltage regulator modules (VRM).

To achieve these objectives is required that the new-technological changes are aimed to investigate new topologies and advanced control strategies, with the aim of achieving a high efficiency, high power density and fast load transient response, for low voltage and high currents applications.

The first aim of this work is focused on improving the dynamic response multiphase VRM, for low voltage and high output currents applications, applying the control strategy known as linear-non-linear control (LnL). On the other hand, a rigorous analysis of LnL control is made and its behavior applied to the VRM is studied. As a result, the advantages of this control strategy to improve significantly both, the dynamic characteristics of VRM and the stability to disturbances of the load, are highlighted.

The second aim is the design of a reconfigurable multiphase VRM with analog / digital mixed control, in which can be implemented either linear or LnL controls, allowing experimental verification of the theoretical results obtained during the study of different topological configurations analyzed.

A third aim is oriented to the design of a multiphase VRM with fully digital control, in order to compare the advantages and disadvantages of LnL control implemented on FPGA (Field Programmable Gate Array) platform.

In addition to solving all the features resulting from the conversion of the analog LnL control into mixed LnL (analog and digital) or digital LnL implementation, a LnL control optimization is proposed by means of the balance charge method on the output capacitor. The proposed algorithm optimizes the response of the converter for certain design parameters. Finally, the asymmetrical LnL control is proposed as a solution that allows decreasing overcurrent oscillations during transients, regarding the symmetrical LnL control.

# 1. LISTA DE ACRÓNIMOS

AB	Ancho de Banda
ADC	Conversor analógico-digital
Alum-Polymer	Condensadores de Aluminio-polímero
ASIC	Circuitos Integrados para Aplicaciones Específicas
AVP	Posicionamiento Adaptativo de tensión
CA	Corriente Alterna
CAVRM	Convertidores locales de corriente alterna en directa
CC	Corriente Continua
CPE	Convertidores Paralelos Entrelazados
CU	comparador de Umbrales
DAP	Detector de Ancho de Pulso
DCI	Controlador Digital de Impedancia
DPWM	Modulación por Ancho de Pulso Digital
DSP	Procesador Digital de Señal
DVS	Escalado Dinámico de la tensión
EMI	Interferencia electromagnética
ENOB	Número de bits efectivo del conversor
E/S	Entrada/Salida (referente a un puerto)
ESR	Resistencia serie equivalente
ESL	Inductancia serie equivalente
$\Sigma$ - $\Delta$	Sigma-Delta
FP	Fuente Principal
FPA	Filtro Paso Alto
FPGA	Matriz de Puertas Programables por Campo eléctrico
GSE	Generador de Sincronismo Externo
GSP	Generador de Sincronismo PWM
HFAC	Corriente Alterna de Alta Frecuencia
LnL	Lineal no Lineal
LSB	Bit menos significativo
MF	Módulo de Fase
MIPS	Millones de instrucciones por segundo
MLCC	Condensadores cerámicos multicapas



MMC	Multiplexor de Modo de Control
MOSFET	Transistor de efecto de campo, metal-óxido semiconductor
MSAP	Multiplexor de Selección de Ancho de Pulso
MS2C	Multiplexor de Selección de dos Canales
MSB	Bit más significativo
$\mu$ P	Microprocesador
PSiP	Fuente de alimentación dentro de una cápsula ( <i>Power Supply in Package</i> )
PSoC	Fuente de alimentación en un chip ( <i>Power Supply on Chip</i> )
PWM	Modulación por Ancho de Pulso ( <i>Pulse Wide Modulator</i> )
RDB	Registro de Desplazamiento Bidireccional
RDF	Registro de Desplazamiento de Fase
SNR	relación señal ruido
$T_{AD}$	Período de muestreo del conversor A/D
$T_{dup}$	Período de actualización del ciclo de trabajo
$T_{MMC}$	Período de muestreo del MMC
VHDL	Lenguaje de descripción de hardware digital
VHDL-AMS	Lenguaje de Descripción de hardware digital, analógico y mixto
VRD	Voltage Regulator Down
VRM	Módulo Regulador de Tensión (Voltage Regulator Module)
ZVS	Conmutación a tensión cero (Zero Voltage Switching)

## LISTA DE FIGURAS

Figura 1.1 Crecimiento de la complejidad de los circuitos digitales (número de transistores por unidad de área) descrito según la Ley de Moore .....	1
Figura 1.2 Evolución de la frecuencia de funcionamiento de los microprocesadores .....	2
Figura 1.3 Evolución del balance térmico de los microprocesadores.....	3
Figura 1.4 Modelo del microprocesador como carga .....	6
Figura 1.5 Variación de la tensión de salida del VRM ante un escalón de carga .....	8
Figura 1.6 Arquitectura de distribución de baja tensión .....	9
Figura 1.7 Arquitectura de distribución de alta tensión .....	10
Figura 2.1 Distribución de CC de baja tensión .....	14
Figura 2.2 Distribución de CC de alta tensión .....	15
Figura 2.3 Distribución de CA de alta frecuencia .....	17
Figura 2.4 Convertidor reductor con rectificación síncrona .....	19
Figura 2.5 Etapa de potencia de un convertidor reductor multifase.....	22
Figura 2.6 Diagrama de tiempos de las corrientes y de las señales de disparo en un VRM .....	23
Figura 2.7 Convertidor conmutado de corriente con ADC .....	25
Figura 2.8 Rectificador doblador de corriente .....	27
Figura 2.9 Convertidor VRM con topología <i>forward</i> con enclavamiento activo .....	28
Figura 2.10 Convertidor VRM con topología de medio puente simétrico .....	29
Figura 2.11 Convertidor reductor con rectificación síncrona y control en modo tensión.....	32
Figura 2.12 Convertidor reductor con rectificación síncrona y control en modo corriente de pico .....	34
Figura 2.13 Convertidor reductor con rectificación síncrona y control en modo corriente de promediada .....	36
Figura 2.14 Convertidor reductor con rectificación síncrona y control con histéresis .....	39
Figura 2.15 Convertidor reductor con rectificación síncrona y control $V^2$ .....	41

Figura 2.16 Convertidor reductor con rectificación síncrona y control Lineal	
no Lineal .....	45
Figura 2.17 Diagrama de tiempos que explican el principio de funcionamiento del	
control LnL aplicado a convertidores de una fase .....	46
Figura 3.1 Sistema de alimentación simplificado del microprocesador .....	51
Figura 3.2 Tipos más comunes de VRM .....	53
Figura 3.3 Diagrama general simplificado de un VRM.....	56
Figura 3.4 Circuito simplificado de la etapa de potencia.....	57
Figura 3.5 Convertidor reductor .....	58
Figura 3.6 Modelo del microprocesador como carga .....	61
Figura 3.7 Variación de la tensión de salida ante un escalón de corriente de	
carga positivo para diferentes valores de inductancia.....	62
Figura 3.8 Variación de la tensión de salida en función de la inductancia.....	63
Figura 3.9 Pérdidas totales en un VRM de 4 fases para $V_{ent}=5V$ y $V_{ent}=12V$ .....	72
Figura 3.10 Rendimiento de un VRM de 4 fases para $V_{ent}=5V$ y $V_{ent}=12V$ .....	73
Figura 3.11 Etapa de potencia de un convertidor reductor multifase .....	74
Figura 3.12 Convertidor reductor de dos fases en paralelo con funcionamiento	
simultáneo .....	75
Figura 3.13 Convertidor reductor con dos fases en paralelo con entrelazado	
( <i>interleaving</i> ).....	76
Figura 3.14 Factor de cancelación en función del ciclo de trabajo para	
diferente número de fases .....	78
Figura 3.15 Rendimiento del VRM en función de la corriente de salida para	
diferente número de fases .....	79
Figura 3.16 Variación de la tensión de salida en función de la corriente de	
carga con control AVP .....	80
Figura 4.1 Convertidor reductor con rectificación síncrona y con control Lineal.....	84
Figura 4.2 Convertidor reductor con rectificación síncrona y con control LnL .....	88
Figura 4.3 Diagrama de tiempos de la respuesta del convertidor reductor ante	

escalones de carga positivo y negativo: a) con control LnL y b) con control Lineal.....	91
Figura 4.4 Estructura del bloque no lineal para un convertidor reductor de una fase.....	92
Figura 4.5 Respuesta asíncrona del control no lineal en función de la variación de la tensión de salida.....	94
Figura 4.6 Convertidor reductor multifase con rectificación síncrona y con control Lineal .....	96
Figura 4.7 Convertidor reductor multifase con rectificación síncrona y con control LnL .....	97
Figura 4.8 Respuesta del convertidor reductor multifase con 4 fases entrelazadas, ante escalones de carga positivo y negativo .....	98
Figura 4.9 Generación de las señales de disparo en convertidores multifase mediante contador binario .....	100
Figura 4.10 Período de actualización del ciclo de trabajo utilizando contadores binarios .....	101
Figura 4.11 Generación de las señales de disparo en convertidores multifase mediante registros de desplazamiento .....	103
Figura 4.12 Período de actualización del ciclo de trabajo utilizando registro de desplazamiento .....	104
Figura 5.1 Respuesta transitoria de los diferentes VRM ante un escalón de carga positivo. Resultados de las simulaciones .....	112
Figura 5.2 Núcleo de ferrita del tipo RM .....	113
Figura 5.3 Tipos de condensadores utilizados en el diseño de los VRM .....	115
Figura 5.4 Encapsulado de los interruptores del tipo LFPK SOT669 .....	115
Figura 5.5 Comparativa entre las áreas de los VRM normalizadas .....	119
Figura 5.6 Comparativa entre los volúmenes de los VRM normalizadas .....	120
Figura 5.7 Comparativa entre las áreas y volúmenes de los VRM normalizados .....	121
Figura 5.8 Respuesta transitoria del VRM3 con control lineal y con control LnL ante un	

escalón de carga positivo. Resultados de las simulaciones .....	123
Figura 5.9 Comparativa entre las áreas normalizadas de los VRM3 con control lineal y $C_{sal}= 2mF$ , (Ref.) y con control LnL optimizado y $C_{sal}= 1,4mF$ .....	124
Figura 5.10 Comparativa entre los volúmenes normalizadas de los VRM3 con control lineal y $C_{sal}= 2mF$ (Ref.) y con control LnL optimizado y $C_{sal}= 1,4mF$ .....	125
Figura 5.11 Comparativa entre las áreas/volúmenes normalizadas de los VRM3 con control lineal y $C_{sal}= 2mF$ (Ref.) y con control LnL optimizado y $C_{sal}= 1,4mF$ .....	125
Figura 5.12 Comparativa entre las áreas y volúmenes de los VRM normalizados para $\Delta I_{sal}=7,29A$ .....	128
Figura 6.1 Convertidor reductor multifase con control lineal mixto .....	135
Figura 6.2 Convertidor reductor multifase con control LnL mixto .....	136
Figura 6.3 Diagrama de bode de cada uno de los tipos de reguladores: Tipo I (L1), Tipo II (L2), Tipo III (L3).....	139
Figura 6.4 Circuito de un regulador lineal tipo III.....	140
Figura 6.5 Diagrama de bloques de un convertidor reductor multifase equivalente con control lineal en modo tensión .....	141
Figura 6.6 Diagrama de bloques general del bloque no lineal.....	143
Figura 6.7 Diagrama de bloques de la lógica de control para un VRM con control lineal mixto .....	149
Figura 6.8 Diagrama de bloques de la lógica de control para un VRM con control LnL mixto .....	152
Figura 6.9 Convertidor reductor síncrono multifase reconfigurable con control mixto .....	158
Figura 6.10 Generación de las señales de disparo para un VRM de 4 y 8 fases entrelazadas con periodos de conmutación $T_{sw}=T_{pwm}$ .....	160
Figura 6.11 Generación de las señales de disparo para un VRM de 4 y 8 fases con periodos de conmutación $T_{sw}=T_{pwm}$ .....	162
Figura 6.12 Diagrama en bloques del convertidor VRM con control mixto .....	164
Figura 6.13 Generación de las señales de disparo para un VRM de 4 fases y	

periodo de conmutación $T_{sw} = T_{pwm}$ .....	169
Figura 6.14 Generación de las señales de disparo para un VRM de 4 fases y periodo de conmutación $T_{sw} = 2T_{pwm}$ .....	171
Figura 6.15 Algoritmo de generación de las señales $P_{pulso}$ y $M_{pulso}$ del VRM con periodo de conmutación $T_{sw} = 2T_{pwm}$ .....	172
Figura 6.16 Resultados de las simulaciones de la respuesta transitoria del VRM ( $\Delta I_{sal} = 50A$ ). Tensión de umbral $V_{ref} \pm 15mV$ .....	177
Figura 6.17 Resultados de las simulaciones de la respuesta transitoria del VRM con ancho de banda del bloque lineal del control LnL igual a 80kHz ( $\Delta I_{sal} = 50A$ ). Tensión de umbral $V_{ref} -10/+3mV$ .....	180
Figura 6.18 Detalle del transitorio ante un escalón de corriente (escalón de corriente de 30A, y derivada de la corriente de 10A/ $\mu s$ ) .....	183
Figura 6.19 Detalle del transitorio ante escalones de corriente: a) con control lineal y b) con control LnL (escalón de corriente de 30A, y derivada de la corriente de 10A/ $\mu s$ ) .....	184
Figura 6.20 Respuesta ante sucesivos escalones de corriente de subida y bajada (escalón de corriente de 30A, y derivada de la corriente de 10A/ $\mu s$ ) .....	185
Figura 6.21 Topologías reductoras multifase para el análisis .....	187
Figura 6.22 Convertidor “❶”, 4 fases, 300kHz y control lineal, $\Delta B=2kHz$ .....	187
Figura 6.23 Convertidor “❷”, 4 fases, 600kHz y control lineal, $\Delta B=2kHz$ .....	187
Figura 6.24 Convertidor “❸”, 8 fases, 300kHz y control lineal, $\Delta B=2kHz$ .....	188
Figura 6.25 Convertidor “❹”, 8 fases, 600kHz y control lineal, $\Delta B=2kHz$ .....	188
Figura 6.26 Convertidor “❺”, 4 fases, 300kHz y control LnL, $\Delta B=2kHz$ .....	189
Figura 6.27 Respuesta transitoria de un VRM multifase con control lineal (50A escalón de corriente y 40A/ $\mu s$ derivada de la corriente, $\Delta B=40kHz$ ) .....	190
Figura 6.28 Respuesta transitoria de un VRM multifase con control lineal (50A escalón de corriente y 40A/ $\mu s$ derivada de la corriente, $\Delta B=40kHz$ ) .....	190
Figura 6.29 Respuesta transitoria de un VRM de 4 fases 300kHz con control LnL (50A escalón de corriente y 40A/ $\mu s$ derivada de la corriente, $\Delta B=40kHz$ ) .....	191

Figura 7.1 Diagrama de bloques del VRM con control lineal implementado de forma digital.....	197
Figura 7.2 Cuantificador ideal.....	200
Figura 7.3 Errores estáticos del cuantificador.....	201
Figura 7.4 Errores de no linealidad diferencial e integral.....	202
Figura 7.5 Error dinámico producido por <i>jitter</i> en la señal de muestreo .....	203
Figura 7.6 Representación de la función de transferencia discreta.....	206
Figura 7.7 Representación directa de la ecuación en diferencias .....	208
Figura 7.8 Diagrama de bloques del VRM de 4 fases con control LnL implementado de forma digital .....	210
Figura 7.9 Diagrama de bloques regulador LnL asíncrono .....	211
Figura 7.10 Principio de funcionamiento del regulador LnL asíncrono.....	212
Figura 7.11 Modos de funcionamiento del regulador LnL asíncrono: lineal (dLin[n]) y no lineal (dnL[n]) .....	214
Figura 7.12 Algoritmo de funcionamiento del bloque no lineal A del regulador LnL asíncrono .....	216
Figura 7.13 Estructura DPWM basada en contador binario y Multiplexor de Modo de Control.....	217
Figura 7.14 Período de conmutación y el período de actualización del ciclo de trabajo.....	219
Figura 7.15 Funcionamiento asíncrono del regulador LnL en función de $T_{dup}$ .....	220
Figura 7.16 Respuesta transitoria del VRM de 4 fases ante escalones de carga de 50A y derivada de 40A/ $\mu$ s y con ancho de banda del regulador lineal igual a 20kHz .....	224
Figura 7.17 Respuesta transitoria de un VRM de 4 fases con control LnL digital, ante escalones de carga de 50A y derivada de 40A/ $\mu$ s. Ancho de banda del regulador lineal 40Hz.....	225
Figura 7.18 Respuesta transitoria de un VRM de 4 fases con control LnL digital, ante escalones de carga de 50A y derivada de 40A/ $\mu$ s, para diferentes	

períodos de muestreo del conversor A/D .....	226
Figura 7.19 Respuesta transitoria de un VRM de 4 fases con control lineal digital ante escalones de carga de 50A y derivada de 40A/μs, para diferentes períodos de actualización del ciclo de trabajo .....	227
Figura 7.20 Respuesta transitoria de un VRM de 4 fases con control LnL digital ante escalones de carga de 50A y derivada de 40A/μs, para diferentes períodos de actualización del ciclo de trabajo .....	228
Figura 7.21 Arquitectura del conversor A/D tipo flash .....	231
Figura 7.22 Configuración de los pines de E/S de la FPGA de bajo coste .....	232
Figura 7.23 Estructura del conversor AD propuesto utilizando las resistencias internas de <i>pull-down</i> .....	234
Figura 7.24 Estructura del conversor A/D propuesto utilizando codificación compleja.....	239
Figura 7.25 Topología del conversor A/D propuesto utilizando sólo con divisor resistivo externo.....	239
Figura 7.26 Respuesta del conversor A/D con frecuencia de muestreo de 50MHz. Resultados experimentales .....	241
Figura 7.27 Respuesta del conversor A/D con diferentes frecuencias de muestreo. Resultados experimentales .....	242
Figura 7.28 Modulador DPWM de alta resolución .....	245
Figura 7.29 Resolución en tiempo del modulador DPWM propuesto .....	252
Figura 8.1 Respuesta transitoria de un convertidor con control no lineal ante un escalón de carga positivo .....	259
Figura 8.2 Respuesta transitoria del convertidor con control óptimo ante un escalón de carga positivo. Saturación del ciclo de trabajo .....	262
Figura 8.3 Variación de la corriente de la bobina durante un escalón de carga positivo .....	264
Figura 8.4 Variación de la corriente de la bobina durante un escalón de carga negativo .....	272



Figura 8.5 Variación estimada de la tensión de salida para diferentes escalones de carga: positivos (a) y negativos (b) .....	281
Figura 8.6 Variación de la corriente de la bobina y de la tensión de salida <i>ante un</i> escalón de carga positivo .....	284
Figura 8.7 Variación de la tensión de salida del convertidor ante un escalón de carga positivo.....	285
Figura 8.8 Representación de los tiempos de retardo aplicables al control LnL ante un escalón de carga positivo: (a) con funcionamiento continuo (analógico), (b) con funcionamiento discreto (digital) .....	288
Figura 8.9 Respuesta del convertidor ante diferentes escalones de carga positivo .....	289
Figura 8.10 Respuesta del convertidor para diferentes tiempos de retardo .....	290
Figura 8.11 Respuesta del convertidor ante un escalón de carga positivo en función del período de muestreo de la señal .....	291
Figura 8.12 Influencia del rizado de la tensión de salida en la elección de la tensión de umbral .....	297
Figura 8.13 Variación estimada de la tensión de salida ante escalones de carga negativo de 50A e inductancia del filtro de salida equivalente de 75nH.....	304
Figura 8.14 Algoritmo de funcionamiento del bloque no lineal asíncrono del control LnL optimizado para el caso de un escalón de carga positivo.....	307
Figura 8.15 Algoritmo de funcionamiento del bloque no lineal asíncrono del control LnL optimizado para el caso de un escalón de carga negativo.....	308
Figura 8.16 Respuesta del VRM con control LnL optimizado ante escalas de carga. Resultados de simulación.....	310
Figura 8.17 Respuesta del VRM ante un escalón de carga negativo con control LnL optimizado. Resultados de simulación.....	310
Figura 8.18 Comparativa entre las respuestas del VRM con control LnL original con umbrales simétricos y con control LnL optimizado. Resultados de simulación.....	314

Figura 8.19 Escalones de carga negativo (a) y positivo (b). Análisis de la variación de la carga para el caso del umbral asimétrico. ....	313
Figura 8.20 Respuestas del VRM con control LnL asimétrico y optimizado ante escalones de carga. Resultados de simulación.....	316
Figura 8.21 Comparativa entre las respuestas del VRM con los diferentes controles LnL. Resultados de simulación .....	317
Figura 8.22 Respuesta del VRM con diferentes controles LnL, durante escalones de carga: (a) positivo (b) negativo. Resultados de simulación.....	319
Figura 8.23 Respuesta del VRM con diferentes controles digital: lineal y LnL optimizado .....	321



## LISTA DE TABLAS

Tabla 1.1 Especificaciones para diferentes versiones de VRM de Intel .....	5
Tabla 1.2 Especificaciones del VRM para diferentes configuraciones del procesador Xeon de Intel .....	7
Tabla 1.3 Especificaciones de los condensadores de desacoplo .....	7
Tabla 4.1 Modos de funcionamiento del control LnL en función de las señales de control $S_0$ y $S_1$ .....	89
Tabla 5.1 Principales especificaciones para el diseño del VRM. ....	108
Tabla 5.2 Principales parámetros de los VRM diseñados .....	111
Tabla 5.3 Principales parámetros constructivos de los VRM. ....	116
Tabla 5.4 Resultados de las áreas y volúmenes unitarios de los principales componentes de los VRM. ....	118
Tabla 5.5 Resultados de las áreas y volúmenes totales de los VRM analizados. ....	118
Tabla 5.6 Principales parámetros constructivos de los VRM3 analizados. ....	122
Tabla 5.7 Principales parámetros constructivos de los VRM para $\Delta I_{sal}=7,29A$ . ....	127
Tabla 5.8 Áreas y volúmenes totales de los VRM analizados ( $\Delta I_{sal}=7,29A$ ). ....	128
Tabla 6.1 Modos de funcionamiento del control LnL en función de las señales de control $S_0$ y $S_1$ .....	144
Tabla 6.2 Resumen de los principales parámetros de diseño del bloque digital .....	168
Tabla 6.3 Características principales del VRM con control mixto. ....	175
Tabla 6.4 Comparativa de VRM con diferentes estrategias de control (diferente número de fases e igual frecuencia de conmutación) .....	178
Tabla 6.5 Comparativa de VRM con diferentes estrategias de control (igual número de fases y diferente frecuencia de conmutación) .....	179
Tabla 6.6 Comparativa de VRM con diferentes estrategias de control (diferente número de fases y diferente frecuencia de conmutación y ancho de banda del bloque lineal del control LnL reducido) .....	181

Tabla 7.1 Resumen comparativo de los principales parámetros de diseño .....	222
Tabla 7.2 Resumen de los parámetros de diseño del conversor A/D .....	238
Tabla 7.3 Descripción de las señales del DPWM.....	248
Tabla 8.1 Resumen de los principales parámetros que definen los intervalos de tiempo del convertidor en función de $T_0$ .....	277
Tabla 8.2 Desviación de la tensión de salida del convertidor durante transitorios de carga.....	282
Tabla 8.3 Resultados de los cálculos del control LnL optimizado .....	306
Tabla 8.4 Resumen de los resultados de las simulaciones de los VRM con los diferentes versiones de control LnL. ....	320

# CAPÍTULO 1

## INTRODUCCIÓN

### 1.1 AVANCES DE LOS MICROPROCESADORES Y SU IMPACTO EN LAS FUENTES DE ALIMENTACIÓN

La industria de la microelectrónica ha evolucionado muy rápidamente durante los últimos años y se prevé que esta tendencia se prolongue en el futuro, traducéndose en circuitos electrónicos cada vez más rápidos. La ley que describe este crecimiento con bastante exactitud es la Ley de Moore, figura 1.1, que plantea que el número de transistores en los circuitos digitales se duplican cada 18-24 meses.

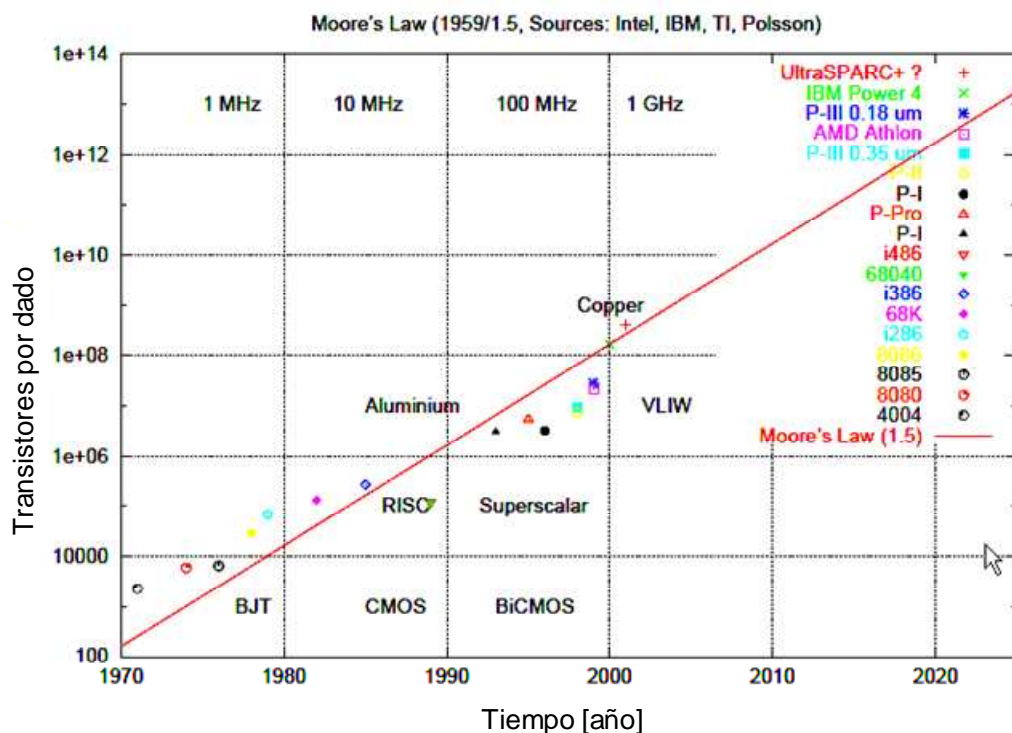


Fig. 1.1 Crecimiento de la complejidad de los circuitos digitales (número de transistores por unidad de área) descrito según la Ley de Moore [Kop02], [Hol05].

Los microprocesadores ( $\mu P$ ) son los circuitos integrados que mejor representan esta tendencia y de alguna forma son los que encabezan este movimiento. Según se va incrementando la velocidad y la capacidad de los microprocesadores, los fabricantes se

encuentran con un problema adicional: la alimentación del  $\mu P$ . Los requerimientos hacia las fuentes de alimentación de los  $\mu Ps$  son mucho más exigentes [Int05], [VR04], [VR05a], [VR05b], [VR08]. La tensión de salida de estas fuentes ha de ser de una gran calidad para el correcto funcionamiento del  $\mu P$ , lo cual dificulta enormemente su diseño y fabricación.

La constante evolución y complejidad de los sistemas digitales requieren de un incremento de la velocidad de procesamiento de la información. Para ello, es necesario minimizar la longitud del canal, y la tensión de alimentación de los transistores. Esto permite integrar un mayor número de transistores y funciones en una misma área.

En la figura 1.2, se representa la evolución que ha tenido la frecuencia de funcionamiento los microprocesadores en los últimos años. Dicha evolución se ve reflejada en el incremento del número de instrucciones que el microprocesador puede ejecutar por unidad de tiempo. Como consecuencia, se genera un incremento del consumo del circuito integrado, que podría ser un obstáculo importante si no fuera porque al mismo tiempo la tensión de alimentación se tiende a reducir, hacia valores menor de 1V.

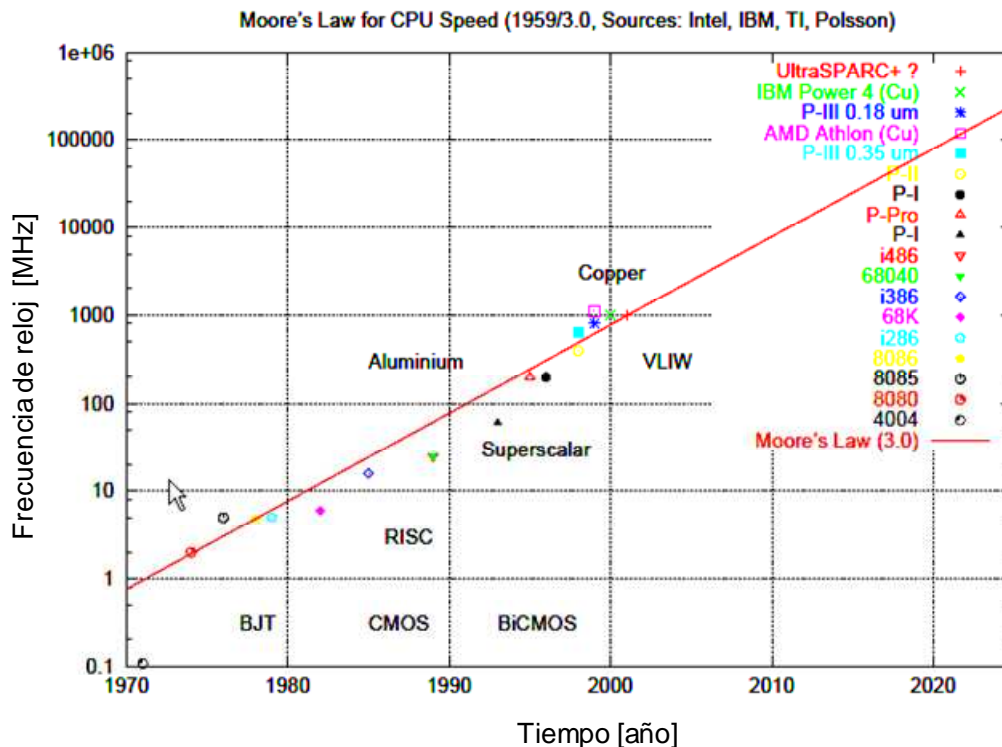


Fig. 1.2 Evolución de la frecuencia de funcionamiento de los microprocesadores [Kop02], [Hol05].

Por lo tanto, la tensión de alimentación de los nuevos microprocesadores es cada vez más baja y ha de ser de una gran calidad. El microprocesador visto como carga electrónica es muy exigente y somete a su fuente de alimentación a condiciones de funcionamiento muy rigurosas.

El diseño de este tipo de fuentes de alimentación es cada vez más complejo y con requisitos dinámicos cada vez más elevados. Las bajas tensiones de alimentación, las altas corrientes y las altas derivadas de corriente, son los retos actuales que imponen los microprocesadores a sus fuentes de alimentación [Dua06], [Mak06], [Bat07], [Bri08], [Coh09].

Es evidente que esta tendencia repercute en un incremento de consumo de potencia, por unidad de área, lo que genera un calentamiento adicional. De aquí, que una adecuada gestión térmica, ver figura 1.3, es otro de los retos no menos importantes con que se enfrentan los diseñadores.

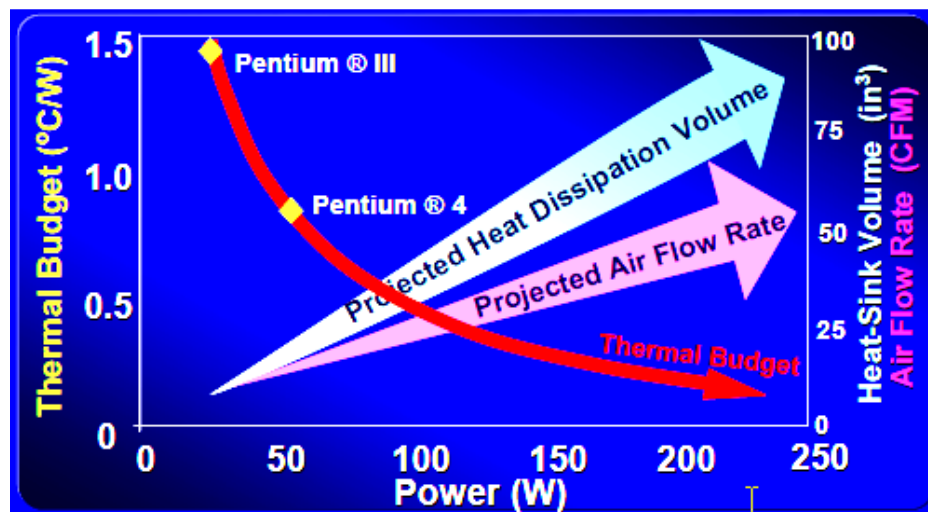


Fig. 1.3 Evolución del balance térmico de los microprocesadores [Hol05].

Otro de los factores que está estrechamente relacionado con la de alimentación de los microprocesadores y las características de sus fuentes, es el bus de distribución que alimenta al VRM. En dependencia del tipo de aplicación, existen varias arquitecturas de distribución.



Los sistemas centralizados son los más comunes para la alimentación de los microprocesadores. Sin embargo, con una baja tensión de alimentación y altas corrientes de consumo, las resistencias e inductancias parásitas que existen entre la fuente principal, y el microprocesador, tienen un impacto muy negativo sobre la calidad de la potencia suministrada.

De aquí, que no sea práctico el uso de una fuente principal para la alimentación de los microprocesadores. Los sistemas con regulación en el punto de carga (*point-of-load regulation*), son utilizados para obtener una alta precisión y satisfacer los requerimientos de alimentación de los microprocesadores. Ellos utilizan un convertidor de CC-CC, conocido como Módulo Regulador de Tensión, (VRM, de las siglas en inglés *Voltage Regulator Module*), situado muy cerca del microprocesador, con el objetivo de minimizar la impedancia parásita existente entre el microprocesador y el VRM [Mak06], [Wil08], [Coh09].

## 1.2 CARACTERÍSTICAS Y NUEVAS ESPECIFICACIONES DE LOS MICROPROCESADORES

Dos son las características fundamentales que hacen del microprocesador una carga tan especial y que representan los principales objetivos que han de cumplir los VRM:

1. Baja tensión de alimentación. Esto trae consigo un incremento de las corrientes de carga. Tal y como se ilustra en la figura 1.3, a medida que se incrementan las prestaciones del microprocesador (por ejemplo, Pentium 4), es necesario reducir la tensión de alimentación. Como consecuencia, se incrementa la corriente demandada por el mismo, esto trae consigo un incremento de las exigencias en cuanto a la gestión térmica del microprocesador. En los microprocesadores actuales la corriente máxima demandada es alrededor de 130A, y se prevé en el futuro corrientes más elevadas [VR04], [VR05a], [VR05b], [Int05], [Dua06] [Lee06], [Mak06], [Jak08], [Lar08], [VR08], [Coh09]. Estas corrientes tan altas son muy perjudiciales para la fuente de alimentación, ya que las pérdidas por conducción dependen del cuadrado de la corriente ( $P = R I_{ef}^2$ ). Este incremento de las pérdidas se convierte en un problema de gestión térmica, que a menudo se traduce en un incremento del tamaño del disipador, necesario para impedir un incremento de temperatura excesivo.

2. Buena **respuesta dinámica**. Los nuevos microprocesadores son **cargas dinámicas** que pueden cambiar rápidamente de un estado de bajo consumo a otro de alto y viceversa, en muy poco tiempo, [VR04], [VR05a], [VR05b], [Int05], [VR08].

Estas variaciones en la carga se traducen en escalones de corriente, demandados al VRM, el cual debe garantizar que la tensión esté bien regulada y dentro de las especificaciones en todo momento. Para ello la respuesta dinámica de la fuente de alimentación debe ser muy buena y debe ser capaz de responder rápidamente ante los escalones de carga.

A continuación, se muestra un ejemplo de especificaciones de VRM publicadas por *Intel*<sup>®</sup>, ver tabla 1.1. Las mismas corresponden con las tecnologías de 64nm, en particular la familia de procesadores de doble núcleo *Xeon*<sup>™</sup> y de cuatro núcleos *Itanium*<sup>™</sup>, cuya frecuencia de reloj se encuentra entre 2.5÷3.4 GHz [VR04], [VR05a], [VR05b], [VR08].

**TABLA 1.1**  
**ESPECIFICACIONES PARA DIFERENTES VERSIONES DE VRM DE INTEL**

Especificación	Dual Core Xeon <sup>™</sup> (Quad-Core Itanium <sup>™</sup> )		
	VRM 10.0	VRM 10.1(10.2L)	VRM 11.0
$I_{CC\ TDC}$ [A]	85	102	130
$I_{CC\ max}$ [A]	100	120	150
$\Delta I_{CC}$ [A]	70	100	100
$dI_{Out}/dt$ [A/ $\mu s$ ]	560	930	1200
$dI_{In}/dt$ [A/ $\mu s$ ]	0,5		
$V_{out\ min}$ [V]	0,837		
$V_{out\ max}$ [V]	1,6		
$V_{in}$ [V]	12 + 5/-8 %		

donde:  $I_{CC\ TDC}$ , corriente continua de salida;

$I_{CC\ max}$ , corriente máxima de salida;

$\Delta I_{CC}$ , escalón máximo de la corriente de salida;

$dI_{in}/dt$ , máxima derivada de la corriente de salida;

$V_{out\ min}$ , tensión mínima de salida;

$V_{out\ max}$ , tensión máxima de salida;

$V_{in}$ , tensión máxima de salida.

En la figura 1.4, se muestra el circuito equivalente del microprocesador como carga [VR04], [VR05a], [VR05b], [Int05], [VR08]. Según especificaciones de *Intel*<sup>®</sup>, entre el VRM y el microprocesador es necesario emplazar un conjunto de condensadores. Estos se encargan de alimentar la carga durante los primeros instantes posterior al escalón de carga. En este caso, el comportamiento de la tensión de salida del VRM, está definido en gran medida por los parásitos del circuito.

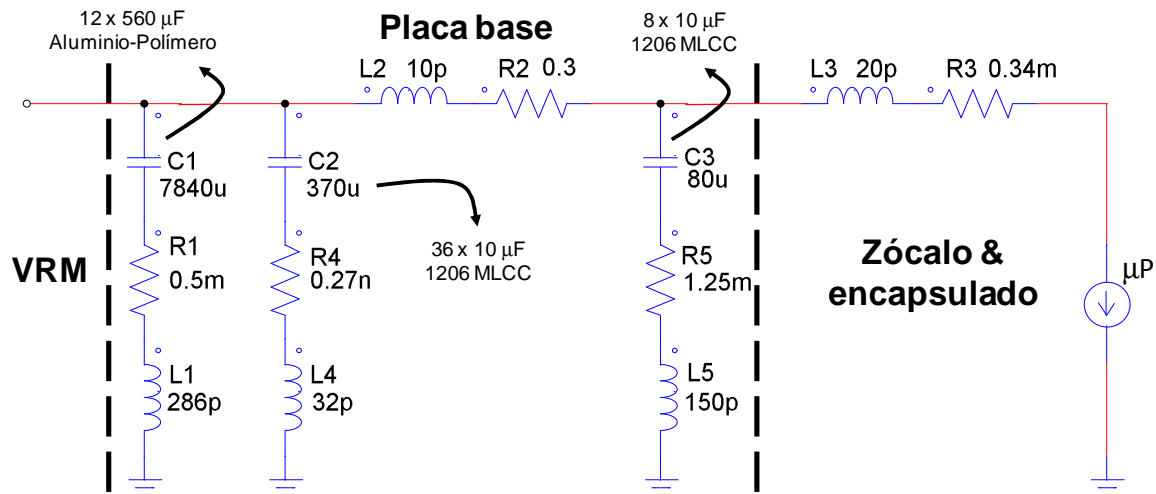


Fig. 1.4 Modelo del microprocesador como carga.

Como se ha mencionado anteriormente los procesadores son dispositivos electrónicos que pueden pasar de un estado de bajo consumo, unos cuantos amperios (*modo sleep*), a un estado de alta actividad, alto consumo (varias decenas de amperios), *modo activo* muy rápidamente. Esta transición ocurre con derivadas de corrientes muy elevadas, que puede alcanzar los cientos de amperios por microsegundo.

Con el objetivo de garantizar la adecuada respuesta ante los transitorios de carga, se necesitan un número elevado de condensadores. Estos condensadores están distribuidos en

diferentes puntos, con el objetivo de minimizar la influencia de los parásitos [VR04], [VR05a], [VR05b], [Int05], [VR08]. El número de condensadores depende del diseño, ya que algunos VRM pueden tener una frecuencia de conmutación diferente, mayor o menor, por lo que los requerimientos de carga son diferentes.

Por ejemplo, en la tabla 1.2 se muestran las especificaciones de la fuente de alimentación, para diferentes versiones del mismo microprocesador. Estos VRM están diseñados con 4 fases y frecuencias de conmutación entre 200 kHz y 800 kHz, [VR05a], [VR05b], [VR08].

TABLA 1.2

ESPECIFICACIONES DEL VRM PARA DIFERENTES CONFIGURACIONES DEL PROCESADOR XEON DE INTEL

Frecuencia de Conmutación [kHz]	$\mu P$	560 $\mu F$ Alu-Polym	10 $\mu F$ MLCC	di/dt [A/ $\mu s$ ]	$I_{CC}$ [A]	$I_{CC \max}$ [A]
800	64-bit Intel® Xeon™ processor MP with up to 8 MB L3 cache	12	44	770	86	91
700	Dual-Core Intel Xeon Processor-Based Server platform 8 layer	17	54	1200	130	150
200	64-bit Intel® Xeon™ processor MP with up to 1 MB L2 cache	16	54	575	105	120

Para el caso de los ejemplos mostrados en la tabla 1.2, en la tabla 1.3 se destacan las principales características y especificaciones que deben cumplir los condensadores, para que el VRM cumpla con las especificaciones dinámicas. Estas especificaciones corresponden con el modelo representado en la figura 1.4.

TABLA 1.3

ESPECIFICACIONES DE LOS CONDENSADORES DE DESACOPLO

Cond.	Cant.	Valor	Tolerancia	Coef.Temp	ESR [m $\Omega$ ]	ESL [nH]
C1	10 ÷ 17	560 $\mu F$ Alum-Polym	±20%	N/A	7	4
C2	32 ÷ 54	10 $\mu F$ Cerámico	±20%	X5R o X6S	10	1.2
C3	8	10 $\mu F$ Cerámico	±20%	X6S	10	1.2

Para poder regular lo mejor posible la tensión de alimentación se ha de situar el VRM lo más cerca posible del microprocesador y reducir así las impedancias parásitas.

Se puede concluir, que cualquier solución, tanto topológica como de estrategia de control, que permita disminuir el número de condensadores de salida garantizando los mismos requerimientos, implica una mejora considerable de las características del VRM. Esto se ve reflejado como una disminución del coste y un aumento de la densidad de potencia del convertidor.

En la figura 1.5, se muestra un transitorio de la tensión de salida ante un escalón de carga positivo. Como se puede observar, existen dos caídas de tensión. La primera, a causa de la interacción de los parásitos del circuito, como pueden ser la inductancia parásita de interconexión, conectores, cables, pistas (inductancia serie equivalente, ESL), etc. y de los parásitos de los condensadores de desacoplo (resistencia serie equivalente, ESR).

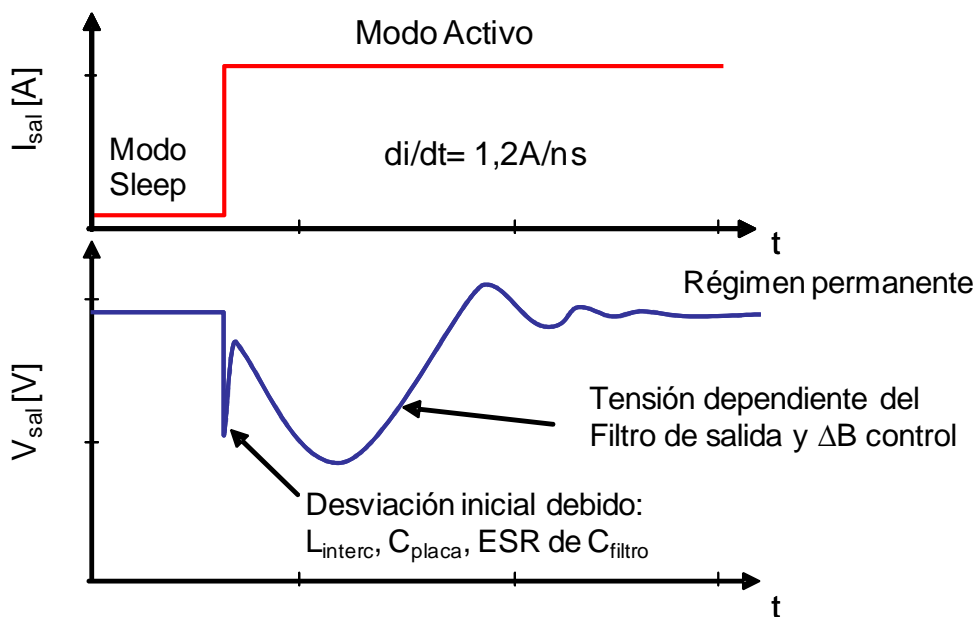


Fig. 1.5 Variación de la tensión de salida del VRM ante un escalón de carga.

Después de este pico de caída de tensión, la respuesta transitoria estará determinada por los parámetros de la etapa de potencia (filtro de salida), las características del lazo de control (ancho de banda) y también los retardos que introducen cada uno de los elementos del lazo de control (bloque de control y el circuito de disparo de los interruptores). Es por ello, que para

mantener un estricto rango de regulación, el diseño del filtro de salida y el lazo de control se convierte en una cuestión crítica.

En este sentido, existen una serie de análisis de los transitorios mucho más complejos acerca de la influencia de los parásitos en el comportamiento de los convertidores ante escalones de carga, analizados en [Zha96], [Xun01], [Mak06], [Bab09]. Estos deben ser considerados, en función del estudio de cada uno de los parásitos y su influencia en la respuesta transitoria del convertidor.

### 1.3 INTRODUCCIÓN A LAS ARQUITECTURAS DE LOS SISTEMAS DE ALIMENTACIÓN DE LOS MICROPROCESADORES

Para los sistemas computacionales pequeños, tales como ordenadores personales de mesa, portátiles, estaciones de trabajo o pequeños servidores, la arquitectura más utilizada es la de bus de distribución de baja tensión, figura 1.6, [VR04], [VR05a], [VR05b], [Int05], [VR08]. La fuente principal (*silver box*) suministra tensiones de corriente continua de +5 V y +12 V, para alimentar los diferentes dispositivos. Uno de estos dispositivos son los VRM que son convertidores reductores que se encuentran en las proximidades del microprocesador.

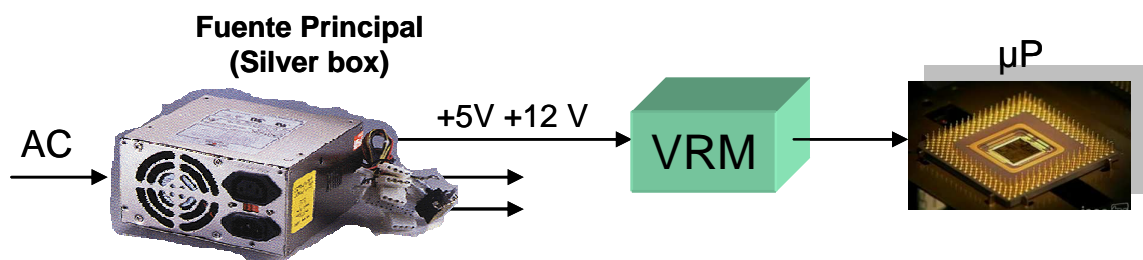
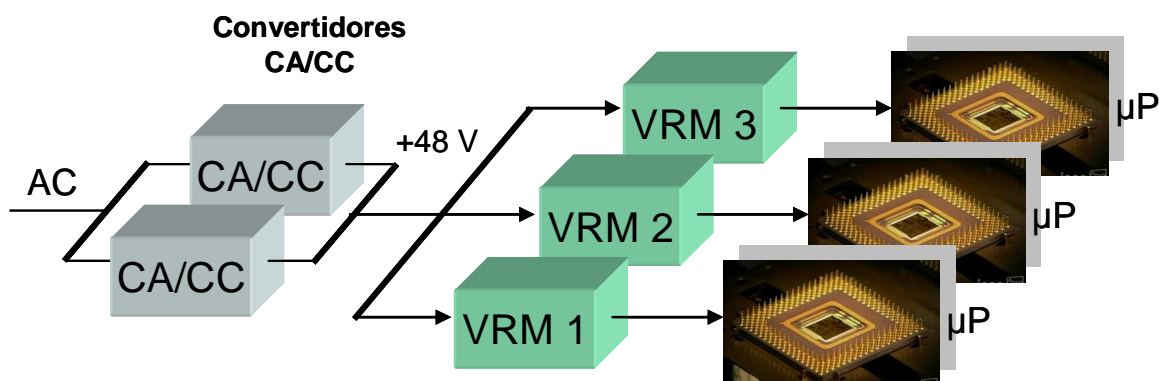


Fig. 1.6 Arquitectura de distribución de baja tensión.

Estos VRM se pueden encontrar muy cerca del microprocesador, ya sea en forma modular, conectados a través de un conector (*plug-in*) ubicado en la placa base, o integrados directamente en la placa (empotrados). Estos VRM empotrados, también se conocen como VRD, de sus siglas en inglés, *Voltage Regulator Down*. La ventaja principal de los VRM modulares es la capacidad de ser intercambiables.

Los VRD (VRM empotrados) eliminan los problemas generados por el conector, como pueden ser coste, parásitos, etc. Actualmente, la mayoría de los sistemas computacionales utilizan estos VRM empotrados (VRD).

Para los sistemas computacionales con multiprocesadores, como por ejemplo los grandes servidores, la arquitectura de distribución más utilizada es la de alta tensión, ver figura 1.7.



*Fig. 1.7 Arquitectura de distribución de alta tensión.*

Un grupo de convertidores de CA/CC conectados en paralelo, suministran una tensión al bus de distribución. Es habitual que esta tensión sea de 48 voltios de corriente continua, que no solo se utilizan para alimentar los VRM, sino también para alimentar otros convertidores de CC/CC. Cada microprocesador tiene en sus proximidades su propio VRM.

Los VRM se pueden encontrar con una variedad de formas muy diversas en dependencia de la aplicación. Los requerimientos fundamentales para cada uno de ellos, por regla general, son similares. Una respuesta dinámica rápida cuando el microprocesador cambia de un estado de bajo consumo a uno de alto o viceversa, una pequeña variación de la tensión de salida con altas corrientes y altas derivadas, son los requerimientos más restrictivos.

La tendencia que experimenta la tensión de alimentación de los microprocesadores es a disminuir por debajo de 1V, por lo que es lógico que disminuya también su tolerancia ante los transitorios. Debido al alto coste del espacio físico en la placa base, tanto la densidad de potencia como el rendimiento son también factores muy importantes a tener en cuenta a la

hora de diseñar. Todas estas características imponen nuevos retos en el diseño de los VRM actuales.

## **1.4 RETOS TÉCNICOS PARA EL DISEÑO DE CONVERTIDORES DE BAJA TENSIÓN DESTINADOS A LA ALIMENTACIÓN DE $\mu$ PS**

Como se ha analizado en epígrafes anteriores, los futuros microprocesadores traen consigo un incremento de las exigencias, particularmente hacia sus fuentes de alimentación, [VR04], [VR05a], [VR05b], [Int05], [Dua06] [Lee06], [Mak06], [Bat07], [Jak08], [Lar08], [VR08], [Coh09]. Para alcanzar las especificaciones se requieren, en un futuro, un elevado rendimiento, una elevada densidad de potencia y una respuesta dinámica rápida. Para alcanzar estos objetivos es necesario que los nuevos cambios tecnológicos estén dirigidos a:

- Topologías avanzadas de VRM: alto rendimiento, alta densidad de potencia y rápida respuesta ante transitorios de carga para aplicaciones de baja tensión y altas corrientes;
- Rectificación síncrona eficiente: nuevas formas o topologías de disparo que eliminen las pérdidas en los diodos cuando operan a frecuencias de conmutación elevadas;
- Integración de magnéticos: menos pérdidas tanto en el núcleo como en los arrollamientos y de fácil fabricación para obtener elevados rendimientos y elevadas densidades de potencia;
- Dispositivos de potencia avanzados: utilizando dispositivos de potencia con tecnología lateral para aplicaciones de baja tensión, altas corrientes y altas frecuencias;
- Optimización del número de fases de los VRM: crear una metodología para determinar el número apropiado de fases y el valor óptimo de la inductancia de salida para un diseño óptimo del VRM;
- Tecnologías avanzadas de encapsulado: esto permite minimizar los parásitos para la operación a altas frecuencias.



El objetivo de este trabajo está centrado en el primer punto, específicamente en cómo mejorar la respuesta dinámica de los VRM para aplicaciones de baja tensión y altas corrientes de salida con grandes derivadas de corriente, aplicando nuevas propuestas ya sea, investigando sobre nuevas soluciones topológicas y/o sobre nuevas estrategias de control, como por ejemplo, la estrategia de control lineal no lineal (LnL).

## CAPÍTULO 2

### ESTADO DE LA TÉCNICA

#### 2.1 GENERALIDADES DE LAS ARQUITECTURAS DE ALIMENTACIÓN DE LOS $\mu$ P

Desde el punto de vista de las tensiones de alimentación, la tendencia actual es alimentar los  $\mu$ P con tensiones cada vez más pequeñas, con elevados requerimientos de regulación, y elevadas corrientes de salida que, además, presentan escalones con grandes derivadas. Esto no está relacionado solamente con los VRM y la distribución entre el VRM y el  $\mu$ P, sino que también involucra a la arquitectura general de alimentación del sistema.

De aquí que los diseños de los VRM dependen no sólo de los requerimientos impuestos por los microprocesadores hacia sus fuentes de alimentación, sino también en función de la arquitectura del bus de distribución.

Las arquitecturas generales de los sistemas de alimentación se definen básicamente por la forma de distribución de la energía. El bus que distribuye la energía desde las fuentes principales (FP) a los VRM se denomina, *bus de distribución*. Tradicionalmente, el bus de distribución se ha implementado en corriente continua (*CC, DC domain*).

Una nueva técnica se ha abierto camino en la distribución de la energía para la alimentación de los nuevos sistemas. Esta técnica, se conoce como distribución en corriente alterna (CA) a alta frecuencia (*high frequency AC distribution*). A continuación, se analizan de forma general las particularidades de cada una de estas arquitecturas.

Existen tres arquitecturas básicas de alimentación de los VRM, basadas en una red de distribución de: CC a baja tensión, CC a alta tensión y CA a alta frecuencia.

### 2.1.1 DISTRIBUCIÓN DE CC A BAJA TENSIÓN

Inicialmente, en los sistemas computacionales estaban implicados un número reducido de componentes que funcionaban a velocidades relativamente bajas. La fuente de alimentación principal, (*silver box*), estaban implementadas como fuentes de baja potencia con múltiples salidas, que cumplían con las demandas de potencia que necesitaban estos sistemas.

Por lo tanto, el sistema de alimentación más sencillo empleado, es el basado en la distribución de CC a baja tensión [Tab92], [Dro99], [Pul02], como el que se muestra en la figura 2.1.

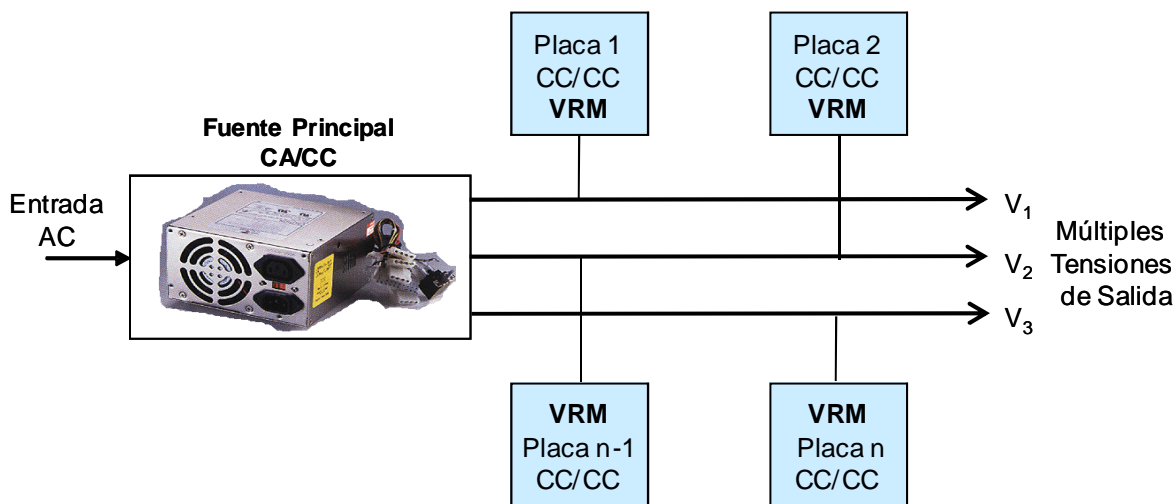


Fig. 2.1 Distribución de CC a baja tensión

La fuente de alimentación principal (*silver box*) convierte la tensión de entrada de línea de CA en varias tensiones de CC, que luego se distribuyen a través de la plataforma de buses a las distintas tarjetas.

Las tensiones más bajas alimentan los VRM. Estas tensiones son convertidas en niveles de tensión aún más bajos, pero con mayores niveles de corriente de salida. Este sistema de energía es relativamente simple, sin embargo, no es capaz de proporcionar la calidad de la tensión de alimentación, que requieren actualmente la electrónica digital, por las siguientes razones:

1. Se requieren fuentes adicionales de tensión, +15V, +5V, +3,3V, -5,2V;

2. Garantizar una respuesta dinámica rápida con bajas tensiones de alimentación es impracticable para un convertidor reductor de una sola fase;
3. La distribución de grandes corrientes a través del bus, genera pérdidas considerables o lo que es lo mismo, se requiere de un espacio adicional para el cableado de potencia;
4. El calor generado durante la conversión de potencia está concentrado dentro del convertidor, lo que requiere de una ventilación forzada;
5. Para lograr una adecuada regulación estática y dinámica de la carga, con límites de tolerancia muy estrictos a bajas tensiones, es necesario realizar la regulación en el punto donde se encuentre conectada la carga (*point-of-use regulation*).

### 2.1.2 DISTRIBUCIÓN DE CC A ALTA Tensión

Con el aumento de los requerimientos hacia las fuentes de alimentación y teniendo en cuenta las limitaciones que presenta la distribución de CC de baja tensión en cuanto a respuesta dinámica, densidad de potencia y rendimiento a altos niveles de corriente, utilizar una tensión mayor como tensión de alimentación de los VRM, parece la solución más adecuada. Este tipo de red de distribución se conoce como distribución de CC a alta tensión.

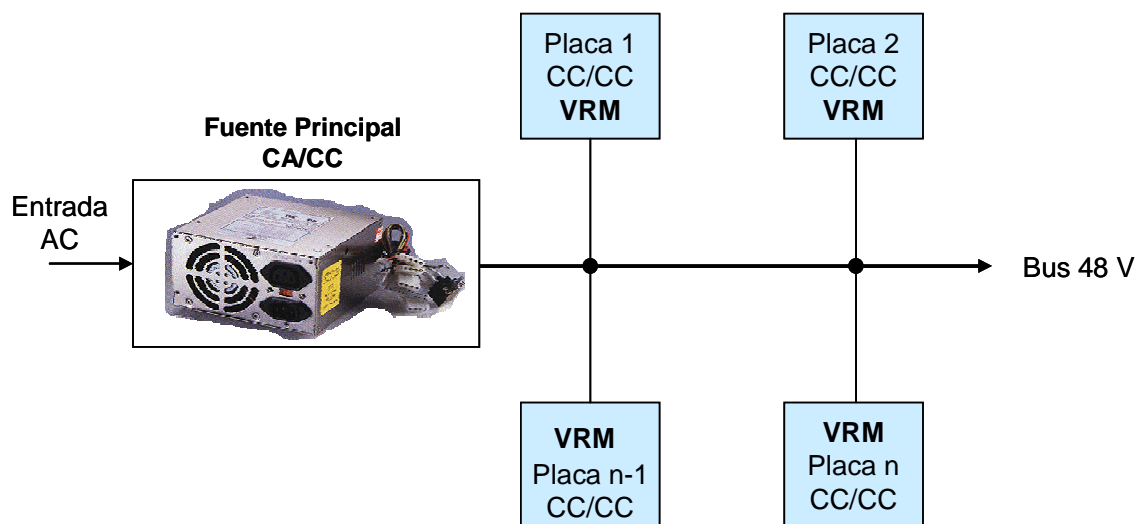


Fig. 2.2 Distribución de CC a alta tensión

En la figura 2.2, se muestra la configuración de un sistema basado en una red de distribución de CA de alta tensión. En esta configuración, la fuente principal (*silver box*) genera una sola tensión (típicamente 48V), posteriormente cada tarjeta convierte esta tensión en los niveles de tensión requeridos.

A continuación se enumeran las principales ventajas que brinda la red de distribución de CC a alta tensión, respecto a la red de distribución de CC a baja tensión:

1. El calor producido debido a la conversión de potencia está distribuido por todo el sistema;
2. Las pérdidas en el bus de distribución disminuyen, debido a que la tensión del bus es mayor y como consecuencia menores corrientes de funcionamiento;
3. Excelente regulación.

A pesar de que muchas publicaciones han demostrado las mejoras en el rendimiento de los sistemas de distribución, esta configuración presenta una serie de problemas:

1. Se requieren de filtros distribuidos para aislar los convertidores uno de otros, ya que son sensibles a las variaciones de la impedancia (inestabilidad);
2. Son necesarios un mayor número de componentes, lo que implica un mayor coste del sistema y mayor área física, lo que trae consigo una disminución de la fiabilidad del sistema;

Muchos trabajos de investigación se han realizado, en este sentido, para mejorar este sistema de distribución, con el objetivo de aprovechar las ventajas que él ofrece, pero con un número menor de componentes, menor coste, menor tamaño, y mayor fiabilidad. Es por ello que aparece una nueva arquitectura de distribución, conocida como distribución de alimentación de CA a alta frecuencia.

### **2.1.3 DISTRIBUCIÓN DE CA A ALTA FRECUENCIA**

El concepto de distribución de CA de alta frecuencia (HFAC) fue propuesto por la NASA. Está destinado principalmente a grandes servidores en el ámbito de las telecomunicaciones

[Pul02], [Pra03]. La configuración básica de este sistema de distribución se muestra en la figura 2.3.

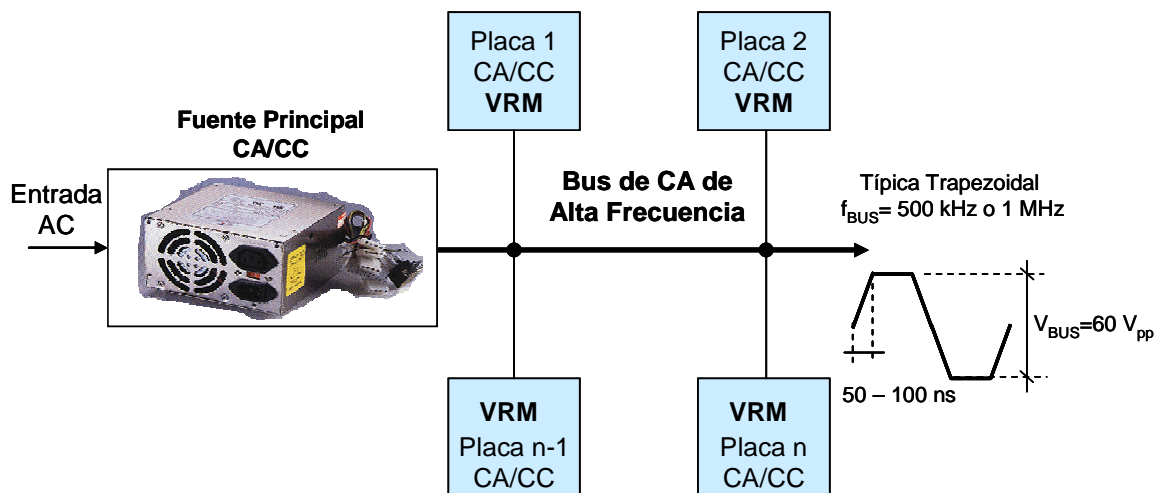


Fig. 2.3 Distribución de CA a alta frecuencia

La fuente principal (*silver box*), genera una tensión de corriente alterna de alta frecuencia. Esta tensión tiene forma trapezoidal de 60 voltios pico a pico. En un inicio la frecuencia de la tensión del bus de distribución era de unos 20kHz. Actualmente se utilizan valores típicos de 500 kHz ó 1 MHz, aunque se pueden extender hasta  $10 \div 20 \text{ MHz}$ . El tiempo de subida de la onda trapezoidal se escoge entre  $50 \div 100 \text{ ns}$ , esto ofrece un buen comportamiento del sistema en cuanto a EMI se refiere, [Dro94], [Dro99].

La HFAC es distribuida a través del bus a todas las tarjetas. Los convertidores locales de CA/CC, (CAVRM), son los encargados de convertir esta tensión de bus, en los niveles de tensión de corriente continua requeridos.

Este esquema de distribución, (ver figura 2.3), no solo combina las ventajas de los esquemas de corriente continua, sino que brinda nuevas características, que son prácticamente imposibles de realizar en corriente continua, ellas son:

1. Una excelente respuesta transitoria. La respuesta transitoria está determinada principalmente por la respuesta del filtro de salida. Debido a que no se utilizan filtros paso bajos en la salida de los convertidores, el lazo de realimentación en el

dominio de CA, puede cerrarse a una frecuencia mucho mayor que en el dominio de CC;

2. Se reducen los niveles de conversión, esto implica una mejora en el rendimiento del sistema, menor coste, menor tamaño y mayor fiabilidad;
3. Reducción del estrés térmico de los componentes, no se necesita ventilación forzada;
4. No se necesitan conectores para la distribución de energía, ya que los transformadores utilizados en los convertidores de CA/CC, permiten el acople magnético entre el bus de distribución y las tarjetas.

Como desventajas fundamentales de esta arquitectura, es que el control de la tensión de salida es difícil cuando se trata de un amplio rango de variaciones de la corriente de carga. En este tipo de arquitectura, los VRM están basados en circuitos resonantes, por lo que las señales de disparo deben estar sincronizadas con la corriente resonante de entrada. Esto trae consigo que presenten una gran distorsión para corrientes de entrada pequeñas. Finalmente los interruptores están sometidos a un stress de tensión muy elevado.

El presente trabajo se centrará en los convertidores de CC/CC (VRM), utilizados en los sistemas de distribución de baja tensión. A continuación, se analizan más a fondo las principales características y requisitos que deben cumplir este tipo de convertidor, para aplicaciones de baja tensión y altas corrientes con rápida respuesta dinámica.

## **2.2 SOLUCIONES TOPOLÓGICAS CANDIDATAS PARA LA ALIMENTACIÓN DE LOS MICROPROCESADORES**

La selección de la topología adecuada para el diseño del VRM, está muy estrechamente relacionado tanto con el bus de distribución, como con el tipo de aplicación. Por ejemplo, para aplicaciones de telecomunicaciones y grandes servidores es habitual que se utilicen tensiones de alimentación mayores. Por el contrario, para aplicaciones más pequeñas de usos portátiles, ordenadores personales, etc., los VRM alimentados con tensiones más bajas son los que brindan las mejores prestaciones.

En función de ello y teniendo en cuenta las arquitecturas analizadas en el epígrafe anterior se pueden definir dos grupos de VRM, los que se alimentan con tensiones de 5 y 12 voltios de CC ó 48 voltios de CC.

A continuación se analizan las principales características de cada una de las topologías y su ámbito de aplicación.

### 2.2.1 VRM CON TENSIÓN DE ENTRADA DE 12 Ó 5 VOLTIOS

Las fuentes principales en las arquitecturas de baja tensión, suministran tensiones bajas de 12 y 5 voltios de corriente continua. Es habitual que se utilicen convertidores reductores con rectificación síncrona, ver figura 2.4. Estos convertidores funcionan en modo de conducción continua. En este modo de funcionamiento, el ciclo de trabajo en régimen permanente, es constante y está determinado por la relación que existe entre la tensión de salida y la tensión de entrada, (2.1).

$$D = \frac{V_{sal}}{V_{ent}} \quad (2.1)$$

Es por ello que los VRM con tensiones de entrada de 12 voltios, funcionan con ciclos de trabajo muy pequeños, y un factor de cancelación del rizado muy reducido.

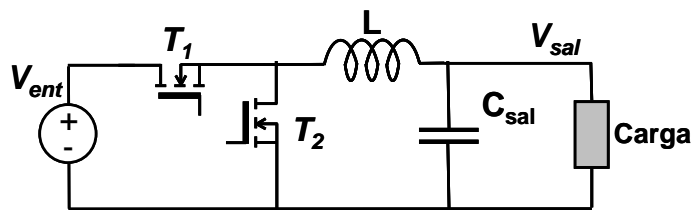


Fig. 2.4 Convertidor reductor con rectificación síncrona

Mientras menor sea el ciclo de trabajo, peor será el rendimiento del convertidor. Según los resultados del análisis realizado en [Pen02], el rendimiento de un VRM de 12 voltios de tensión de entrada, está un 6% por debajo del rendimiento de un VRM alimentado con 5 voltios de corriente continua. Los resultados están medidos para un mismo VRM con igual número de fases.



Desde el punto de vista de los magnéticos, un convertidor reductor multifase requiere de un número determinado de bobinas. Integrar los componentes magnéticos puede reducir las variaciones de flujo magnético (rizado) en la columna central del núcleo magnético. Como resultado, las pérdidas en el núcleo se reducen obteniendo una mejora en el rendimiento del convertidor de un 1% a un 2%.

Los diseños actuales basados en VRM multifase, están realizados teniendo en cuenta las mismas especificaciones para los procesadores de última generación. Aunque su principal diferencia radica en la selección del número de fases. Obviamente, todos cumplen con los requerimientos de diseño, pero difieren en tamaño y coste. Muchos trabajos han estado dirigidos al análisis y al diseño de los VRM. Desde el punto de vista topológico, se han centrado en la optimización de los dispositivos (interruptores) [Lid01], del filtro de salida [Mi01a], [Won01], y del filtro de entrada [Mi01b], [Wei01].

La optimización de los dispositivos utilizados como interruptores ( $T_1$  y  $T_2$  figura 2.4), se torna en un problema más serio, desde el momento en que la diferencia entre la tensión de entrada y de salida del convertidor se hace mayor. Para tensiones de alimentación de 12 V, los ciclos de trabajo obtenidos son muy pequeños. Las pérdidas en conmutación y de puerta en el interruptor superior,  $T_1$ , son mucho mayores que las pérdidas en conducción. El interruptor inferior,  $T_2$ , conduce durante un mayor período de tiempo. Como consecuencia las pérdidas en conducción son mayores.

Una de las vías más efectiva de reducir las variaciones de la tensión de salida durante los transitorios, es reduciendo la inductancia equivalente del filtro de salida. Sin embargo, esto trae consigo un aumento de las pérdidas de conducción en los interruptores y pérdidas en el cobre en la bobina.

La respuesta transitoria no solo está determinada por la inductancia equivalente del filtro de salida del VRM, sino también por el ancho de banda ( $\Delta B$ ) del lazo de control. A mayor ancho de banda, el convertidor responderá más rápido ante cualquier variación de la tensión de salida. Para un ancho de banda determinado, existe un valor de inductancia (inductancia crítica), a partir del cual seguir disminuyendo su valor no conlleva una mejora de la respuesta transitoria del convertidor [Pit01].

Si el valor de la inductancia equivalente es menor que su valor crítico, la respuesta transitoria del convertidor se mantiene constante. Si por el contrario, el valor de la inductancia equivalente es mayor que su valor crítico, la respuesta transitoria del convertidor se hace más lenta. El concepto de inductancia crítica ayuda a reducir las pérdidas en conducción y en conmutación, mejorando de esta manera el rendimiento del convertidor, para una misma respuesta dinámica.

La topología que permite obtener una menor inductancia equivalente, es la de los convertidores multifase. Este tipo de convertidor se pueden clasificar en función de cómo se generan las señales de disparo de cada una de las fases: con funcionamiento simultáneo, con entrelazado y como convertidores de corriente multifase con ADC.

### 2.2.1.1 CONVERTIDORES MULTIFASE CON FUNCIONAMIENTO SIMULTÁNEO

La solución *topológica* para este tipo de aplicación está basada en convertidores multifase reductores con rectificación síncrona, como se muestra en la figura 2.5. Esta solución consiste en un número  $N_f$  de convertidores reductores síncronos conectados en paralelo y con funcionamiento simultáneo. Cada una de las fases que conforman el convertidor son idénticas, por lo que teóricamente manejan los mismos niveles de corriente.

La corriente total de salida está determinada por la sumatoria de cada una de las corrientes que aporta cada una de las fases. Al repartirse la corriente por cada una de las fases se pueden conseguir fuentes de menor tamaño con semiconductores y componentes magnéticos más reducidos, (bobinas de bajo perfil, bobinas integradas, etc.), funcionando a elevadas frecuencias de conmutación.

La principal ventaja de esta topología, es que se utiliza un solo regulador lineal en el control. Es decir, un solo regulador actualiza el ciclo de trabajo una vez en cada período de conmutación. Esto se debe fundamentalmente, a que las señales de disparo son las mismas para cada una de las fases. Como consecuencia, el circuito de generación de las señales de disparo para cada uno de los interruptores, es mucho más sencillo.

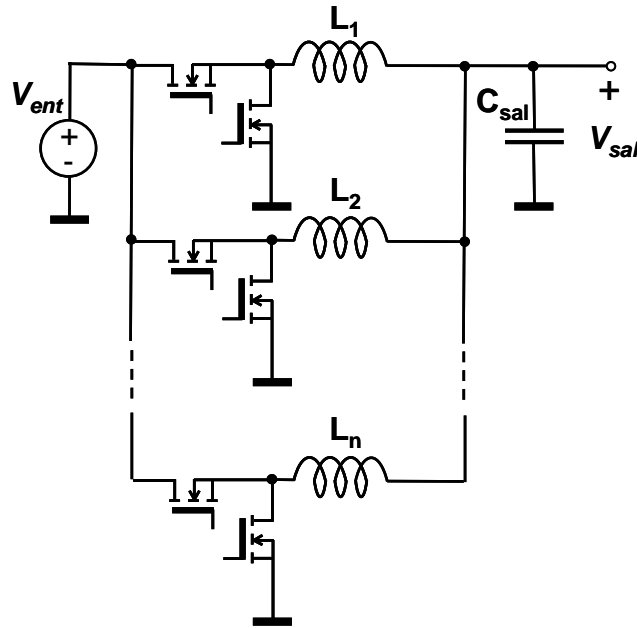


Fig. 2.5 Etapa de potencia de un convertidor reductor multifase

La principal desventaja radica en que para una corriente media ( $I_{med}$ ) determinada, el rizado de la corriente de salida es elevado. Esto hace que los requerimientos hacia los magnéticos y condensadores del filtro de salida sean más exigentes (mayor tamaño) y por lo tanto mayor coste.

### 2.2.1.2 CONVERTIDORES MULTIFASE CON ENTRELAZADO

Los convertidores reductores multifase con entrelazado, responden al mismo circuito topológico que el de los convertidores reductores multifase con funcionamiento simultáneo (ver figura 2.5). De la misma manera, consiste en un número  $N_f$  de convertidores reductores conectados en paralelo. La diferencia radica en que las señales de disparo de cada una de las fases adyacentes están desfasadas en  $360^\circ/N_f$  grados.

En la figura 2.6 se muestra la corriente por cada una de las fases, la corriente total y las señales de control  $F_1$  y  $F_2$ , para un convertidor reductor síncrono multifase de dos fases. En la figura 2.6 (a), se muestran las señales correspondientes a un VRM con funcionamiento simultáneo y en la figura 2.6 (b), para un VRM con entrelazado.

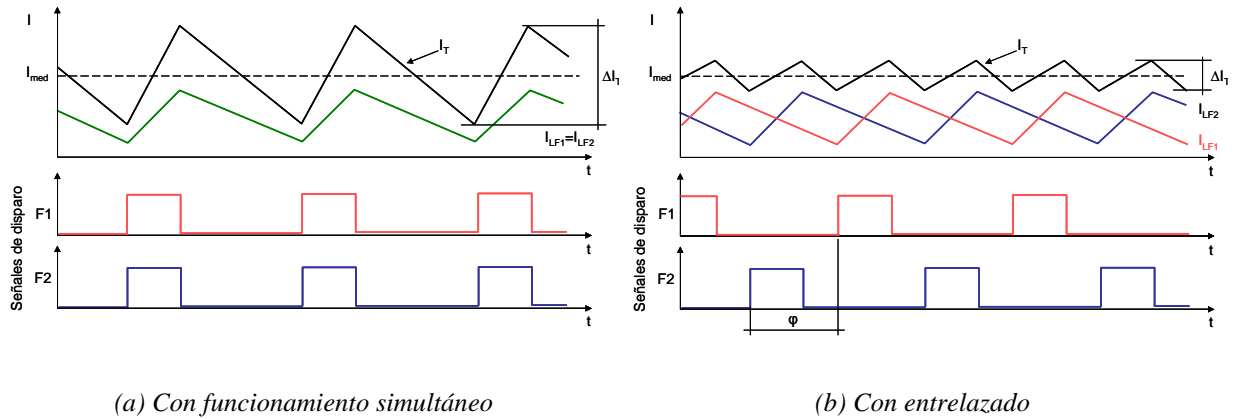


Fig. 2.6 Diagrama de tiempos de las corrientes y de las señales de disparo en un VRM.

El hecho de desfazar en el tiempo cada una de las fases que componen el convertidor, hace que se reduzcan los filtros de entrada y salida de convertidor, dado que se distribuye en el tiempo los momentos en los que se demanda o se entrega energía y por tanto se reducen los picos de energía, circulando la energía de forma más continua.

La topología VRM multifase con entrelazado reduce el rizado de la corriente total que se inyecta al condensador de salida. Como consecuencia el rizado de la tensión de salida también se ve reducido considerablemente. Esto permite utilizar valores de inductancias menores, con el objetivo de mejorar la respuesta dinámica del convertidor. Por otra parte, permite reducir la capacidad de salida, manteniendo los mismos requerimientos dinámicos y de regulación.

Esta topología tiene como requisito fundamental, para lograr un buen entrelazado, que la frecuencia de sincronización y la precisión del desfase que existe entre cada uno de las fases sea precisa. Por otra parte, muchos esquemas de control [Xin04], también necesitan de una señal portadora (*carrier*), en este caso una señal de diente de sierra, sincronizada con el reloj de cada fase. Un desajuste entre las señales portadoras puede ocasionar problemas de desbalance de corriente y en algunas arquitecturas problemas de estabilidad del sistema.

Este esquema general se conoce como *esquema tradicional centralizado con entrelazado*. Este esquema responde al circuito convencional, donde un circuito central genera las señales de reloj o los pulsos de sincronización para cada una de las fases. En este caso lo más habitual es que se utilicen registros de desplazamiento o contadores. Esta configuración permite

programar un número de fases dentro de determinado rango, pero a costa de desperdiciar área redundante.

Seleccionar el número de fases adecuado es un parámetro muy importante a tener en cuenta, ya que existe un compromiso entre el rendimiento, el tamaño y el coste del sistema de alimentación. De aquí que el número óptimo de fases varía en un amplio rango, en función de los diferentes estados de actividad del microprocesador (demanda de energía). Este tipo de esquema es rígido y tiene un elevado coste. Con el objetivo de alcanzar una mayor flexibilidad en el diseño, la tendencia es el escalado dinámico de las fases [Wen03], [Xin06], [Zum06].

Esto hace que aparezcan nuevas arquitecturas que le den una mayor flexibilidad al diseño, para de esta forma alcanzar las máximas prestaciones. Estas arquitecturas pasan de ser centralizadas a esquemas distribuidos [Xin06].

### **2.2.1.3 CONVERTIDORES DE CORRIENTE MULTIFASE CON ADC**

Para lograr en el bloque de potencia una gran rapidez en la respuesta ante los transitorios de la corriente de carga, es necesario que se puedan operar cambios de corriente muy rápidos a través de sus componentes.

Analizando los convertidores reductores conmutados, una mejor dinámica se puede alcanzar con valores pequeños de inductancias (bobina del filtro de salida). Esto conlleva, a un incremento del rizado de la corriente de salida y como consecuencia, a un empeoramiento del rizado de la tensión de salida que, para determinados valores, puede superar la banda de variación de la tensión de salida definida en las especificaciones, ( $\Delta V_{\text{sal}} = \pm 2\% V_{\text{sal}}$ ).

Otras soluciones topológicas muy interesantes, son las basadas en convertidores conmutados de corriente [Cha07], [Ed06a], [Ed06b]. En la figura 2.7, se muestra el esquema general de un convertidor conmutado de corriente.

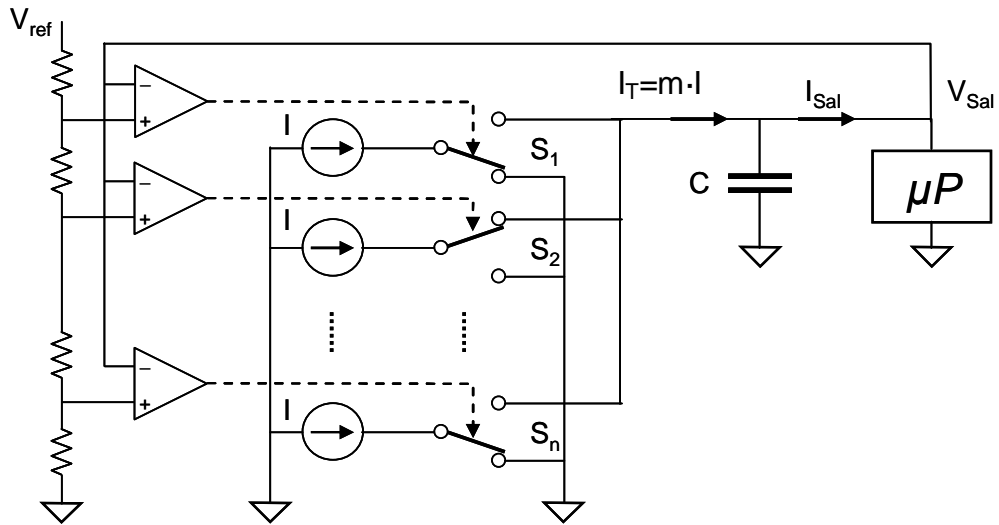


Fig. 2.7 Convertidor conmutado de corriente con ADC.

En los convertidores clásicos, un cambio en la corriente de salida, debe ser seguido por un cambio de igual magnitud de la corriente por la bobina. Pero, esto está determinado por la razón entre la tensión y la inductancia de la bobina, o sea la derivada  $di/dt$  de la corriente por la bobina. Para el caso de los convertidores de corriente, la corriente puede cambiar tan rápido, como los interruptores ( $S_1, S_2, \dots, S_n$ ) puedan hacerlo. Este tipo de convertidor consta de “ $n$ ” fuentes de corriente, y “ $n$ ” interruptores conectados en paralelo. Un número “ $m$ ” de interruptores son conectados al condensador de salida  $C$  y al microprocesador. La corriente de salida del convertidor,  $I_T$  va a ser igual a “ $m$ ” veces la corriente de la fuente de corriente. El valor máximo de la corriente de salida, va a ser igual a “ $n$ ” veces la corriente de la fuente de corriente, o sea:

$$I_{Sal,max} = n \cdot I \quad (2.2)$$

donde: “ $n$ ” son el número de fuentes de corrientes conectadas en paralelo, e  $I$  la corriente que aporta cada uno de los canales.

Para el control de la corriente en este tipo de convertidor, se requiere de un sensado rápido de la tensión de salida. Una de las formas de medir de forma rápida esta tensión, es con ayuda de un conversor análogo-digital tipo flash, (flash ADC). La selección del tipo de fuente de

corriente es bastante flexible y tiene muy poco impacto sobre las características de salida del convertidor y el control.

Estas fuentes inyectan una corriente continua constante, tanto como sea necesario sin afectar las características dinámicas y del control de la etapa de salida. En dependencia del diseño, el número de fuentes de corriente conectadas en paralelo pueden optimizarse según la eficiencia del sistema, sin comprometer la respuesta en frecuencia del convertidor. Existen diseños basados en convertidores reductores multifase, además de los nuevos diseños basados en acoplamiento por transformador [Ed06a], [Ed06b].

### 2.2.2 VRM CON TENSIÓN DE ENTRADA DE 48 VOLTIOS

Actualmente algunas aplicaciones de alta corriente, como pueden ser los grandes servidores o las estaciones de trabajo (*workstation*), necesitan de unos requerimientos más elevados hacia sus fuentes de alimentación. La alternativa más práctica es el uso de los Sistemas de Alimentación Distribuidos (*Distributed Power Systems*) con tensiones de bus de 48 V. Comparado con los buses de baja tensión, éstos son fáciles de diseñar y las pérdidas son menores.

Por otra parte, en los buses distribuidos de alta tensión la respuesta transitoria de la carga influye menos sobre la tensión del bus, por lo que su influencia sobre otras cargas es menor. El filtro de entrada de los VRM de alta tensión, se pueden reducir significativamente. Otro mérito de los VRM de 48V es que debido a que se utiliza transformador, el ciclo de trabajo puede ser optimizado con el objetivo de obtener el mejor rendimiento, el mejor efecto de cancelación de rizado y de la respuesta dinámica [Bar07], [Mao02].

Las topologías relacionadas con el bus de distribución de 48V requieren de aislamiento eléctrico (galvánico), por eso son topologías con transformador. Esto no solo es por motivos de seguridad sino también por problemas relacionados con la optimización del diseño. En las topologías de baja tensión con aislamiento galvánico, las pérdidas en conducción en el secundario son predominantes e influyen en gran medida en el rendimiento del convertidor.

La solución topológica para el secundario que mejores prestaciones ofrece es el rectificador doblador de corriente con magnéticos integrados, ver figura 2.8, [Hub99],

[Pan99]. Esta solución, por una parte reduce el valor eficaz de la corriente por la bobina de salida y como consecuencia el valor de la corriente por el secundario del transformador. Como resultado, se reducen las pérdidas en conducción, tanto en el secundario del transformador como de la bobina. Por otra parte, el doblador de corriente reduce el rizado de la tensión de salida, lo que permite reducir el tamaño del filtro de salida. Esto es muy importante para las aplicaciones VRM debido a que se requieren grandes densidades de potencia y elevados requerimientos dinámicos.

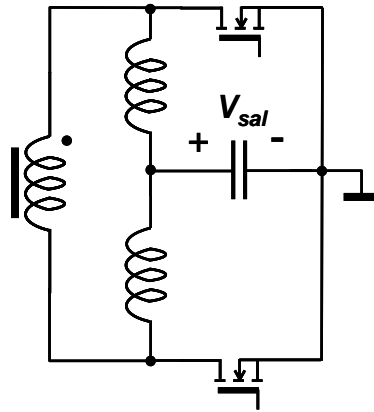


Fig. 2.8 Rectificador doblador de corriente.

Además, la implementación de magnéticos integrados permite minimizar las interconexiones de alta corriente, y el transformador y la bobina pueden ser integradas en un mismo núcleo magnético, lo que simplifica el encapsulado y el *layout* del convertidor [PXu00]. Como resultado, el tamaño y el volumen del convertidor se minimiza, lográndose una mayor densidad de potencia.

Esta topología puede ser utilizada con cualquier tipo de topología en el primario, como pueden ser: topologías con simetrías, medio puente simétrico, *push-pull*, puente completo, etc. Algunos estudios avalan que topologías como son la topología de medio puente simétrico y medio puente asimétrico, ofrecen muy buenos resultados en cuanto a respuesta dinámica y rendimiento del convertidor [Lee01]. Otras topologías con transformador basadas en medio puente sin aislamiento propuesta por [Bat07], reducen las pérdidas en conmutación del interruptor superior (rectificación síncrona, ver figura 2.4) y disminuyen el *stress* en tensión del interruptor inferior.



Por otra parte, permiten ampliar el ciclo de trabajo hasta un valor favorable, mejorando el rendimiento y la respuesta dinámica del convertidor. Otras propuestas de interés están relacionadas con las topologías LLC auto-oscilantes [Moh07]. Esta topología no solo mejora las características de las topologías resonantes serie y serie-paralelo, sino que mejora la regulación de la tensión de salida, incrementa el rendimiento del convertidor y su respuesta dinámica.

Para lograr un elevado rendimiento y alta densidad de potencia en los VRM con tensión de alimentación de 48 voltios, el diseño del magnético juega un papel muy importante. Los fenómenos relacionados con los magnéticos, como pueden ser las pérdidas en el núcleo, las pérdidas en el arrollamiento o las pérdidas en la inductancia de dispersión, se acentúan en la medida en que se incrementa la frecuencia de funcionamiento.

A continuación se resumen las principales características de un par de ejemplos relacionados con las topologías utilizadas para el diseño de VRM con bus de distribución a alta tensión, basadas en el uso de doblador de corriente.

En la figura 2.9, se muestra el circuito general de un VRM con topología *forward* con enclavamiento activo.

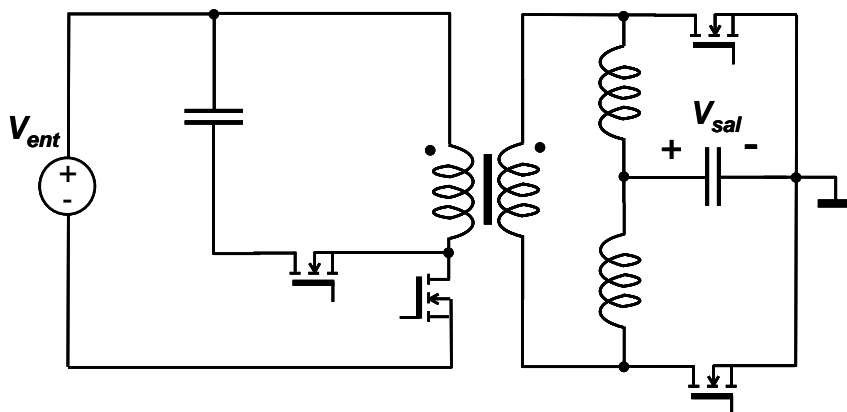


Fig. 2.9 Convertidor VRM con topología *forward* con enclavamiento activo.

Un análisis detallado del funcionamiento de este circuito se puede encontrar en [Hub99]. La principal ventaja de este circuito son las bajas pérdidas de encendido del interruptor

principal primario, debido a la conmutación a tensión cero (ZVS, de las siglas en inglés *zero voltage switching*) durante su encendido.

Como desventaja fundamental, es que el transformador tiene una baja inductancia magnetizante, encargada de generar la corriente de continua necesaria para mantener la corriente en el secundario durante el tiempo de apagado. Esto trae consigo que se incrementen las pérdidas en conducción, las pérdidas durante el apagado y como resultado las pérdidas en el núcleo del transformador.

En la figura 2.10, se muestra el circuito general de un VRM con topología de medio puente simétrico.

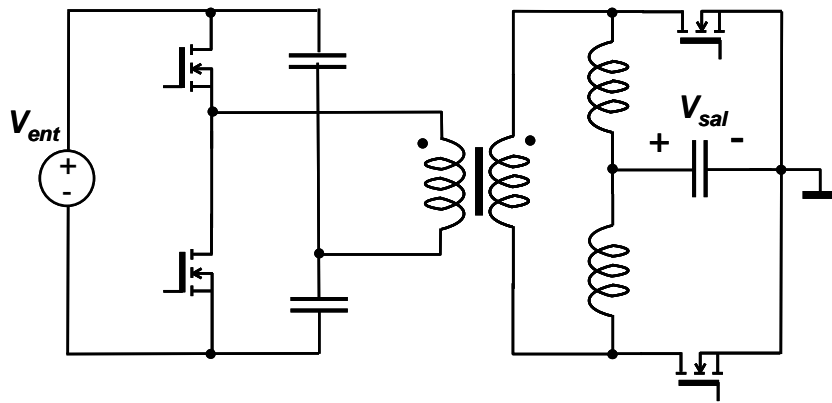


Fig. 2.10 Convertidor VRM con topología de medio puente simétrico.

Uno de los méritos de esta topología es que, cuando los interruptores del primario se apagan (*turn off*), la tensión del interruptor se enclava a la tensión de entrada. Como resultado la corriente por el arrollamiento del primario será el doble. Esto se debe a que solo la mitad de la tensión de entrada está aplicada al primario del transformador. Como consecuencia se pueden seleccionar interruptores con menor tensión máxima y *snubber* más pequeños. Como principal desventaja se destacan las elevadas pérdidas en el primario, tanto en conducción como en conmutación.

Existen otros convertidores basados en la topología *push-pull*, medio puente asimétrico, etc. Que también se utilizan en buses de distribución de alta tensión, [Coh99], [Zho99], [PXu01].

## 2.3 SOLUCIONES DESDE EL PUNTO DE VISTA DE LA ESTRATEGIA DE CONTROL

La respuesta dinámica de un convertidor está directamente relacionada con el control del mismo. Dependiendo de la técnica de control que se utilice y de su diseño, se puede mejorar o no la respuesta dinámica del convertidor. En este tipo de aplicaciones y dada la agresividad de los escalones de carga, es habitual que la etapa de potencia, y no el control, sea lo que limite la respuesta dinámica del convertidor.

Diferentes técnicas de control han sido diseñadas e investigadas, para poder aprovechar al máximo la capacidad de respuesta dinámica de la etapa de potencia [Alo03], [Vaz03], [Abu04], [Car06], [Gar06], [Gua06], [Mak06], [Sot06], [Ala07], [Cas07], [Cha07], [Gua07], [Lip07], [Liu07], [Me07a], [Me07b], [Moh07], [You07], [Cos08], [Jak08], [Lar08], [Me08a], [Me08b], [Me08c], [Sin08], [Sun08], [Yan08], [Yo08a], [Yo08b], [You08], [Wal08], [Bab09], [Mey09].

Las estrategias de control más utilizadas en los convertidores de baja tensión se pueden dividir en dos grupos: aquellas que basan su funcionamiento en controles lineales y aquellas que lo hacen basadas en controles no lineales.

Entre las estrategias de control que basan su funcionamiento en controles lineales se encuentran:

- Control en modo tensión.
- Control en modo corriente de pico.
- Control en modo corriente promediado.

Por otra parte, entre las estrategias de control que basan su funcionamiento en controles no lineales se encuentran, entre otras:

- Control por histéresis.
- Control  $V^2$ .

- Control Lineal-no-Lineal (LnL).

A continuación se analizarán y se resumirán las principales características y ventajas e inconvenientes de cada una de las estrategias de control referidas.

### 2.3.1 ESTRATEGIAS DE CONTROL LINEAL

Las estrategias de control lineal basan su funcionamiento en la variación lineal del ciclo de trabajo. En el caso ideal, ante un escalón de carga el convertidor debe ser lo suficientemente rápido como para responder instantáneamente y de esta manera la tensión de salida no se vea afectada. En la vida real, el sistema no se comporta así, y una de las causas fundamentales es que la respuesta del convertidor depende del ancho de banda del regulador.

Teniendo en cuenta que el ancho de banda del regulador lineal es limitado, el ciclo de trabajo se irá incrementando linealmente en cada ciclo de conmutación del convertidor hasta que el error sea compensado. Este retardo en la respuesta del convertidor hace que la respuesta del convertidor difiera de la respuesta ideal.

#### 2.3.1.1 CONTROL EN MODO TENSIÓN

El control en modo tensión, es el modo de control más usado en los convertidores CC/CC de baja tensión de salida. En la figura 2.11, se muestra un convertidor reductor con rectificación síncrona, y control en modo tensión.

El control en modo tensión está formado por un único bucle, el cual está compuesto por la planta, el sensado, un amplificador de error, el modulador de pulso y el circuito de disparo de los interruptores. Este tipo de control pertenece al grupo de los controles que denominaremos como lentos, descritos en [Vaz03]. Si ocurre una perturbación en la salida, el convertidor comienza a corregir el ciclo de trabajo “*d*”, lentamente, es decir, las variaciones de la corriente de carga no son utilizadas directamente para modificar el ciclo de trabajo, hay que esperar que dichas variaciones se conviertan en variaciones de la tensión de salida y a continuación son filtradas por el amplificador de error.

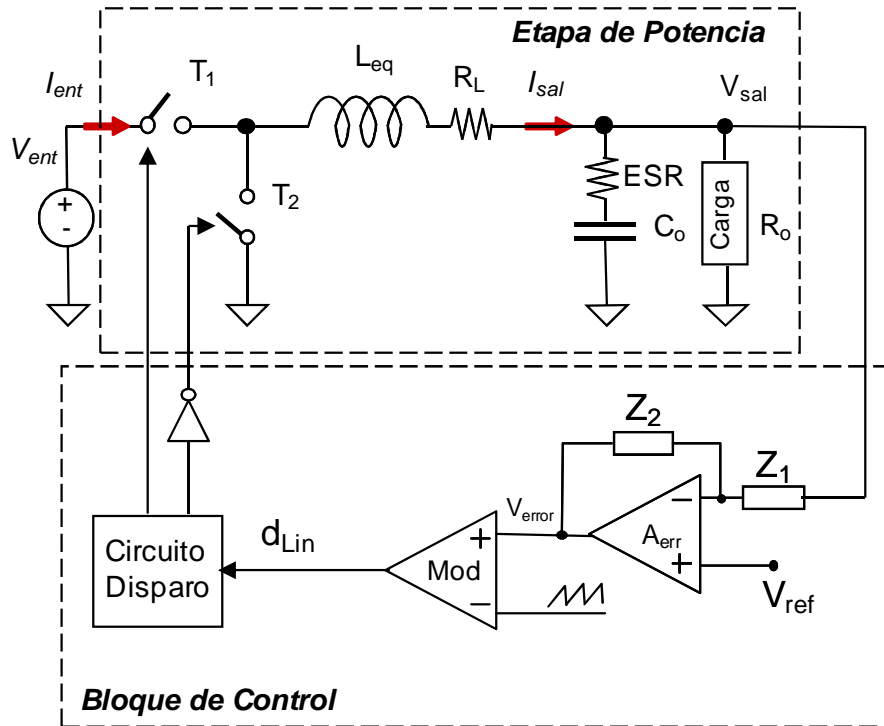


Fig. 2.11 Convertidor reductor con rectificación síncrona y control en modo tensión.

La rapidez en la corrección del ciclo de trabajo depende del ancho de banda del convertidor en bucle abierto. Para un bloque de potencia previamente definido, el ancho de banda se ajusta seleccionando adecuadamente los valores de las impedancias  $Z_1$  y  $Z_2$  (ver figura 2.11). Para su selección es imprescindible tener en cuenta los criterios de estabilidad para la amplitud y la fase [Llo96]. La frecuencia de corte en bucle abierto de un convertidor controlado en modo tensión típicamente se recomienda que sea menor o igual a 1/6 de la frecuencia de conmutación [Zha96].

Durante el funcionamiento del convertidor, el amplificador de error toma una muestra de la tensión de salida por su entrada negativa. Esta muestra de tensión es comparada con la tensión de referencia conectada a la entrada positiva del amplificador. La diferencia de la comparación constituye el error a corregir. Este error es amplificado con una ganancia definida por la función de transferencia del amplificador de error.

El error amplificado es aplicado a la entrada positiva de un modulador de pulso. Este bloque está compuesto por un comparador, que compara la tensión de error amplificada con

una rampa proveniente de un oscilador local. El resultado es un pulso a frecuencia constante y ciclo de trabajo variable en función de la tensión de error. Este tipo de modulación se conoce como modulación de ancho de pulso (PWM) y es la más aplicada en los convertidores controlados por tensión.

Las principales ventajas y desventajas del control en modo tensión se mencionan a continuación.

Ventajas:

- Control sencillo de implementar.
- No necesita sensar la corriente por la bobina.
- La frecuencia de conmutación es independiente de los parásitos del filtro de salida.
- Alta precisión en la regulación de la tensión de salida en régimen estacionario o estático.
- Buena estabilidad.
- Bajo rizado en la tensión de salida.

Desventajas:

- La respuesta del control lenta. La frecuencia de corte en bucle abierto es típicamente inferior a 1/6 de la frecuencia de conmutación. Las perturbaciones de la tensión de salida, como consecuencia de los escalones de corriente de la carga, son filtradas por el amplificador de error antes de actuar sobre el ciclo de trabajo. De todas las estrategias de control mencionadas en la introducción de este capítulo es la más lenta.

### **2.3.1.2 CONTROL EN MODO CORRIENTE DE PICO**

El circuito eléctrico del control en modo corriente de pico, se encuentra formado por dos bucles: uno externo, en modo tensión, y uno interno, en modo corriente (ver figura 2.12). El bucle externo de tensión actúa de la misma manera que en el caso del control en modo tensión.

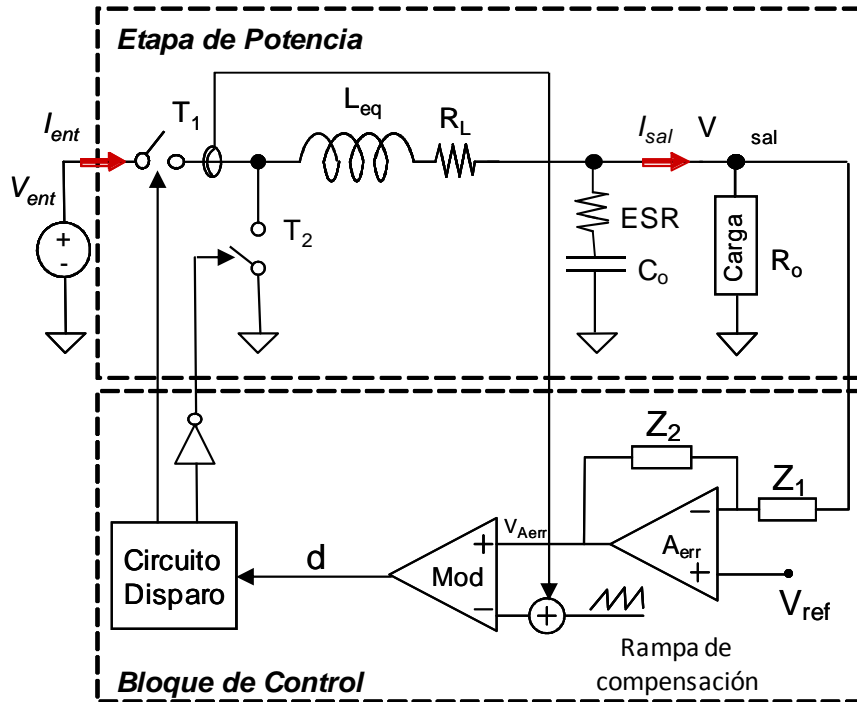


Fig.2.12 Convertidor reductor con rectificación síncrona y control en modo corriente de pico.

La novedad en el control aparece en el bucle interno, donde se utiliza la corriente que circula por el interruptor superior, para generar la rampa del modulador de pulso, y unido a ello, limitar la corriente de pico que circula por el mismo. Para valores de ciclo de trabajo mayores de 0,5, a la rampa aplicada al modulador de pulso se le aplica una compensación de la pendiente. El objetivo de esta corrección de la rampa es estabilizar el circuito en bucle cerrado para  $d > 0,5$ .

El bucle interno de corriente permite reducir en un orden el comportamiento dinámico del sistema, dejando de ser la corriente a través de la bobina una variable de estado [Red80]. Como consecuencia, el bucle externo de tensión tiene un adelanto adicional de  $90^\circ$  en comparación con el control en modo tensión. De esta manera, la estabilidad del sistema aumenta y el comportamiento dinámico del convertidor se desensibiliza aun más de parámetros eléctricos del condensador de salida, incluyendo sus parásitos.

El control en modo corriente de pico se considera un control lento [Rai01]. A pesar de que se pueden lograr anchos de banda mayores que en el caso del control en modo tensión.

El control de la corriente por los interruptores, permite un adecuado balance de las corrientes por cada una de las fases cuando se colocan convertidores en paralelo. Esto es muy útil para las fuentes de baja tensión que usan como topología del bloque de potencia, los convertidores paralelo con entrelazado (CPE).

El control en modo corriente de pico tiene un grupo de ventajas y desventajas que se menciona a continuación:

Ventajas:

- Alta precisión en la regulación de la tensión de salida en régimen estacionario.
- Buena estabilidad.
- Permite limitar la corriente por la bobina ciclo a ciclo, permitiendo lograr un adecuado balance entre las corrientes, cuando se utiliza varios CPE.
- Bajo rizado en la tensión de salida.
- Independencia de la frecuencia de conmutación del convertidor de los parámetros parásitos de los componentes.

Desventajas:

- Este control por su respuesta resulta ser un control lento. Las perturbaciones de la tensión en la salida durante los escalones de carga son filtradas antes de influir en el ciclo de trabajo. A pesar de ello, se logra un ancho de banda en bucle abierto mayor que en caso del control en modo tensión. La frecuencia de corte en bucle abierto se encuentra entre  $1/3$  y  $1/6$  de la frecuencia de conmutación.
- Baja inmunidad al ruido. Por medirse el valor instantáneo de la corriente en lugar del valor medio.
- Problemas de estabilidad para ciclos de trabajos mayores de 0,5. Para su solución se implementa una rampa de compensación.



- Necesidad de un elemento sensor de la corriente, normalmente una resistencia, la cual ocasiona pérdidas en conducción.
- Circuito de control más complejo que el control en modo tensión.

### 2.3.1.3 CONTROL EN MODO CORRIENTE PROMEDIADA

El control en modo de corriente promediada se muestra en la figura 2.13, y es muy similar al control en modo de corriente de pico.

El control en modo corriente promediada incorpora un regulador que amplifica la diferencia entre la muestra de la corriente que circula por la bobina y el error de tensión amplificado. La tensión de salida del regulador del bucle interno es aplicada a la entrada positiva el comparador del modulador de pulso.

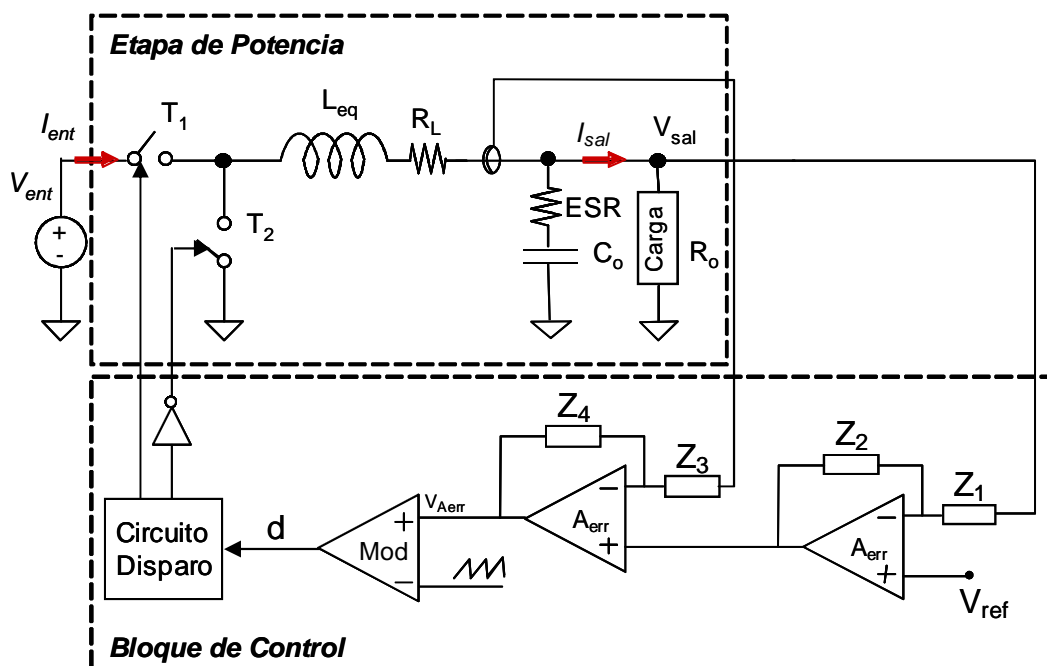


Fig. 2.13 Convertidor reductor con rectificación síncrona y control en modo corriente de promediada.

Otra diferencia entre ambos controles es la forma de generación de la rampa. En el control en modo corriente promediada la rampa se genera artificialmente por el oscilador local, de manera similar al control en modo tensión.

Esta estrategia de control pertenece, de igual manera que las anteriores, a los controles lentos. Sin embargo, al igual que el control en modo corriente de pico, el ancho de banda resultante es mayor que en el control en modo tensión.

El control en modo corriente promediada tiene un grupo de ventajas y desventajas que se mencionan a continuación:

Ventajas:

- Alta precisión en la regulación de la tensión de salida en régimen estacionario.
- Buena estabilidad. No necesita rampa de compensación.
- Buena inmunidad al ruido en comparación con el control en modo corriente de pico.
- Bajo rizado en la tensión de salida.
- Independencia de la frecuencia de conmutación del convertidor de los parámetros parásitos de los componentes.
- Permite limitar la corriente que circula por la bobina, haciendo posible lograr un adecuado balance entre las corrientes, cuando se utilizan CPE.

Desventajas:

- Este control por su rapidez de respuesta resulta ser un control lento, pues las perturbaciones de la tensión en la salida durante los escalones de carga modifican el ciclo de trabajo después de ser filtrada por los amplificadores de error de los bucles de corriente y de tensión. A pesar de ello, se logra un ancho de banda en bucle abierto mayor que en caso del control en modo tensión, pues el bucle interno de control de corriente, causa un adelanto relativo de  $90^\circ$  a la

fase, respecto al control en modo tensión. Por lo tanto, en el control en modo corriente se dispone de un mayor margen de fase para aumentar la ganancia, y con ella, la frecuencia de corte en bucle abierto.

- Necesidad de un elemento sensor de la corriente por la bobina.
- Circuito de control más complejo que el control en modo tensión, debido a la existencia de dos bucles con dos amplificadores de compensación.

### 2.3.2 ESTRATEGIAS DE CONTROL NO LINEALES

Las estrategias de control no lineales basan su funcionamiento en la saturación del ciclo de trabajo cuando la tensión de error difiere de la tensión de referencia, [Vaz03], [Gar06], [Gua06], [Ala07], [Cas07], [Cha07], [Gua07], [Lip07], [Liu07], [Me07a], [Moh07], [You07], [Cos08], [Jak08], [Lar08], [Me08a], [Sin08], [Sun08], [Yan08], [You08], [Wal08], [Bab09], [Mey09].

Este tipo de control suple en gran medida las limitaciones de los controles lineales en cuanto a la limitación del ancho de banda del controlador lineal. Esto hace que la respuesta dinámica del convertidor mejore pero tienen implícito una serie de inconvenientes que hace que su implementación en ciertas aplicaciones se vea limitada.

A continuación se resumen las principales características ventajas e inconvenientes de este tipo de estrategia de control.

#### 2.3.2.1 CONTROL POR HISTÉRESIS

Este tipo de control es el más sencillo de todos los controles que se usan en los convertidores de baja tensión. Este control ha sido utilizado desde los inicios del desarrollo de los convertidores CC/CC y se conoce también como control de frecuencia variable “*free-runing*”, donde el  $T_{on}$  y el  $T_{off}$  no están fijos. Este tipo de control, ver figura 2.14, está compuesto con un comparador con histéresis, el cual compara la tensión de salida, conectada a su entrada negativa, con una tensión de referencia, conectada a la entrada positiva.

Un análisis detallado de su funcionamiento lo podemos encontrar en [Rai01]. El control por histéresis no requiere amplificador de error con compensación. La salida de comparador es conectada directamente al circuito de disparo de los interruptores.

La tensión de salida del comparador varía entre  $+V_{cc}$  y  $-V_{cc}$ , sin alcanzar valores intermedios. Por lo tanto, el ciclo de trabajo se puede mover entre  $d_{min} = 0$  y  $d_{max} = 1$ , sin ningún tipo de restricción. Su naturaleza es no-lineal, diferenciándose de los controles anteriormente analizados. La no-linealidad en este tipo de control se manifiesta en cada ciclo de conmutación, por lo tanto, el control por histéresis es un control no lineal de funcionamiento continuo, [Vaz03].

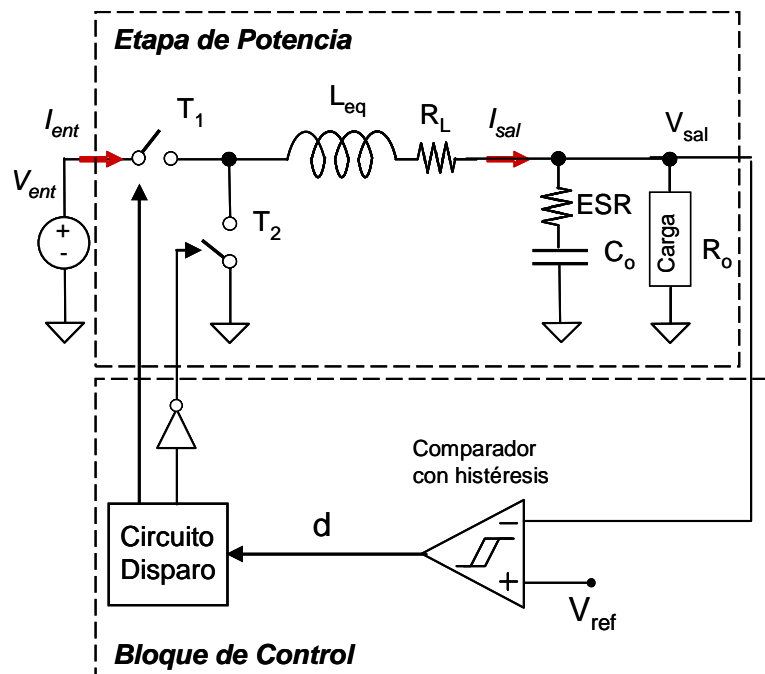


Fig. 2.14 Convertidor reductor con rectificación síncrona y control por histéresis.

El comparador detecta, de forma instantánea, cualquier perturbación en la tensión de salida, provocada por una variación de la corriente en la carga. Por lo tanto, una variación de la corriente en la carga se ve reflejada de forma directa sobre la tensión de salida. Su reacción ante las perturbaciones de tensión en la carga es prácticamente de forma instantánea, actuando sobre el ciclo de trabajo, haciendo que este tipo de control sea clasificado dentro de los controles rápidos.

La precisión de la regulación es peor que la de los controles anteriormente analizados, y depende del tamaño de la ventana de histéresis. Mientras menor sea la ventana, mayor será la precisión de la regulación de la tensión de salida.

La sencillez y rapidez de este tipo de control viene unida a una baja inmunidad al ruido, y una dependencia de la frecuencia de conmutación con la impedancia de salida y la corriente de salida. Es decir, la frecuencia de conmutación es muy dependiente de los parásitos del filtro de salida del circuito, en particular de la resistencia serie del condensador. También depende de la corriente de carga.

Por otra parte, la presencia de un rizado de tensión en la salida es inherente al funcionamiento del convertidor. El rizado depende de la ventana de histéresis de comparador, así como de los retardos de los componentes.

Dentro de las ventajas del control por histéresis tenemos las siguientes:

- Gran rapidez de respuesta ante los escalones de carga. Las perturbaciones en la carga provocadas por los escalones de corrientes, se reflejan de forma inmediata en el ciclo de trabajo.
- Gran sencillez.
- Buena estabilidad.

Dentro de las desventajas de este circuito tenemos:

- Baja precisión en la regulación de la tensión de salida en régimen estacionario.
- Baja inmunidad al ruido.
- Gran dependencia de la frecuencia de conmutación de los parásitos del circuito y del nivel de corriente de la carga.
- Un notable rizado de la tensión a la salida en régimen estacionario. El rizado es intrínseco al funcionamiento de convertidor.

A pesar de todas las limitaciones que tiene el control por histéresis, éste ha encontrado un lugar en las fuentes de baja tensión, debido a su gran rapidez de respuesta.

### 2.3.2.2 CONTROL $V^2$

Este tipo de control es un control por histéresis mejorado, el cual adiciona un bucle externo en tensión, con una respuesta dinámica lenta. Su objetivo es permitir una ventana de histéresis mayor, sin afectar la precisión de la regulación de la tensión de salida, sobre todo en régimen permanente [Rai01]. En la figura 2.15, se muestra un convertidor reductor con control  $V^2$ .

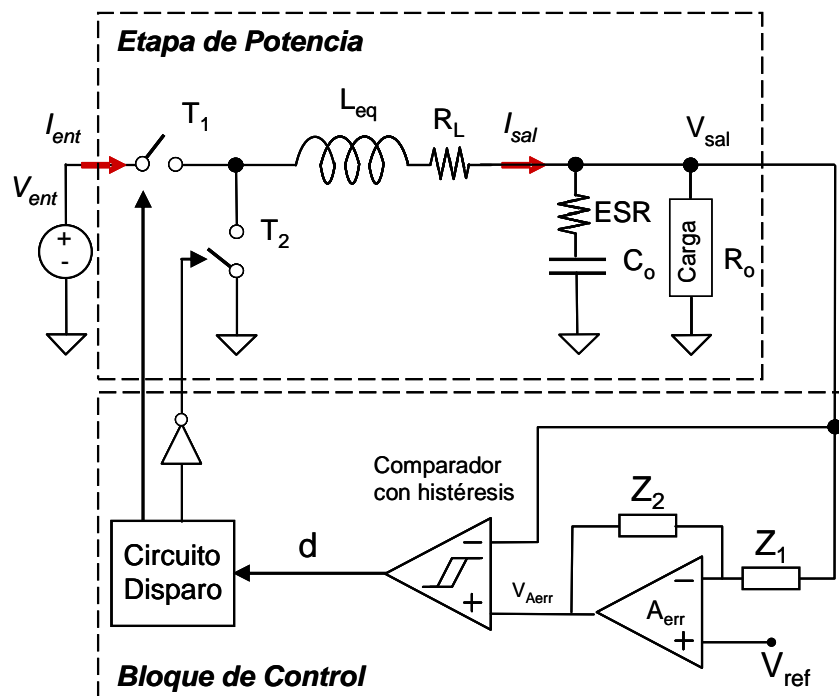


Fig. 2.15 Convertidor reductor con rectificación síncrona y control  $V^2$ .

El control  $V^2$  adiciona, al circuito de control por histéresis, un bucle externo de control en tensión que mejora la regulación en régimen permanente. El bucle interno sigue siendo un control no lineal “todo o nada” utilizando un comparador con histéresis. El comparador interno continúa tomando la tensión de la salida sin ser filtrada. Por lo tanto, cualquier perturbación en la tensión de salida, producto de una variación en la corriente de la carga, es corregida inmediatamente.

Esta estrategia de control, al igual que el control por histéresis, es un control “todo o nada” con un comportamiento no-lineal en su funcionamiento, el cual se pone de manifiesto en cada ciclo de trabajo, [Vaz03].

Ventajas del control  $V^2$ :

- Gran rapidez de respuesta ante los escalones de carga. Las perturbaciones en la carga provocadas por los escalones de corrientes, se reflejan de forma inmediata en el ciclo de trabajo.
- Mejora la regulación de la tensión de salida respecto al control por histéresis.

El control  $V^2$  en su versión simple presenta, en contraposición a su rapidez, un grupo de desventajas. Éstas son las siguientes:

- Dependencia de la frecuencia de conmutación de los parámetros parásitos de los componentes electrónicos del filtro de salida, en especial la resistencia serie del condensador de salida. De igual manera que en el control por histéresis, la frecuencia de conmutación también depende de la corriente de la carga.
- El arranque del convertidor se hace imprevisible. Este hecho implica la necesidad de crear un circuito adicional para el arranque del convertidor.
- Baja inmunidad al ruido en la tensión de salida.
- Problemas de inestabilidad debido al uso del rizado de la tensión de salida como rampa. Este problema está muy condicionado por los valores de los parásitos de condensador de salida, en especial por la resistencia en serie.

El control  $V^2$  conjuntamente con el control por histéresis, han gozado de un gran interés por los diseñadores de fuentes de baja tensión para procesadores digitales. Las investigaciones publicadas están dirigidas a eliminar la dependencia de su funcionamiento con los parásitos del circuito.

### 2.3.2.3 ANÁLISIS DE OTROS CONTROLES NO LINEALES

Numerosos han sido los diseños de controladores por histéresis. Algunos de ellos han sido presentados en [Arb98], [Abu04], [Zha04], [Son05], [Sun06], [Cas07]. Un controlador por histéresis basado en el sensado de la corriente por la bobina se presentó en [Arb98]. Este tipo de controlador es capaz de mejorar la respuesta del convertidor sin la necesidad de

implementar un circuito de compensación. Sin el regulador el ancho de banda del convertidor se mejora considerablemente.

Desafortunadamente los controladores por histéresis en modo corriente funcionan a frecuencia variable, lo que dificulta en gran medida el diseño en cuanto a compatibilidad electromagnética (EMI). Para el caso descrito en [Son05], la combinación de las diferencias que pueden tener la resistencia serie equivalente (ESR) y la inductancia serie equivalente (ESL) de un condensador a otro, además del retardo inherente en los comparadores, pueden generar un error considerable en régimen permanente.

Otro tipo de controlador por histéresis se presenta en [Abu04], [Zha04], [Sun06], basado en el sensado del rizado de la tensión de salida. Este tipo de controlador al igual que los controladores por histéresis en modo corriente, mejoran la respuesta dinámica del convertidor, aunque son más simples en su implementación. Este tipo de controlador tiene como desventaja que presenta una frecuencia de conmutación variable y dependiente de la resistencia serie equivalente (ESR) del condensador de salida, además, el error en régimen permanente no es igual a cero.

Otros tipos de controladores no lineales se proponen en [Tan05], [Tan06], [Cha07], [Kre08]. Estos requieren de algoritmos complejos de cálculo lo que hace su implementación mucha más compleja.

Otras propuestas se basan en el hecho de que un controlador lineal debe comportarse de manera lineal en régimen permanente y garantizar una regulación precisa de la tensión de salida y comportarse de manera no lineal durante los transitorios para garantizar así una respuesta rápida. Esto se ha demostrado en [Guo02], [Ba05a], [Ba05b], [Shi06], [Sot06], donde se emplean dos controladores, uno que garantiza el funcionamiento del convertidor en régimen permanente y un segundo controlador que funciona durante los transitorios. Esto mejora considerablemente la respuesta dinámica del convertidor sin perjudicar la precisión en la regulación en régimen permanente.

En el caso que se propone en [Sot06], el ciclo de trabajo se satura durante un tiempo previamente calculado lo que permite minimizar el tiempo de recuperación de la tensión de salida del convertidor durante un transitorio. En esta propuesta los escalones de carga son conocidos por lo que previamente se almacenan los tiempos optimizados durante el cual el



ciclo de trabajo se satura, ante cualquier escalón de carga. Aunque es efectivo, tiene como principal inconveniente que no puede reaccionar ante escalones de carga aleatorios.

Las propuestas presentadas en [Fen06], [Zha06], [Fen07], [Mey07], [Mey08], [Bab09], [Mey09], pueden calcular la respuesta optima ante un escalón de carga arbitrario, también conocido como “*on-the-fly*”. Estos tipos de controladores basan su funcionamiento en el principio del balance de carga del condensador del filtro de salida del convertidor. Aunque mejoran significativamente la respuesta dinámica del convertidor ante escalos de carga, su implementación es muy costosa debido a la utilización de algoritmos matemáticos complejos. Por otra parte, todas estas propuestas tienen como inconveniente principal que son síncronas con respecto a la frecuencia de conmutación. Esto quiere decir, que siempre tienen implícito un retardo en la respuesta desde el momento en que ocurrió perturbación en la carga, hasta el instante en que se satura el ciclo de trabajo.

#### 2.3.2.4 CONTROL LINEAL-NO-LINEAL

Esta estrategia de control propuesta en [Ba02a], [Ba02b], [Vaz03], permite agrupar las características positivas en régimen permanente de los controles lentos, como pueden ser los controles en modo tensión, corriente promediada y de pico, etc., con las características positiva de los controles rápidos durante los transitorios. De los controles lentos se toma el bajo rizado y la buena regulación de la tensión de salida, y la independencia de la frecuencia de conmutación de los parámetros parásitos del filtro de salida. De los controles rápidos se toma la capacidad de reacción (rapidez) ante los transitorios, ocasionados por una variación de la carga.

En la figura 2.16, se muestra el circuito de un convertidor reductor síncrono con control Lineal no Lineal (LnL). Este control está compuesto por un bloque lineal y otro no lineal. El bloque lineal está compuesto por un control en modo tensión, y su funcionamiento es similar al expuesto en el epígrafe 2.3.1.1.

La diferencia radica en que se incluye un bloque no lineal y una lógica de control, encargada de seleccionar en cada momento el ciclo de trabajo adecuado, ya sea el impuesto por el bloque lineal o por el bloque no lineal. Esta selección, depende de las señales de

control,  $S_0$  y  $S_1$ . Por otra parte, la lógica de control es la encargada de generar las señales de disparo síncronas para cada uno de los interruptores de la etapa de potencia.

Con el objetivo de explicar el principio de funcionamiento del control LnL, en la figura 2.17, se muestra el diagrama de tiempos correspondiente con el diagrama de bloques de la figura 2.16.

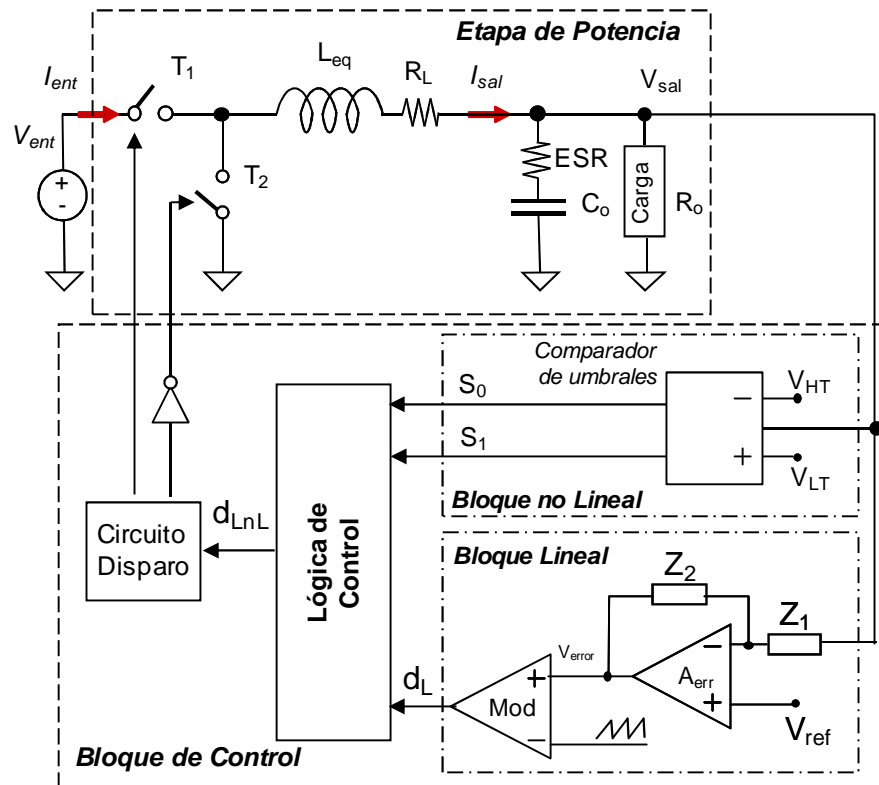


Fig. 2.16 Convertidor reductor con rectificación síncrona y control Lineal no Lineal.

Partiendo de las especificaciones de diseño del convertidor, se define la banda de tolerancia. Esta banda está limitada por las tensiones  $V_L = V_{ref} - \Delta V$  y  $V_H = V_{ref} + \Delta V$ , donde  $\Delta V = \frac{1}{2}(V_H - V_L)$ . Esta banda determina el rango máximo de variación de la tensión de salida,  $V_{sal}$ , figura 2.17 (b). El control no lineal consiste en un comparador de umbrales. En él se definen dos tensiones de umbral una por encima,  $V_{HT}$ , y otra por debajo,  $V_{LT}$ , de la tensión de salida nominal. Estas tensiones definen la banda de umbral, (banda sombreada, ver figura 2.17 (b)), que se encuentra dentro de la banda de tolerancia. Durante un escalón de carga, figura 2.17 (a), ya sea positivo (corriente inicial  $I_0$  y corriente final  $I_1$ ) o negativo (corriente inicial  $I_1$  y corriente final  $I_2$ ), en un inicio, cuando la variación de la tensión de salida se encuentra

dentro de los umbrales definidos por  $V_{LT}$  y  $V_{HT}$ , el ciclo de trabajo ( $d_{LnL}$ ) estará impuesto por el control lineal ( $d_L$ ), por lo que se incrementará linealmente en cada período de conmutación (modo lineal de operación), ver figura 2.17 (c).

Una vez que la variación de la tensión de salida salga de la banda definida por la tensión de umbral, actuará el control no lineal saturando instantáneamente a 1 ( $d_{max}$ ) o a 0 ( $d_{min}$ ) el ciclo de trabajo, (modo no lineal de operación). Una vez que la tensión de salida retorne y entre nuevamente dentro de la banda de umbrales, el ciclo de trabajo quedará impuesto por el control lineal, (modo lineal de operación). En la figura 2.17 (d), se muestra la señal de control PWM del interruptor principal (superior) generada por el control LnL.

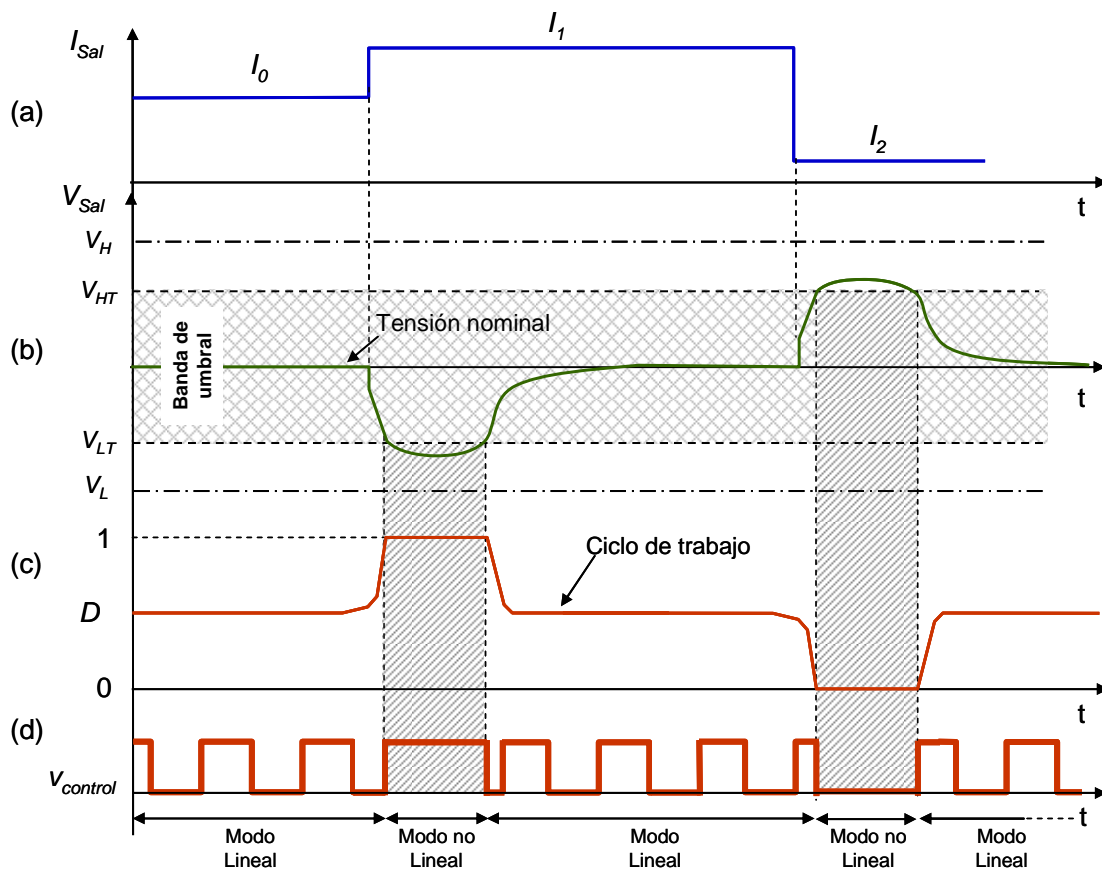


Fig. 2.17 Diagrama de tiempos que explican el principio de funcionamiento del control LnL aplicado a convertidores de una fase.

Como se puede ver el modo no lineal actúa de forma asíncrona tan pronto la tensión de salida sale de la banda de umbrales. El control LnL ofrece una solución óptima para los

controles que modifican la ganancia del bloque de control, como vía para aumentar la rapidez de recuperación de la tensión de salida durante los escalones de carga.

Hay que destacar como otra particularidad de esta estrategia de control es que ambos controles funcionan simultáneamente. El modo lineal garantiza la respuesta del convertidor en régimen permanente y el modo no lineal durante los transitorios. La combinación de un bloque no-lineal de rápida respuesta, con un bloque lineal lento, como es el control en modo tensión, permite lograr un convertidor con una rapidez de recuperación óptima para una topología del bloque de potencia dada. Por otra parte, esta rapidez se encuentra unida a la precisión en la regulación y el bajo rizado que aporta el bloque lineal con control lento.

El control LnL utiliza al máximo las potencialidades del bloque de potencia, en lo referente a rapidez de respuesta ante escalones de la corriente de carga. La estrategia del control LnL es compatible con la mayoría de las topologías del bloque de potencia desarrolladas para el diseño de las fuentes conmutadas CC-CC, con el objetivo de alimentación de baja tensión. La mayoría de estas topologías se basan en el convertidor reductor y en sus variantes con transformador.

Con relación a la estabilidad del sistema, se ha demostrado en [Vaz03] que el control LnL impone que los sistemas lineales dejan de comportarse como sistemas de fase mínima. Es decir, se pierde la relación entre la ganancia y la fase que existe en los sistemas lineales. Por otra parte, la disminución del valor absoluto de la fase cuando se utiliza el control LnL, da un importante efecto estabilizador adicional a esta estrategia de control, que no está presente en los controles lineales.

De esta manera, en una misma estrategia de control se consiguen la alta ganancia a alta frecuencia y la muy buena estabilidad que necesita el control ideal, y que no puede ser lograda usando un control lineal únicamente.

Ventajas del control LnL:

- Gran rapidez de respuesta ante los escalones de carga. Las perturbaciones en la carga provocadas por los escalones de corrientes, se reflejan de forma inmediata en el ciclo de trabajo, saturándolo en función del signo del error.

- Buena regulación de la tensión de salida (similar al control en modo tensión).
- Independiza el ancho de banda del control lineal de la respuesta dinámica del convertidor.
- Es compatible con la mayoría de las topologías de etapas de potencia diseñadas para la alimentación de baja tensión.
- Sencillo de implementar y no requiere de sensores de corriente para su implementación.

Desventajas del control LnL:

- El tiempo de recuperación de la tensión de salida del convertidor después de un transitorio y una vez dentro de la banda de umbrales, depende del ancho de banda del control lineal.
- El tiempo de saturación del ciclo de trabajo depende de las tensiones de umbral y es impreciso por lo que no se logra alcanzar el tiempo óptimo. Esto trae consigo que aparezca una sobreoscilación en la tensión de salida;
- No es aplicable a las topologías con cero en el semiplano derecho.

## CONCLUSIONES

En este capítulo se hace un análisis del estado de la técnica, señalando las principales líneas de investigación dentro de los convertidores reductores VRM para diferentes aplicaciones. Se han analizado y expuesto las ventajas y desventajas de cada una de las arquitecturas de distribución utilizadas para la alimentación de los sistemas con microprocesadores.

Por otra parte se han analizado los factores que influyen sobre la respuesta dinámica del convertidor, desde el punto de vista de la estrategia de control y de la selección adecuada de la topología.

Desde el punto de vista del control, la mejor respuesta ante los transitorios de carga la presentan, aquellas estrategias de control que basan su funcionamiento en la saturación del

ciclo de trabajo y que a su vez garantizan las especificaciones dinámicas y de estabilidad del convertidor. La diferencia que existe entre cada una de estas estrategias de control, se relaciona con cuando tomar la decisión de saturar el ciclo de trabajo.

Por otra parte, teniendo en cuenta los estrictos requerimientos de regulación que los microprocesadores exigen a sus fuentes de alimentación, la mejor opción es aquella que en régimen permanente no solo cumpla con los criterios de estabilidad, sino que además presente las mejores características en cuanto a precisión en la regulación de la tensión de salida.

La estrategia de control que combina ambas características es el control lineal no lineal, además de presentar una implementación sencilla. Desde el punto de vista de la topología, los convertidores multifase con entrelazado son los que se presentan como la mejor opción para aplicaciones de baja tensión.



## CAPÍTULO 3

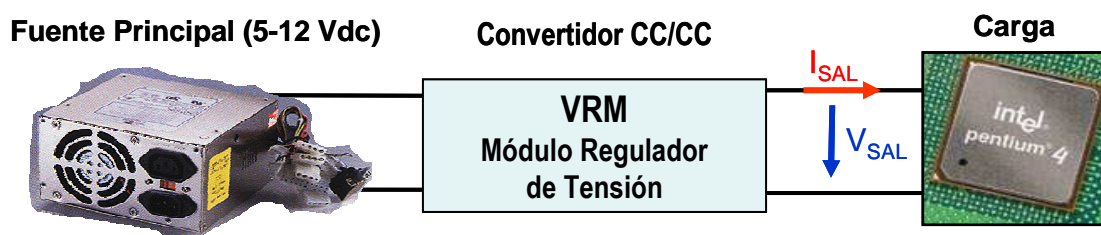
# CARACTERIZACIÓN Y ANÁLISIS DE LOS VRM

En este capítulo se hace un análisis detallado de las principales características y parámetros que definen el diseño del VRM en función de la aplicación. Se definen cada uno de los bloques que forman parte del VRM destacando las ventajas e inconvenientes de cada una de las soluciones topológicas. También, se analiza cómo influyen de cada uno de ellos en la dinámica del convertidor.

### 3.1 INTRODUCCIÓN A LOS MÓDULOS REGULADORES DE TENSIÓN (VRM)

Las fuentes de alimentación de los actuales dispositivos microelectrónicos digitales, en particular, de los microprocesadores, requieren de unas exigencias muy rigurosas con relación a su diseño. En dependencia del tipo de aplicación, la red de distribución cambia y con ello las características del VRM.

Este trabajo se centra en los VRM conectados a redes de distribución de corriente continua de baja tensión. En la figura 3.1, se representa un esquema general del sistema de alimentación característico de un ordenador personal.



*Fig. 3.1 Sistema de alimentación simplificado del microprocesador.*

El ordenador se alimenta desde la red de corriente alterna, y la primera etapa del sistema de alimentación es un convertidor alterna-continua, fuente principal, también conocida como



caja plateada, (del inglés *silver box*). Esta fuente se encarga de suministrar una tensión corriente continua al bus de distribución.

Debido a los elevados requisitos que exigen los microprocesadores (como carga) a sus fuentes de alimentación, las características dinámicas de las fuentes principales, son insuficientes. Es por ello, que entre la fuente principal y el microprocesador, se conecta un convertidor continua/continua (CC/CC), que sea capaz de satisfacer los requerimientos dinámicos de los microprocesadores. Este tipo de convertidores de CC/CC, reciben el nombre de VRM, que proviene de sus siglas en inglés, *Voltage Regulator Module* [VRM04], [VR05a], [VR05b].

La fuente principal tiene la función de convertir, una tensión de corriente alterna, en una tensión de distribución de 5 V (3,3 V) ó 12 V de corriente continua, en dependencia de cada aplicación. La última etapa del sistema de alimentación, el VRM se encarga de suministrar la baja tensión necesaria para alimentar el microprocesador con la calidad y requerimientos dinámicos, dado en las especificaciones.

La tensión de distribución, (tensión de entrada de los VRM), es en algunos casos 12V y más frecuentemente, en torno a los 5V, aunque en determinadas aplicaciones toma valores igual a los 3,3 V. Los microprocesadores son un tipo de carga que puede pasar de un estado de mínimo consumo a uno de máximo consumo ( $>100\text{ A}$ ) y viceversa, en períodos muy cortos de tiempo. Los VRM tienen que ser capaces de regular decenas de amperios a muy baja tensión ( $0,8\div 1,85\text{V}$ ), con una precisión superior al 2%.

Por otra parte, estas fuentes de alimentación deben entregar derivadas de corriente a su salida muy elevadas ( $>10\div 400\text{A}/\mu\text{s}$ ). Estos valores tan elevados de derivada de corriente, son exigidos considerando el efecto positivo de los condensadores de desacoplo (condensadores muy próximos a los microprocesadores), los cuales pueden disminuir la derivada de corriente demandada del convertidor hasta en un orden. Estas exigencias se deben lograr sin afectar el rendimiento, el cual debe ser mayor del 80% a carga máxima [Dua06], [Int00], [VRM04], [VR05a], [VR05b], [VR08].

En la práctica, aunque el rendimiento es uno de los factores más importantes en este tipo de fuentes, se les permite que este no sea tan elevado en comparación con los índices que se pueden obtener para otras aplicaciones.

Los VRM se encuentran ubicados por lo general, muy cerca del microprocesador, con el objetivo de minimizar las pérdidas y los efectos de componentes parásitos. Por su diseño físico, se pueden encontrar de dos formas: modular o empotrados (*build-in*). En la figura 3.2, se muestran dos ejemplos de VRM, uno del tipo empotrado, ver figura 3.2 (a), diseñado para una placa base (*motherboard*) de *Intel D865PERL Pentium 4/Celeron D*, y otro del tipo modular, ver figura 3.2 (b), en este caso diseñado para un microprocesador de *Intel Xeon a 500 MHz*. A este último tipo de VRM se le conoce también con el nombre de VRD, de sus siglas en inglés *Voltage Regulator-Down*.



a) Empotrados

*Intel D865PERL Motherboard Pentium 4/Celeron D*

b) Modular

*Intel Xeon 500 MHz processor**Fig. 3.2 Tipos más comunes de VRM.*

Las diferencias fundamentales entre uno u otro radican en que, la versión empotrada es válida solo para un tipo de procesador específico con un consumo de potencia determinada. Por el contrario, la versión modular permite la utilización de la placa base para diferentes configuraciones. Es decir, se pueden seleccionar los módulos VRM con los requerimientos, tanto energéticos como dinámicos, adecuados para cada procesador.

Con relación al análisis realizado para este tipo de aplicación, los VRM son convertidores con topología reductora y sus variantes con transformador. Las soluciones topológicas con transformador, se utilizan cuando la tensión de entrada (tensión de distribución) del VRM es por regla general superior a 12V.

Las topologías reductoras sin transformador, en la actualidad, permiten reducir la tensión de entrada, desde 3,3 a 12 voltios de corriente continua, hasta 1,5 a 0,8 voltios de corriente continua, para la alimentación de los microprocesadores.

### 3.2 CARACTERÍSTICAS PRINCIPALES DE LOS VRM

Antes de analizar las principales soluciones topológicas para el diseño de los VRM, destinada a la alimentación de los procesadores, es necesario definir las principales características o requisitos, que deben cumplir este tipo de fuente de alimentación. Ellos son:

1. Baja tensión de salida:  $1,5V \div 0,8V$ ;
2. Elevada precisión en la regulación de la tensión de salida,  $\pm 2\%$  de la tensión de salida:  $\pm 30mV$  para 1,5V de tensión de salida;
3. Alta corriente de salida: hasta 150A;
4. Altas derivadas de corriente de salida: hasta 1,2A/ns;
5. Tamaño y coste reducidos;
6. Alta eficiencia y bajas emisiones electromagnéticas, EMI;
7. Posicionamiento adaptativo de la tensión de salida (opcional);
8. Selección automática del número de fases (opcional).

Las características enumeradas en los puntos del 1 al 6, las podemos definir como principales ya que son las que prevalecen en cada diseño de VRM. Las restantes, 7 y 8, se han definido como opcionales, debido a que son específicas sólo para algunas aplicaciones más avanzadas.

Por regla general, analizando cada una de las características que deben cumplir los VRM, la mejora de una en conjunto, implica frecuentemente el deterioro de otras exigencias técnicas no menos importantes, tales como el rendimiento, la impedancia dinámica de entrada, etc. Este hecho, pone de manifiesto la naturaleza de las soluciones, donde sólo es posible una solución de compromiso. Por ejemplo, se puede analizar el carácter de las soluciones, desde el punto de vista topológico y desde el punto de vista de la estrategia de control.

Desde el punto de vista *topológico*, la solución topológica más utilizada en las aplicaciones de baja tensión, son los convertidores reductores. Por su naturaleza, estos convertidores se comportan como filtros paso bajo. Esto significa, que la rapidez de respuesta ante escalones de carga, está definida principalmente por el comportamiento dinámico del bloque de potencia.

Desde el punto de vista de la *estrategia de control*, las soluciones que permiten aumentar el ancho de banda del regulador, parecen ser las mejores. Para ello es necesario aumentar la frecuencia de conmutación del convertidor que, por una parte, mejora de la respuesta dinámica del mismo, pero por otra parte, conllevan a un aumento de las pérdidas en conmutación. Esto trae consigo un empeoramiento del rendimiento.

Por otra parte, la medición directa de la corriente de salida, resulta una buena solución para evitar los retardos en el control. Sin embargo, medir la corriente implica tomar una muestra de ella, usando un elemento sensor de corriente, ya sea una resistencia o un transformador de corriente. En cualquier caso, este elemento adiciona, por una parte, pérdidas y retrasos no deseados en el sistema y por otra aumenta su complejidad.

Todas las soluciones expuestas anteriormente, traen consigo un aumento de la complejidad del convertidor, tanto desde el punto de vista topológico, como del control, por lo que encontrar soluciones que mejoren en su conjunto las características del mismo, es uno de los objetivos de este trabajo.

### 3.3 DIAGRAMA DE BLOQUES DE UN VRM

Los VRM en dependencia de la aplicación y del tipo de bus de distribución presentan una arquitectura específica. El objetivo de este trabajo es mejorar la respuesta dinámica de los convertidores VRM que se alimentan de un bus de distribución de baja tensión, aplicando la estrategia de control, conocida como control Lineal no Lineal, (control LnL).

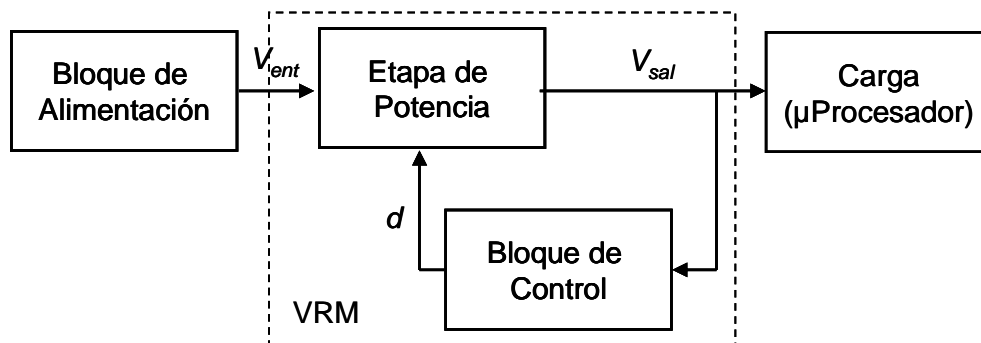


Fig. 3.3 Diagrama general simplificado de un VRM.

En la figura 3.3, se muestra el diagrama general simplificado de un sistema de alimentación de un microprocesador. El mismo consta del *Bloque de Alimentación* y el *VRM*. A su vez, el VRM está formado por la etapa de potencia y el bloque de control.

#### 3.3.1 BLOQUE DE ALIMENTACIÓN

El bloque de alimentación, es el encargado de suministrar una tensión de entrada ( $V_{ent}$ ) de corriente continua al VRM (etapa de potencia). Esta fuente tiene requerimientos dinámicos menos exigentes que los VRM, y mucha menor densidad de potencia. Generalmente, se encuentran más distanciadas del microprocesador. Esto trae consigo que entre el bloque de alimentación y el VRM existan inductancias parásitas, cuyo valor influye en la dinámica del convertidor.

Como consecuencia, es necesario utilizar un bloque de condensadores de desacoplo a la entrada del VRM.

### 3.3.2 ETAPA DE POTENCIA

La etapa de potencia, también conocida como planta, se muestra en la figura 3.4. Esta etapa consiste en un convertidor reductor y está compuesta por el filtro de entrada, los elementos de conmutación (interruptores), *drivers* y el filtro de salida.

El convertidor representado en la figura 3.4, representa un *convertidor reductor con rectificación síncrona* y es una de las topologías más sencillas y la más apropiada para este tipo de cargas, gracias a su filtro de salida.

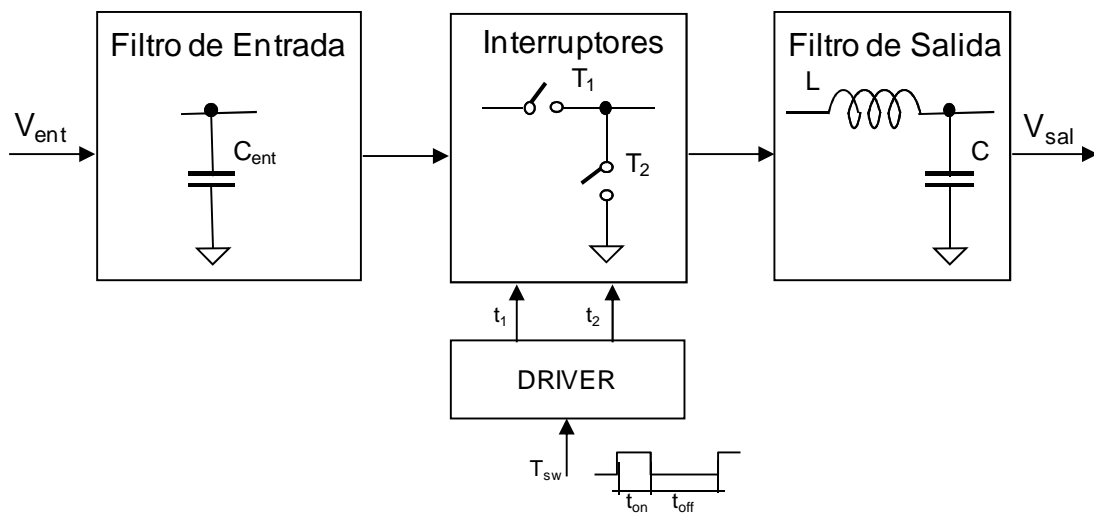


Fig. 3.4 Circuito simplificado de la etapa de potencia.

El único inconveniente que presenta es que al no tener transformador, la conversión entre la tensión de entrada y la de salida está limitada, no pudiendo ser muy diferentes una de la otra, debido a que el rendimiento del convertidor es inversamente proporcional a esta diferencia. A mayor diferencia entre la tensión de entrada y la tensión de salida, el rendimiento del sistema se aleja más de su valor ideal.

A continuación, se analizan más detalladamente cada uno de los bloques que forman la etapa de potencia del VRM destacando las principales características de cada una de las partes que lo componen.

### 3.3.2.1 FILTRO DE ENTRADA

El componente encargado de almacenar la energía que garantiza la dinámica de entrada, son los condensadores de entrada. Estos son necesarios para mantener el rizado de la tensión de entrada dentro de los límites de las especificaciones, de tal forma, que garanticen por una parte la respuesta dinámica del regulador y por otra, las condiciones de estabilidad del sistema.

Es usual que en este tipo de aplicaciones, los condensadores de entrada tengan que garantizar derivadas de corriente de hasta  $0,5 \text{ A}/\mu\text{s}$ . Los análisis en CC de los diseños demuestran, que los requerimientos para estos condensadores varían en dependencia de la etapa de potencia (del número de fases), de la carga y de la frecuencia de conmutación [Pen01].

Las soluciones más eficientes de filtros suelen incorporar condensadores de  $1000 \mu\text{F}$  y  $2240 \mu\text{F}$  con una resistencia serie equivalente (ESR) muy baja ( $5 \text{ m}\Omega$ ) por condensador, dependiendo del VRM y de la fuente de alimentación del sistema. Además, se recomienda, por una parte, colocar los condensadores de desacoplo en las proximidades al conector donde se conecta el VRM y los condensadores de desacoplo de alta frecuencia en el módulo VRM.

### 3.3.2.2 INTERRUPTORES

Dependiendo de la aplicación, el tipo de interruptores utilizado puede ser diferente. En la figura 3.5 se muestra el circuito general de un convertidor reductor clásico, figura 3.5 a) y con rectificación síncrona, figura 3.5 b).

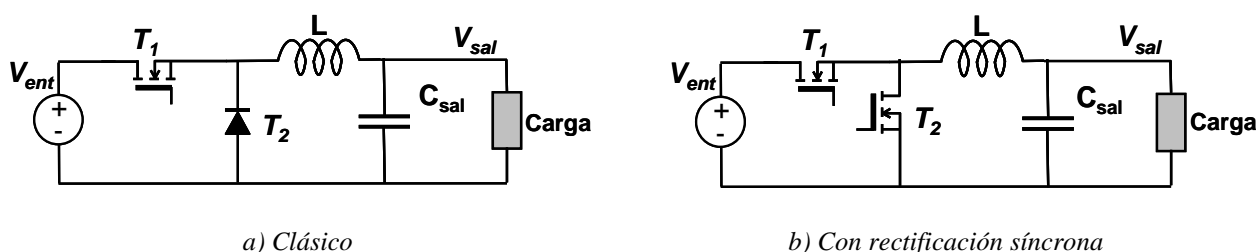


Fig. 3.5 Convertidor reductor

El caso más simple, un convertidor reductor clásico, es cuando el interruptor  $T_2$  se sustituye por un diodo, figura 3.5 a). Este esquema, es bastante simple y solo requiere de una

señal de disparo para gobernar el interruptor  $T_1$ . Uno de los inconvenientes principales que limitan el uso de esta configuración en aplicaciones baja tensión (altas corrientes de salida), son las pérdidas generadas en el interruptor  $T_2$  (diodo). Éstas determinan en gran medida, el rendimiento final del convertidor.

De aquí se puede concluir, que debido a que este tipo de fuentes funcionan a tensiones pequeñas y altas corrientes de salida, las pérdidas en conducción constituyen un factor muy importante a tener en cuenta en este tipo de convertidores, ya que influyen directamente en el rendimiento del convertidor. Es por ello, que se sustituye el diodo rectificador del convertidor, figura 3.5 a), por un transistor de efecto de campo (MOSFET), figura 3.5 b). Esta topología recibe el nombre de convertidor reductor con *rectificación síncrona*. Al utilizar un MOSFET como rectificador, se reducen las pérdidas de conducción de forma muy importante, ya que en lugar de ser proporcionales a la tensión de directa del diodo en conducción ( $I \cdot V_\gamma$ ), son proporcionales a la resistencia del canal en conducción, o sea la resistencia drenador-fuente ( $R_{DS\ on}$ ) del transistor.

Gracias a las nuevas tecnologías de semiconductores, se puede reducir esta resistencia a unos pocos mili-ohmios. Así por ejemplo, la caída de tensión en conducción de un diodo Schottky es, al menos, de 0,3V lo que daría lugar a unas pérdidas de 3W, para una corriente media de 10A. Sin embargo, con un MOSFET de  $5m\Omega$  en conducción las pérdidas serían de 0,5W, lo que equivale a la sexta parte, para una corriente eficaz de 10A.

El principal inconveniente de la rectificación síncrona es que el MOSFET rectificador debe ser gobernarlo externamente, de forma sincronizada y complementaria, respecto al interruptor principal  $T_1$ .

La optimización de los dispositivos utilizados como interruptores se torna en un problema más serio, desde el momento en que la diferencia entre la tensión de entrada y de salida del convertidor se hace mayor. Para tensiones de alimentación de 12V, los ciclos de trabajo obtenidos son muy pequeños. Las pérdidas en conmutación y de puerta en el interruptor de superior,  $T_1$  (ver figura 3.5), son mucho mayores que las pérdidas en conducción. El interruptor inferior,  $T_2$  (ver figura 3.5), conduce durante un mayor período de tiempo. Como consecuencia las pérdidas en conducción son mayores.



De aquí se puede concluir, que un transistor con una menor capacidad de puerta es el indicado para el interruptor superior ( $T_1$ ), mientras que un transistor con una menor resistencia en conducción, ( $R_{DS\ on}$ ), es el recomendado para el interruptor inferior ( $T_2$ ).

### 3.3.2.3 FILTRO DE SALIDA

El *filtro de salida* es un filtro LC paso bajo de segundo orden, con características muy particulares, ya que en principio es el que determina la dinámica del convertidor. Como se ha comentado anteriormente, una característica fundamental de los convertidores que han de alimentar las nuevas cargas electrónicas es su respuesta dinámica. Estas cargas electrónicas varían constantemente la demanda de potencia, sometiendo a sus fuentes de alimentación a escalones de consumo, que el convertidor ha de regular apropiadamente, manteniendo la tensión de alimentación adecuada y garantizando la estabilidad del sistema.

En concreto, se va a analizar cómo depende la dinámica del convertidor de los parámetros del filtro de salida, (inductancia y capacidad de salida) y cómo se puede mejorar.

### 3.3.2.4 CONDENSADORES DE SALIDA

La capacidad de salida tiene dos funciones principales:

- 1) filtrar el rizado de alta frecuencia en el régimen permanente;
- 2) amortiguar las variaciones de la tensión de alimentación durante los transitorios de carga.

Como se ha comentado anteriormente, la capacidad de salida es la que aporta la energía demandada por la carga durante los primeros instantes, después del escalón de carga. Cuanto más rápido varíe la corriente de la bobina, antes se adapta el convertidor al nuevo estado de carga y menos energía ha de ser almacenada en la salida del convertidor.

Según el modelo del microprocesador, como carga, propuesto por *Intel* figura 3.6, se pueden definir tres lazos resonantes,  $L_{R1}$ ,  $L_{R2}$  y  $L_{R3}$ , [Int05]. Estos lazos están determinados por los condensadores de salida  $C_1$ ,  $C_2$  y  $C_3$  y por los parásitos del circuito  $R_1 L_1$ ,  $R_2 L_2$ ,  $R_3 L_3$ ,  $R_4 L_4$  y  $R_5 L_5$ . Estos parásitos dependen no solo de las características de los condensadores de salida sino que dependen en gran medida del *layout*. Para el caso específico de los VRM

modulares estos parásitos se ven incrementados debido al uso de conectores para la conexión física entre el VRM y el microprocesador.

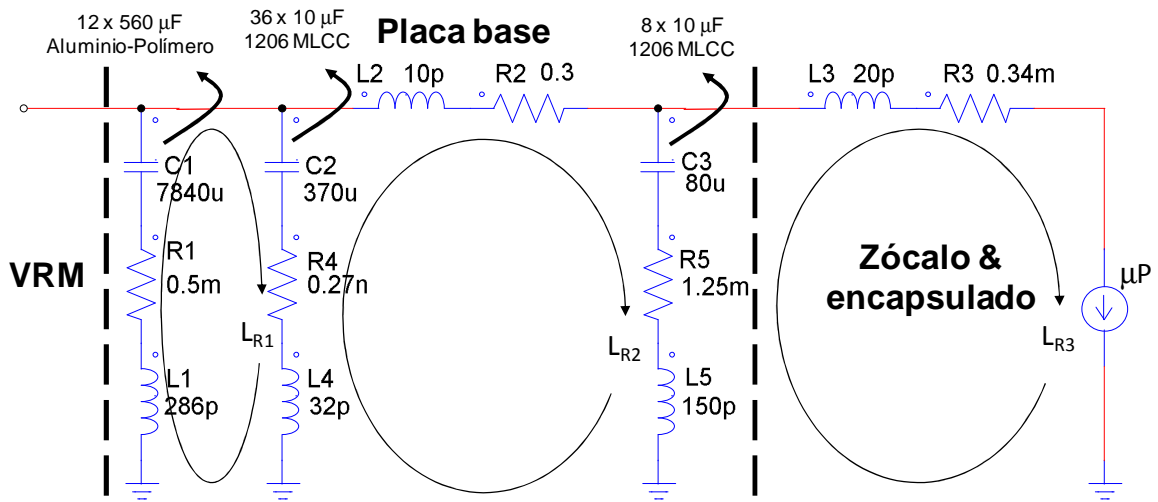


Fig. 3.6 Modelo del microprocesador como carga.

Estos lazos resonantes tienen diferentes constantes de tiempo. Debido a esto, la corriente demandada al convertidor es de mucha mayor derivada que la que puede entregar la bobina. La diferencia entre estas dos corrientes determina la carga que el convertidor debe garantizar en los condensadores de salida. Si la carga almacenada no es suficiente, ocurre lo que se conoce como desbalance de carga. Esto se ve reflejado en una variación de la tensión de salida del convertidor.

Cuando esta condición no se cumple, la tensión de salida comienza a variar, disminuye o aumenta en función del tipo de escalón de carga, ya sea positivo o negativo respectivamente. Si el desbalance de carga se reduce, los picos que se originan en la tensión de salida, durante los transitorios, pueden ser reducidos. Esto se ha representado en la figura 3.7.

De la figura 3.7, se puede deducir que el desbalance de cargas está determinado por dos factores fundamentales: por el tiempo  $t_d$ , denominado *tiempo de demora* y el tiempo  $t_r$ , denominado tiempo de subida. El tiempo  $t_d$ , es el tiempo que tarda el sistema en responder. Este tiempo está determinado por el tiempo de procesamiento de la señal (tiempo de propagación de la señal por el lazo de control), que depende en gran medida de la tecnología

utilizada. Por lo que si se quiere reducir este tiempo, es necesario utilizar tecnologías de circuitos integrados más rápidas.

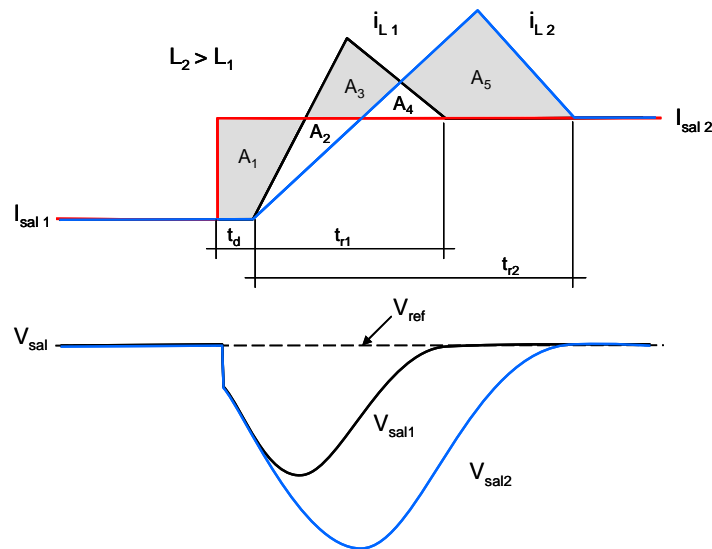


Fig. 3.7 Variación de la tensión de salida ante un escalón de corriente de carga positivo para diferentes valores de inductancia

El tiempo  $t_r$ , denominado *tiempo de subida*, es el tiempo que tarda el convertidor en alcanzar el nuevo valor de corriente, determinado por la derivada de la corriente por la bobina. De aquí la importancia de encontrar soluciones que permitan minimizar el tiempo de subida de la corriente de salida ante un escalón de carga.

En la práctica los VRM incluyen un filtro de salida que consiste en un número elevado de condensadores para compensar los grandes transitorios,  $C_1$  (aluminio-polímero), y un número no muy elevado de condensadores cerámicos,  $C_2$  y  $C_3$ , como desacoplo a frecuencias medias, ver modelo del microprocesador, figura 3.6. Conviene destacar, que los condensadores de baja tensión y alta capacidad son muy caros, por lo que, las soluciones que *reduzcan* el número de condensadores de este tipo pueden ser muy competitivas. Los condensadores más adecuados actualmente son los de alta densidad de aluminio-polímero con 5 mΩ de ESR (resistencia serie equivalente).

### 3.3.2.5 INDUCTANCIA DE SALIDA

La caída de tensión en el condensador de salida de los convertidores durante un transitorio, ocurre debido al desbalance de cargas existente, entre la corriente que entra al condensador y la que sale de él. Si incrementamos la derivada de corriente que puede proporcionar la bobina (disminuimos su valor inductivo), se puede reducir este desbalance. Sin embargo, un valor pequeño de inductancia implica valores grandes de rizado de la corriente de salida, lo cual puede influir desfavorablemente en el rendimiento del convertidor.

De aquí que exista un compromiso, entre la derivada de corriente que se quiere a la salida del convertidor y el valor del rizado. Aquí aparece un nuevo concepto de *inductancia crítica*, que se define como el valor máximo de inductancia que nos permita satisfacer los requerimientos dinámicos del convertidor [Pit01]. ¿Qué significado físico tiene la inductancia crítica? En la figura 3.8, se muestra la dependencia de la variación de la tensión de salida, ante un escalón de carga positivo y negativo.

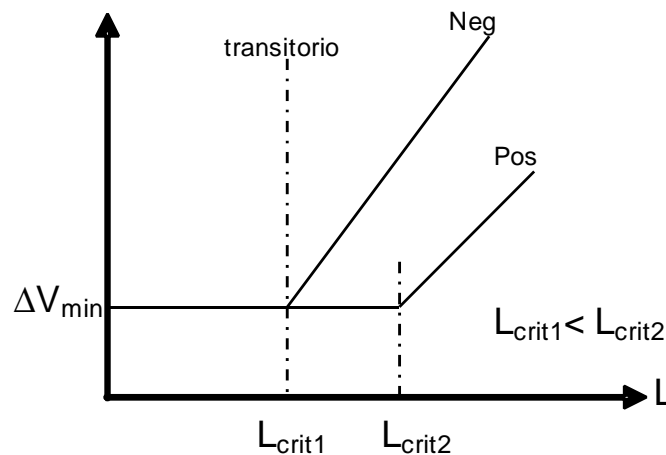


Fig. 3.8 Variación de la tensión de salida en función de la inductancia.

De la figura 3.8 se puede deducir que existe un valor de inductancia a partir del cual la variación de la tensión de salida se mantiene constante. Esto quiere decir, que si se disminuye el valor de la inductancia del filtro de salida del convertidor por debajo del valor de la inductancia crítica, ( $L_{\text{crit1}}$ ), figura 3.8, la variación de la tensión de salida ante el mismo escalón de carga seguirá siendo la misma, [Pit02], [Won01]. En este caso, se incrementa el rizado de la corriente de salida en los MOSFET, lo que provoca un incremento de las pérdidas

en conducción y pérdidas en el apagado de los mismos. Esto claro está se verá reflejado en un empeoramiento del rendimiento del convertidor.

El valor crítico de la inductancia del filtro de salida es diferente para el mismo escalón de carga positivo o negativo. Este valor varía en dependencia del tipo de escalón de carga al que se somete el convertidor. Está demostrado que la inductancia crítica,  $L_{crit1}$ , ver figura 3.8, ante un escalón de carga negativo (*step-down*) es menor que la inductancia crítica ante un escalón de carga positivo (*step-up*) para un convertidor reductor cuando existe una diferencia importante entre la tensión de salida y de entrada.

De la figura 3.8, se deduce que existe un valor de inductancia mínimo,  $L_{crit\ min} = \min(L_{crit1}, L_{crit2})$ , antes del cual la variación de la tensión de salida ( $\Delta V_{min}$ ) solo está determinado por el ancho de banda del controlador.

Es por ello, que uno de los parámetros principales que determina la respuesta dinámica del reductor es el valor de la inductancia, ya que limita la máxima derivada de corriente ( $\Delta I/\Delta t$ ) que puede proporcionar el convertidor a la salida.

Por ejemplo, ante un escalón de carga positivo son los condensadores de salida los que comienzan a proporcionar el incremento de energía demandado por la carga mientras que la corriente en la bobina va creciendo. El tiempo en que la corriente en la bobina sea inferior a la corriente en la carga, los condensadores de salida se estarán descargando y por tanto su tensión se verá reducida.

Cuanto más rápida sea la derivada de corriente en la bobina, menos carga tendrán que aportar los condensadores de salida, y por tanto, menos capacidad se necesitará para mantener la tensión de alimentación dentro de los límites de las especificaciones. Por lo tanto, si se quiere alcanzar una determinada derivada de corriente, es necesario limitar el valor de la inductancia del filtro de salida.

Sin embargo, no sólo hay que tener en cuenta la derivada de corriente máxima, también hay que tener en cuenta con qué rizado de corriente se está alcanzando esa derivada. Al reducir el valor de la inductancia a una frecuencia de conmutación determinada, el rizado de corriente en la bobina crece. Un rizado de corriente alto, necesita una mayor capacidad de

salida para poder ser filtrado y mantener el rizado de la tensión de salida del convertidor dentro de las especificaciones. Esto hace, que se incremente el tamaño y el coste del filtro capacitivo de salida. Además, un rizado de corriente alto puede dar lugar a un incremento de las pérdidas del convertidor.

Por lo tanto, para mantener el rizado de corriente de salida dentro de los valores requeridos e incrementar la capacidad de respuesta dinámica del convertidor, se debe incrementar la frecuencia de conmutación.

Por tanto, para comparar la respuesta dinámica de dos convertidores no sólo se debe tener en cuenta la derivada de corriente ( $\Delta I/\Delta t$ ), sino también con qué rizado de corriente a la salida ( $\Delta I$ ) se consigue esa derivada de corriente.

### 3.3.2.6 DRIVERS

Los *drivers* son componentes que se utilizan para el acondicionamiento de las señales de disparo de los transistores, lo cuales deben suministrar una señal, con los niveles de tensión y corrientes adecuados para minimizar las pérdidas en los interruptores  $T_1$  y  $T_2$ , para el caso del convertidor con rectificación síncrona, y conmutar adecuadamente para reducir las pérdidas de conmutación.

Por otra parte, debido a que las señales de disparo de estos interruptores son complementarias, en un determinado instante de tiempo ambos interruptores se encuentran en conducción, generando de esta manera pérdidas adicionales. Con el objetivo de minimizar este tipo de pérdidas, se genera un tiempo muerto o como también se le conoce *dead time*. Este tiempo puede ser generado automáticamente por el *driver* o con ayuda de un componente externo (condensador), según el fabricante.

Esto garantiza, que solo entre en conducción un interruptor, cuando el otro se encuentre totalmente cortado. Por otra parte, los *drivers* al ser una interfase entre la etapa de control y la etapa de potencia, deben garantizar un adecuado aislamiento entre estos bloques, evitando de esta manera, que los ruidos de conmutación (*switching noise*) generados en la etapa de potencia, afecten a la etapa de control, ya que esto puede provocar problemas de estabilidad en el lazo de control y del sistema en general.

### 3.3.3 ETAPA DE CONTROL

El criterio de regulación para los circuitos digitales se ha convertido en un parámetro muy exigente para los VRM. Esto hace que los requerimientos dinámicos de los convertidores sean más restrictivos. Entre las características principales a tener en cuenta, cuando se analiza la dinámica de estos convertidores, están las sobretensiones y caídas de tensión generadas durante un transitorio de carga negativo o positivo respectivamente, y el tiempo de recuperación del sistema. Una forma de mejorar la respuesta dinámica de los convertidores CC-CC es incrementando la frecuencia de conmutación del convertidor. Esto trae consigo una disminución del rendimiento del mismo debido al incremento de las pérdidas. Sin embargo, si se mejora la respuesta dinámica del controlador, la respuesta del convertidor ante los transitorios también se puede mejorar, sin tener que hacer modificaciones topológicas.

Existen numerosas estrategias de control diseñadas para mejorar la respuesta dinámica de los convertidores. En [Kan98], se propone un control de corriente por compensación *feed-forward*. Desafortunadamente, este método requiere de transformador de corriente en serie con la carga. Otras formas de control por histéresis en modo tensión han sido presentadas, [Mif01], [Zha04], [Sag08] y que mejoran la respuesta dinámica del convertidor, pero presentan los mismos problemas que el control por histéresis en modo corriente además de que la frecuencia de funcionamiento depende de la ESR del condensador de salida, la cual depende considerablemente del tiempo de vida de los mismos.

Otra de las estrategias propuestas son los controladores por histéresis en modo corriente. Sin embargo esta solución no es factible para muchas aplicaciones debido a que presentan un frecuencia de conmutación variable, y error en la regulación de la tensión de salida en régimen permanente, [Son05].

Es evidente que ninguna de las soluciones propuestas está cerca de la respuesta dinámica óptima (mínimo picos de sobretensión y de baja tensión durante los transitorios con el mínimo tiempo de recuperación del sistema). Esto se debe a que se necesitan cálculos mucho más complejos imposibles de realizar por vías analógicas. De aquí que sea necesario el diseño de controladores digitales. Este tipo de controladores ofrecen numerosas ventajas como son su capacidad de reprogramación, fiabilidad y capacidad de ejecutar funciones aritméticas complejas. Inicialmente se diseñaron controladores PID, los cuales limitan la respuesta

dinámica debido a que presentan una red de compensación lenta (filtro paso bajos con ancho de banda limitado). Se ha demostrado en [Guo02], que utilizando dos controladores separados PID se garantiza un mayor ancho de banda del controlador durante los transitorios.

Otras soluciones de controladores digitales están encaminadas a diseñar novedosos y complejos algoritmos matemáticos destinados a optimizar la respuesta del convertidor en gran señal. Estas soluciones consisten en aplicar el principio de balance de cargas del condensador de salida, con el objetivo de que el convertidor se recupere en el menor tiempo posible, [Sot02], [Gua06], [Gua07], [Mey07], [Mey08], [Sim08], [You08].

Es evidente que todas las estrategias propuestas basan su funcionamiento en la saturación del ciclo de trabajo o sea en el funcionamiento no lineal del controlador durante los transitorios.

### 3.4 PÉRDIDAS EN LOS VRM MULTIFASE

Las pérdidas de un convertidor reductor se pueden diferenciar entre las que son independientes de la frecuencia de conmutación,  $f_{sw}$  (pérdidas de conducción,  $P_{cond}$ ); y las pérdidas que dependen de la frecuencia, que son las pérdidas de conmutación,  $P_{sw}$ , las de excitación de los MOSFET (*drivers*),  $P_{DR}$ , las pérdidas en la bobina,  $P_{LF}$ . Además, estas pérdidas dependen del número de fases ( $N_f$ ) y se incrementan proporcionalmente con el incremento de  $N_f$ .

#### 3.4.1 PÉRDIDAS EN LOS TRANSISTORES

Todas las ecuaciones que a continuación se detallan están referidas a una fase única. Las pérdidas totales son proporcionales al número de fases,  $N_f$ .

Según el circuito general del convertidor reductor de una fase, para el caso del transistor T1 (transistor superior), las pérdidas totales se pueden aproximar a:

$$P_{T1} = P_{cond} + P_{sw} + P_{DR} \quad (3.1)$$

Se puede demostrar [Pen02], [Bar07], [Wil08], que en MCC, para una fase las pérdidas se pueden expresar como:



$$P_{cond} = I_{Def}^2 \cdot R_{DS} \quad (3.2)$$

$$P_{sw} = P_{sw(ON)} + P_{sw(OFF)} \quad (3.3)$$

$$P_{sw(ON)} = \frac{1}{2} V_{DSmax} \cdot f_{sw} \cdot I_{Dmax} \cdot t_{enc} \quad (3.4)$$

$$P_{sw(OFF)} = \frac{1}{2} V_{DSmax} \cdot f_{sw} \cdot I_{Dmax} \cdot t_{apag} \quad (3.5)$$

donde:  $I_{Def}$ , es la corriente eficaz por la bobina de una fase,

$R_{DS}$  es la resistencia en conducción drenador-fuente del transistor MOSFET;

$P_{sw(ON)}$ ,  $P_{sw(OFF)}$ , son las pérdidas en el transistor durante el encendido y el apagado respectivamente.

$t_{enc}$ , es el tiempo de encendido del transistor,  $t_{enc} = t_{d(ON)} + t_{rI}$ ;

$t_{apag}$ , es el tiempo de apagado del transistor,  $t_{apag} = t_{d(OFF)} + t_{fI}$ ;

$t_{d(ON)}$ ,  $t_{d(OFF)}$  son los tiempos de retardo durante el encendido y el apagado respectivamente;

$t_{rI}$ ,  $t_{fI}$ , son los tiempos de subida y caída de la corriente respectivamente;

Las pérdidas en conmutación de las puertas dependen mucho de las especificaciones del diseño y la topología usada. En algunos casos puede alcanzar el 5% de la potencia total [Pat02], [Wil08]. En los convertidores de baja tensión este problema se agudiza debido a que los MOSFET se eligen con la  $R_{DSon}$  lo más pequeña posible. Esto implica una capacidad de puerta muy grande.

Para el caso del transistor T2, (transistor inferior), operando con rectificación síncrona, las pérdidas totales  $P_{T2}$ , se pueden aproximar a la ecuación:

$$P_{T2} = P_{cond} + P_{Diod} + P_{DR} \quad (3.6)$$

$$P_{cond} = I_{Def}^2 \cdot R_{DS} \quad (3.7)$$

$$P_{Diod} = P_{on} + P_{rr} = V_F \cdot f_{sw} (I_{LV} \cdot t_{dead1} + I_{LP} \cdot t_{dead2}) + Q_{rr} \cdot V_{ent} \cdot f_{sw} \quad (3.8)$$

donde:  $t_{dead1}$  y  $t_{dead2}$  son los tiempos muertos introducidos a cada uno de los MOSFET que causan las pérdidas de conducción por el diodo en antiparalelo;

$Q_{rr}$  es la carga de recuperación inversa del diodo en antiparalelo del transistor MOSFET;

$V_F$  es la caída de tensión en directa del diodo.

### 3.4.2 PÉRDIDAS EN LOS DRIVERS

La potencia de salida del *driver* se puede representar en función de la energía,  $E$  y de la frecuencia de conmutación,  $f_{sw}$  como:

$$P_{Dr} = E \cdot f_{sw} \quad (3.9)$$

A su vez la energía se puede representar como el producto de la carga de la puerta por la variación de tensión en la puerta, es decir:

$$E = Q_G \cdot (V_{G(ON)} - V_{G(OFF)}) = Q_G \cdot \Delta V_G \quad (3.10)$$

Esto quiere decir que la potencia de salida del driver depende de la carga parásita de puerta ( $C_{iss}$ ) y de la frecuencia de conmutación:

$$P_{Dr} = Q_G \cdot (V_{G(ON)} - V_{G(OFF)}) \cdot f_{sw} \quad (3.11)$$

Para corrientes de carga elevadas, las pérdidas en la puerta son más pequeñas que las pérdidas en conmutación. Sin embargo, las pérdidas en conmutación dependen de la corriente de carga, y las pérdidas en la puerta de los transistores son independientes de la corriente de carga. De aquí, que para corrientes de carga pequeñas, las pérdidas en los drivers pueden resultar predominantes sobre las pérdidas en conmutación.

### 3.4.3 PÉRDIDAS EN LA BOBINA

Las pérdidas totales en la bobina,  $P_{LT}$  están compuestas por las pérdidas en el arrollamiento,  $P_A$  y las pérdidas en el núcleo,  $P_N$ . Están obtenidas según simulaciones con elementos finitos y referidas en [Pen02], [Wil08]:

$$P_{LT} = P_A + P_N \quad (3.12)$$

$$P_A = \left[ I_{LFN}^2 + \gamma \cdot (I_{LFNef}^2 - I_{LFN}^2) \right] \cdot R_{DC} = \left( I_{LFN}^2 + \gamma \cdot \frac{\Delta I_{LFN}^2}{12} \right) \cdot R_{DC} \quad (3.13)$$

$$P_N = \sum_{i=0}^n \left( C \cdot f_{sw}^\alpha \cdot \Delta B_i^\beta \cdot Vol_{Ni} \right) \quad (3.14)$$

donde:  $I_{LFN}$ ,  $\Delta I_{LFN}$ , son la corriente media por la bobina de una fase, el rizado pico a pico de la corriente, respectivamente;

$R_{DC}$  es la resistencia en corriente continua del arrollamiento;

$\gamma$  es la razón entre la resistencia en corriente alterna y la resistencia en corriente continua del arrollamiento;

$C$ ,  $\alpha$  y  $\beta$  son parámetros empíricos que caracterizan las pérdidas en el núcleo, dados por el fabricante y dependientes del material;

$\Delta B_i$  y  $Vol_{Ni}$  son la densidad del flujo magnético y el correspondiente volumen del núcleo para las diferentes regiones del núcleo (según los elementos finitos).

Del análisis de las pérdidas realizado en los epígrafes anteriores, (ver ecuaciones 3.3, 3.4, 3.7, 3.11 y 3.14), se puede concluir que seleccionar una adecuada frecuencia de conmutación influye de forma considerable en las pérdidas de cada uno de los componentes del convertidor. De aquí que optimizar la frecuencia de conmutación implica una mejora en el rendimiento del convertidor.

Trabajar con derivadas de corriente altas conduce a frecuencias de conmutación elevadas para poder mantener el rizado de corriente a la salida dentro de unos valores razonables. Un convertidor diseñado para una derivada de corriente determinada puede trabajar a diferentes frecuencias de conmutación, lo que supone tener un rizado de corriente por fase más o menos

grande. Trabajar con rizados de corriente pequeños y a muy alta frecuencia produce muchas pérdidas, debido a las pérdidas de conmutación.

A medida que disminuye la frecuencia, va aumentando el rizado de corriente pero se van reduciendo las pérdidas. Sin embargo, esta tendencia cambia cuando se llega a tener rizados de corriente muy elevados, pese a que la frecuencia de conmutación es relativamente pequeña, el rizado de corriente es muy elevado lo que conduce a elevar de nuevo las pérdidas como consecuencia de aumentar la corriente eficaz en los dispositivos, así como incrementar de forma muy importante la energía perdida cada vez que se abre el interruptor principal del reductor.

Por lo tanto, en función de la tensión de entrada, de la corriente de salida y de la derivada de corriente que se quiera alcanzar, un convertidor reductor encontrará una combinación frecuencia de conmutación–rizado de corriente óptima en la que el convertidor tiene las mínimas pérdidas para las condiciones consideradas. La *frecuencia óptima de conmutación* de un convertidor la definimos como aquella frecuencia en la se minimizan las pérdidas para una tensión de entrada, corriente de salida, derivada de corriente y rizado de la tensión de salida.

Por lo tanto, subir la derivada de corriente que es capaz de proporcionar un convertidor tiene un coste directo en las pérdidas del mismo que puede llegar a ser muy importante. Este incremento de las pérdidas es debido al efecto de tener una mayor frecuencia de conmutación junto con un mayor rizado de la corriente por la bobina.

Evidentemente, esta conclusión, mayor derivada de corriente implica mayores pérdidas, debe acotarse en el rango de aplicaciones de rápida respuesta dinámica.

#### 3.4.4 PÉRDIDAS EN LOS CONDENSADORES DE SALIDA

Las pérdidas en los condensadores de salida  $P_{CS}$  para un VRM multifase, está determinada por la caída de tensión en la resistencia serie equivalente (ESR) del condensador de salida por la corriente eficaz:

$$P_{CS} = I_{CTef}^2 \cdot ESR = \frac{1}{12} \cdot \Delta I_{LT}^2 \cdot ESR \quad (3.15)$$

donde:  $I_{CTef}$  y  $\Delta I_{LT}$  es la corriente eficaz total por el condensador y el rizado pico a pico resultante de la corriente por la bobina, respectivamente;

En la figura 3.9, se muestran los resultados de la medición del rendimiento de dos convertidores multifase de cuatro fases idénticos, a frecuencia de conmutación por fase constante, solo con tensiones de entrada diferentes,  $V_{ent} = 12V$  ( $D = 0,125$ ) y  $V_{ent} = 5V$  ( $D = 0,3$ ). Como resultado solo se muestran las pérdidas de la etapa de potencia, no se incluyen las pérdidas en los drivers ni en el circuito de control, [Pen02].

Para ambas tensiones de entrada, 5V y 12V, las pérdidas en la puerta de los interruptores tanto  $T_1$  (superior) como  $T_2$  (inferior), son iguales. Con el incremento de la tensión de entrada desde 5V hasta 12V, el ciclo de trabajo decrece desde 0,3 hasta 0,125, lo que reduce las pérdidas en conducción del interruptor  $T_1$  e incrementa las pérdidas en el interruptor  $T_2$ .

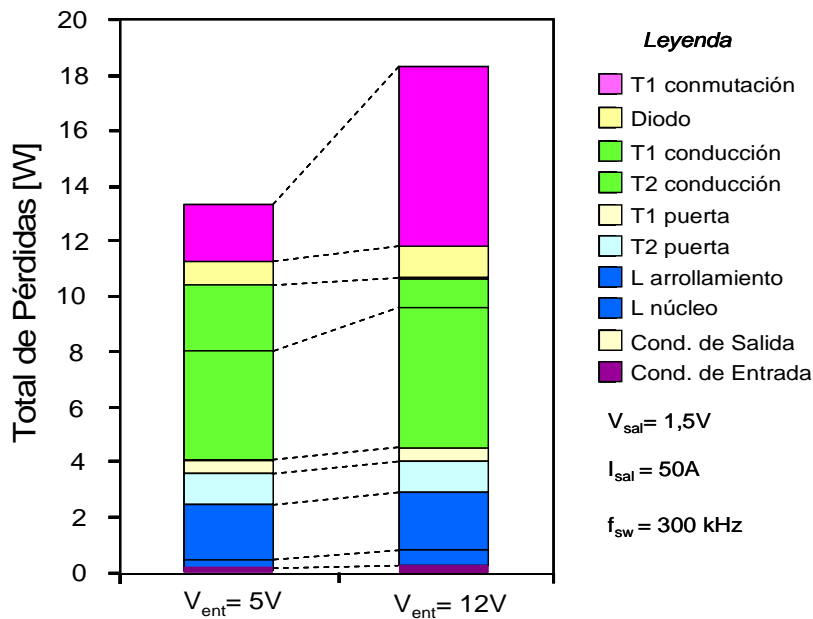


Fig.3.9 Pérdidas totales en un VRM de 4 fases para  $V_{ent}=5V$  y  $V_{ent}=12V$

Según la gráfica representada en la figura 3.9, las pérdidas en conducción resultantes para ambos interruptores son similares. Para el caso de las pérdidas en el condensador de entrada, en el arrollamiento y en el núcleo de la bobina y en el diodo en antiparalelo del interruptor  $T_2$ , tienen un incremento no muy significativo. La mayor aportación en el incremento de las pérdidas totales, provienen de las pérdidas en conmutación del interruptor  $T_1$ .

En la figura 3.10, se muestra el rendimiento del VRM para diferentes tensiones de entrada. De la gráfica se puede concluir que el incremento del ciclo de trabajo mejora el rendimiento del convertidor. De aquí, que la mejora en el rendimiento del convertidor está determinado principalmente por la reducción de las pérdidas en conmutación del interruptor  $T_1$  y de las pérdidas en conducción de  $T_2$ .

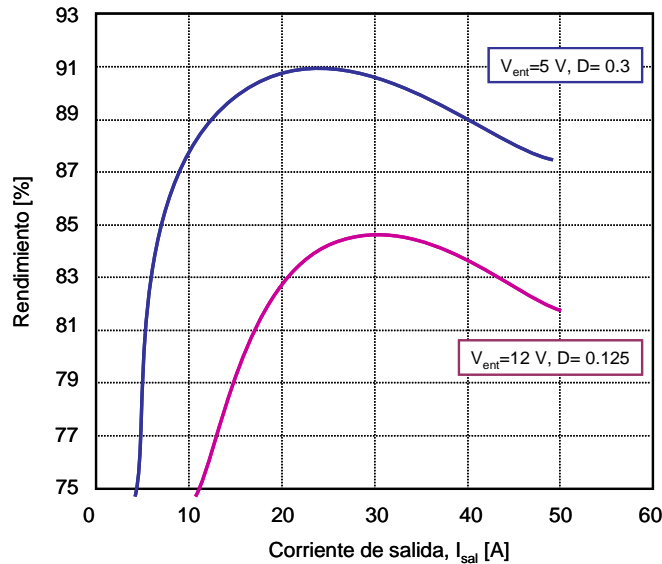


Fig.3.10 Rendimiento de un VRM de 4 fases para  $V_{ent}=5V$  y  $V_{ent}=12V$

Finalmente, como se ha visto, interesa que los convertidores funcionen a frecuencias bajas de conmutación y con bajas corrientes por fase. Un incremento del número de fases permite reducir la corriente por fase y si cada una de las fases funcionan entrelazadas, el mismo rizado de la corriente de salida se puede obtener incrementando el número de fases entrelazadas y disminuyendo en igual medida la frecuencia de conmutación.

### 3.5 INFLUENCIA DEL NÚMERO DE FASES

Los VRM multifase forman una fuente de alimentación compuesta por varios convertidores conectados en paralelo, figura 3.11. Poner varios convertidores en paralelo, permite distribuir las pérdidas entre más componentes, lo que facilita la gestión térmica del convertidor multifase, y permite manejar importantes valores de potencia en un reducido tamaño respecto de soluciones de una única fase.

Estos convertidores son constructivamente idénticos, la corriente por cada una de las fases va a ser igual. De aquí que la corriente total a la salida ( $I_{LT}$ ) va a ser igual a la sumatoria de todas las corrientes por cada una de las fases.

Dado que la corriente de salida se obtiene sumando cada una de las corrientes que aportan fuentes más pequeñas, esto hace que se puedan diseñar con componentes magnéticos más reducidos y componentes electrónicos con características menos críticas en cuanto a valores máximos absolutos, (corriente pico, potencia, etc.). Teniendo en cuenta estas características, los convertidores multifase se clasifican en dos grupos: con funcionamiento *simultáneo* y con funcionamiento *entrelazado*.

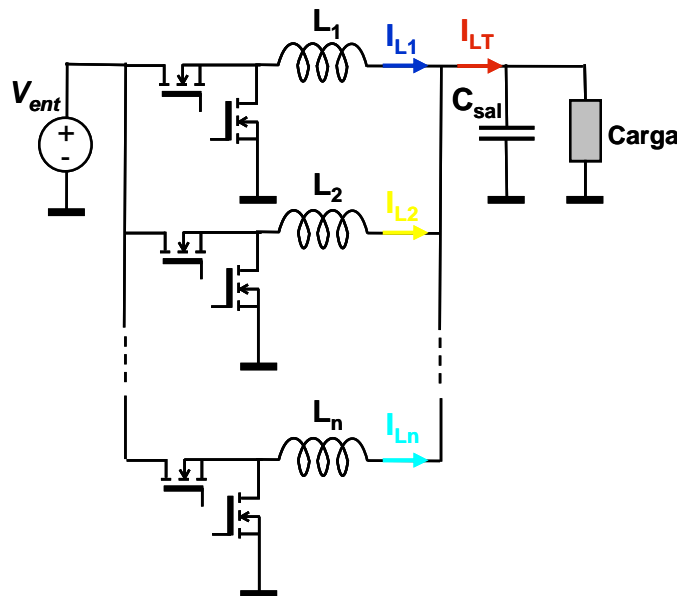


Fig. 3.11 Etapa de potencia de un convertidor reductor multifase

En los convertidores con funcionamiento simultáneo, ver figura 3.12, todas las señales de disparo de cada una de las fases se activan en el mismo instante de tiempo, ( $t_1$ ,  $t_2$ ,  $t_3$ ). Por otra parte, el condensador de salida se actualiza una vez en cada período de conmutación, es decir,  $T_{D Act} = t_{sw}$ .

Como principal ventaja de esta topología es su simplicidad en cuanto al bloque de control, ya que se necesita una sola señal de control para el disparo de todas las fases.

Como desventajas, fundamental es que para una corriente media ( $I_{med}$ ) determinada, el rizado de la corriente de salida es elevado. Esto hace que los requerimientos hacia los magnéticos y condensadores del filtro de salida sean más exigentes (mayor tamaño) y por lo tanto mayor coste.

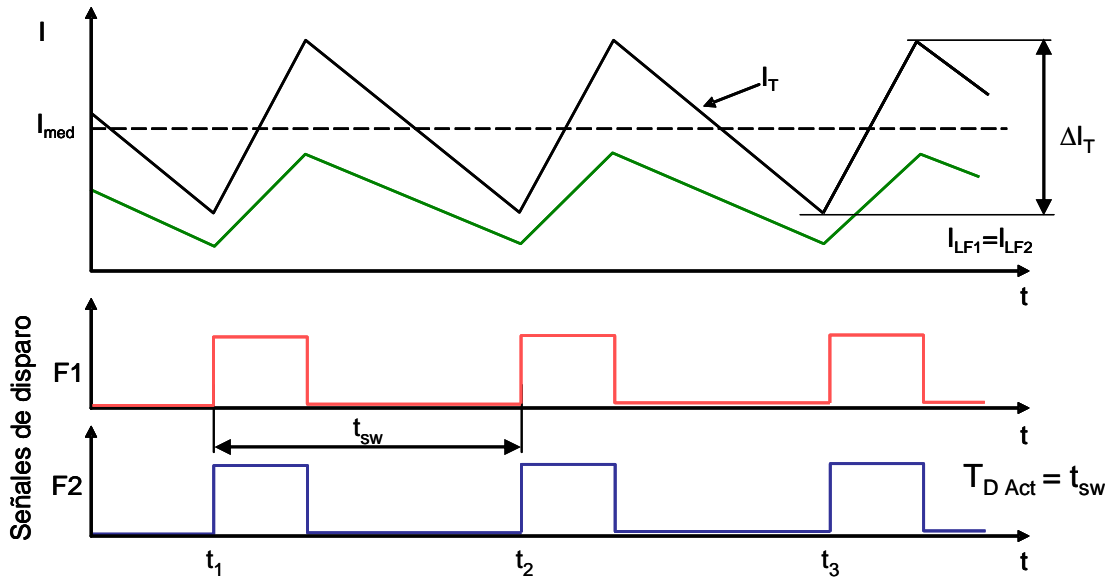


Fig. 3.12 Convertidor reductor de dos fases en paralelo con funcionamiento simultáneo

Los convertidores con entrelazado, aunque topológicamente son iguales, las señales de disparo se generan con un desfase  $\phi$ , determinado por el número de fases del VRM. Una condición imprescindible es que el desfase tiene que ser igual y constante entre cada una de las fases contiguas. Esto permite una correcta distribución de las corrientes que circula por cada una de las fases. Este desfase se puede representar como la razón entre el período de conmutación y el número de fases, ecuación 3.16:

$$t_{\phi} = \frac{t_{sw}}{N_f} \quad (3.16)$$

El hecho de desfazar en el tiempo cada una de las fases que componen el convertidor, hace que se reduzcan los filtros de entrada y salida de convertidor, dado que se distribuye en el tiempo los momentos en los que se demanda o se entrega energía y por tanto se reducen los picos de energía, circulando la energía de forma más continua.



En la figura 3.13, se muestra el diagrama de tiempos correspondientes a las señales de control, para un multifase de dos fases con entrelazado, y la corriente a la salida del convertidor.

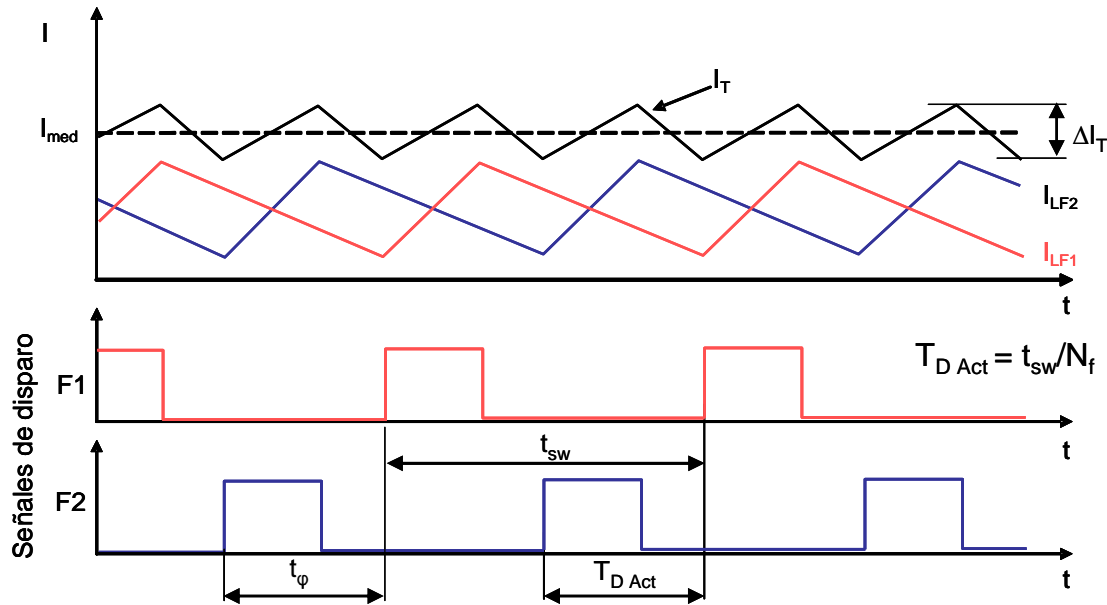


Fig. 3.13 Convertidor reductor con dos fases en paralelo con entrelazado (interleaving).

Todas las fases inyectan corriente a la salida, pero desfasadas en el tiempo. Como se puede observar, para un mismo valor de la corriente media  $I_{med}$ , la corriente resultante  $I_T$ , tiene un rizado menor que la topología con funcionamiento simultáneo de las fases. Esto hace que el condensador de salida se actualice un número de veces igual al número de fases en cada período de conmutación, es decir,  $T_{D Act} = t_{sw}/N_f$ .

De aquí, que se puede demostrar, que ésta topología reduce el rizado de la corriente total que se inyecta al condensador de salida. Como consecuencia el rizado de la tensión de salida también se ve reducido considerablemente. Esto permite utilizar valores de inductancias menores, con el objetivo de mejorar la respuesta dinámica del convertidor. Por otra parte, permite reducir la capacidad de salida, manteniendo los mismos requerimientos dinámicos y de regulación.

En los convertidores multifase con entrelazado, el factor de cancelación de rizado,  $k_R$ , se determina como la relación entre la magnitud del rizado total,  $\Delta I_T$ , y entre el rizado de la corriente de la bobina por una de las fases,  $\Delta I_{LFN}$ , [Pen02], [Wil08], es decir:

$$k_R = \frac{\Delta I_{LT}}{\Delta I_{LFN}} \quad (3.17)$$

Si tenemos en cuenta que el rizado de la corriente por la bobina para un convertidor simple de una fase se puede expresar como:

$$\Delta I_{LT} = \frac{V_{sal} \cdot (1-D)}{L_{FN} \cdot f_{sw}} \quad (3.18)$$

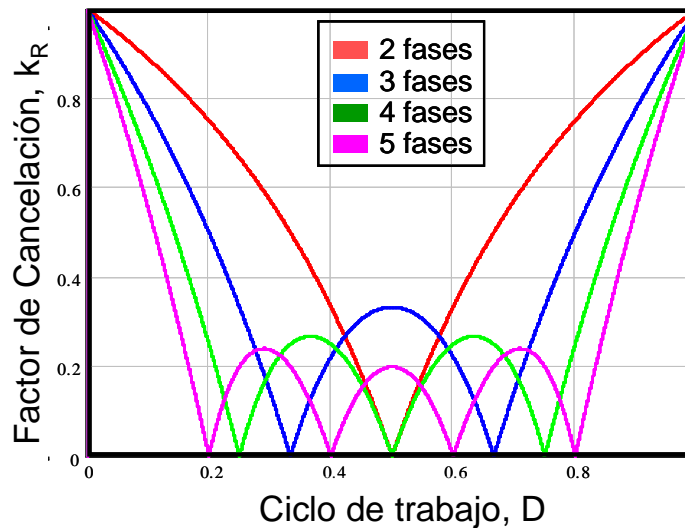
Despejando de la ecuación (3.17) el valor del rizado total de la corriente del convertidor multifase,  $\Delta I_{LFN}$ , y sustituyendo  $k_R$  en la ecuación (3.18), se obtiene que:

$$\Delta I_{LT} = \Delta I_{LFN} \cdot k_R = \frac{V_{sal} \cdot (1-D)}{L_{FN} \cdot f_{sw}} \cdot \frac{N \cdot (D - \frac{m}{N}) \cdot (\frac{m+1}{N} - D)}{D \cdot (1-D)} \quad (3.19)$$

En la figura 3.14 se muestra el factor de cancelación de rizado en función del ciclo de trabajo,  $D$ , para diferentes números de fases. El factor de cancelación ( $k_R$ ), varía entre 0 y 1, y representa la relación, entre el rizado de corriente a la salida ( $\Delta I_{LT}$ ) y el rizado de corriente que se tiene por cada una de las fases, ( $\Delta I_{LFN}$ ). Cuanto más próximo a cero esté el factor de cancelación, más pequeño resulta el rizado de corriente a la salida, o dicho de otra forma, mayor es la cancelación de rizado de la corriente de salida. La cancelación de rizado no sólo depende del número de fases, sino también del ciclo de trabajo al que se opera.

Es interesante destacar, que en función de la tensión de entrada y la tensión de salida, se tendrá un mayor o menor aprovechamiento de la cancelación del rizado de corriente a la salida, dado que el ciclo de trabajo depende de esta relación, ecuación (3.19). El primer término de la ecuación representa el rizado de la corriente por la bobina y el segundo término representa el factor de cancelación de rizado.

Como se puede observar, (ver figura 3.14), la cancelación de rizado de la corriente de salida es pobre para ciclos de trabajo pequeños. Los ciclos de trabajo pequeños, incrementan aún más el rizado de la corriente de salida, ya que se incrementan de forma individual, el rizado por cada una de las fases. Cualquier topología derivada del reductor (*forward*, medio puente, etc.) se puede entrelazar, obteniendo las mismas ventajas que se obtienen al entrelazar el convertidor reductor.



*Fig.3.14 Factor de cancelación en función del ciclo de trabajo para diferente número de fases*

Se puede concluir que, a la hora de elegir el número de fases se debe tener en cuenta no sólo las pérdidas del convertidor sino también el coste y el tamaño del mismo. Por este motivo parece razonable que para una especificación y una tecnología considerada se incremente el número de fases hasta reducir las pérdidas por fase a unos valores razonables y que térmicamente sea una solución viable.

Al variar el número de fases se puede afectar de forma muy importante a las pérdidas del convertidor. Como se ha comentado, los efectos de cambiar el número de fases son varios y están interrelacionados, debido a que las pérdidas de conmutación dependen de elementos parásitos (inductancias, resistencias y capacidades) de los interruptores, los condensadores de entrada y el *layout* que conecta unos elementos con otros.

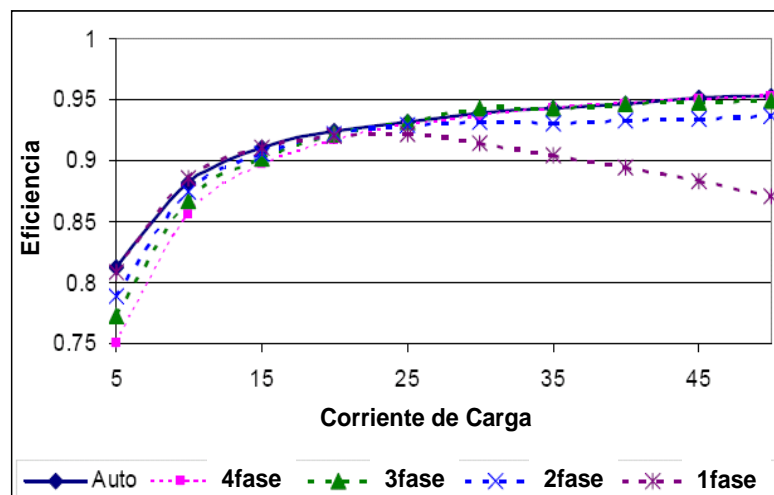
### 3.6 OTRAS CARACTERÍSTICAS DE INTERÉS DE LOS VRM PARA APLICACIONES ESPECÍFICAS

Las tecnologías más avanzadas de microprocesadores, requieren de un manejo adecuado del consumo y la disipación de potencia. Así, se pueden encontrar soluciones que mejoran el rendimiento del convertidor, como es el cambio dinámico del número de fases. Otras como es el posicionamiento adaptativo de la tensión de salida, reduce el tamaño y los costes del

convertidor, ya que requiere de menos capacidad de salida para garantizar la misma respuesta dinámica.

### 3.6.1 CAMBIO DINÁMICO DEL NÚMERO DE FASES

Una de las características que influye directamente sobre el rendimiento del VRM es el cambio dinámico del número de fases. Con esta técnica se determina el número de fases óptimo, que garantice el máximo rendimiento, para cada nivel de corriente de salida. En la figura 3.15 se muestra el rendimiento del VRM en función de la corriente de salida del convertidor para diferente número de fases [Int00], [VRM04]. Como se puede observar el rendimiento del VRM es inversamente proporcional al incremento del número de fases para bajas corrientes, no siendo así para altas corrientes donde a mayor número de fases mayor rendimiento.



*Fig. 3.15 Rendimiento del VRM en función de la corriente de salida para diferente número de fases.*

De aquí que se diseñen VRM con cambio dinámico del número de fases, ver figura 3.15, es decir, según la magnitud de la corriente de salida que se demanda del convertidor, éste selecciona el número de fases óptimo que garantice el mejor rendimiento.

Estas soluciones mejoran el rendimiento del convertidor para diferentes condiciones de funcionamiento, pero no resultan ser la solución definitiva que permita obtener no solo el mejor rendimiento sino la mejor respuesta dinámica [Zum06].

### 3.6.2 POSICIONAMIENTO ADAPTATIVO DE LA TENSIÓN DE SALIDA

Como se ha explicado anteriormente, las fuentes de alimentación de los microprocesadores son muy exigentes en cuanto a regulación de la tensión de salida. Esto se debe a que estos pueden conmutar cientos de amperios a tensiones muy bajas y con derivadas de corriente muy grandes. El sistema debe garantizar que ante estos escalones de carga la tensión de salida se encuentre dentro de los límites de las especificaciones. Habitualmente, con el objetivo de disminuir las variaciones de la tensión de salida durante los transitorios, se propone incrementar el número de condensadores de salida. Esto tiene un gran inconveniente, principalmente, para las nuevas generaciones de microprocesadores donde los requisitos de regulación son mucho más exigentes, (tensiones de alimentación más bajas y corrientes más altas), ya que aumenta considerablemente el tamaño y los costes del convertidor.

Una alternativa para aliviar este problema es el posicionamiento adaptativo de la tensión de salida del convertidor, AVP, (*Adaptive Voltage Positioning control*), [Int00], [Zha00], [Wai01], [Kai03], [VRM04], [Lee06].

En la figura 3.16, se muestra la variación de la tensión de salida en función de la corriente de carga con control AVP.

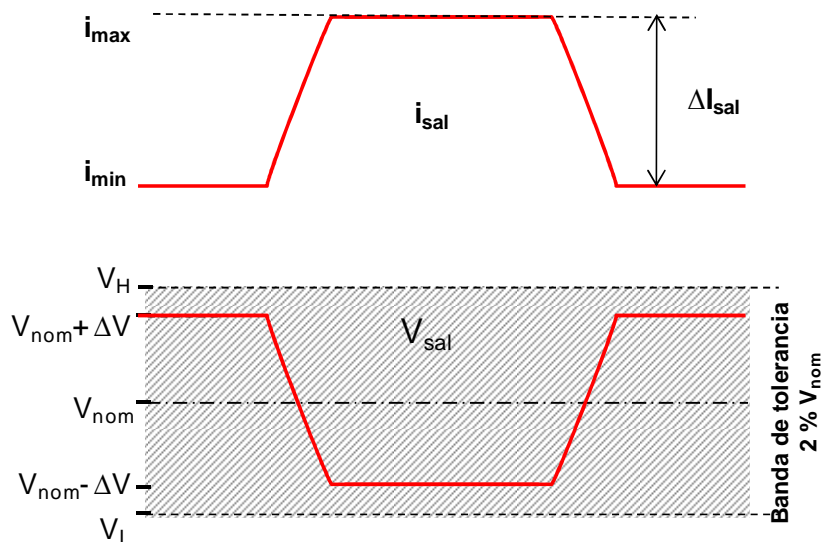


Fig. 3.16 Variación de la tensión de salida en función de la corriente de carga con control AVP.

La idea consiste básicamente en controlar el nivel de la tensión de salida del VRM de tal forma que esté un poco por encima de su valor mínimo a carga máxima, ( $V_{nom}-\Delta V$ ), o un poco por debajo del valor máximo de la tensión a carga mínima, ( $V_{nom}+\Delta V$ ). Como resultado, la banda de tolerancia de la tensión de salida, definida por las tensiones  $V_L$  y  $V_H$  (zona sombreada), es utilizada para soportar el valor de los picos de la tensión de salida durante los transitorios.

Es evidente que los diseños de VRM con AVP permiten reducir el número de condensadores de salida y por consiguiente los costes y tamaño del VRM. Otra de las ventajas del AVP es que la potencia de salida del VRM a carga máxima, se ve un tanto reducida lo que mejora la gestión térmica del procesador [Kai04], [Lee06].

## CONCLUSIONES

En este capítulo se hace una introducción a las fuentes de alimentación de los actuales dispositivos microelectrónicos digitales. Se parte de las principales características y requisitos que deben cumplir este tipo de fuentes, haciendo hincapié en la influencia de cada uno de los parámetros de diseño, tanto sobre el rendimiento del convertidor como en su respuesta dinámica. Además, se indican las limitaciones que tienen las actuales topologías.

Se puede concluir que las características de estas fuentes tienen un carácter de compromiso. La mejora de alguna de ellas, conlleva al empeoramiento de otras no menos importantes. Como características principales de los VRM diseñados para alimentar microprocesadores, son garantizar una buena respuesta dinámica y tener una elevada densidad de potencia (potencia por unidad de volumen). Esto hace que las soluciones que mejoren alguna de estas características (o ambas), sin perjudicar otras tales como el rendimiento, pueden resultar óptimas para el diseño de VRM.

Se ha visto que el incremento de la frecuencia de conmutación permite mejorar la respuesta dinámica del convertidor, aunque se incrementan las pérdidas en los interruptores. Esto hace que el rendimiento del convertidor se vea afectado negativamente.

Un incremento del número de fases ayuda a mejorar la respuesta dinámica, pero a su vez trae consigo un aumento en el tamaño y en los costes del convertidor, [Alo04]. En este sentido se propone la implementación del control LnL aplicado a VRM multifase, para mejorar la respuesta dinámica del VRM, sin la necesidad de aumentar la frecuencia de conmutación, ni aumentar mucho el número de fases.

## CAPÍTULO 4

# CONVERTIDOR REDUCTOR CON CONTROL LINEAL NO LINEAL (LnL)

### 4.1 INTRODUCCIÓN

Como se ha analizado en capítulos anteriores, debido a las elevadas prestaciones que demandan los microprocesadores a sus fuentes de alimentación, aumentar la densidad de potencia con una elevada respuesta dinámica y un elevado rendimiento, sería la solución óptima para el diseño de los convertidores, que componen dichas fuentes de alimentación.

Este trabajo se centra en la aplicación de la estrategia de control propuesta por [Ba02a], denominada control lineal no lineal (LnL), aplicado a convertidores reductores multifase con el objetivo de mejorar sus características dinámicas y densidad de potencia del mismo.

Para ello, en este capítulo se analiza el principio de funcionamiento de la estrategia de control LnL, propuesta por [Ba02a], [Ba02b]. Esta estrategia se basa en la combinación de dos controles: un control lento, como pueden ser los controles en modo tensión y corriente promediada y de pico, con un control no-lineal [Vaz03].

De forma general esta estrategia de control reúne las mejores prestaciones de cada uno de estos tipos de control. Del control lento sus características positivas en régimen permanente, y las características positivas de los controles rápidos durante los transitorios. De los controles lentos se toma el bajo rizado de la tensión de salida, la buena regulación de la tensión de salida, y la independencia de la frecuencia de conmutación de los parámetros parásitos del filtro de salida. De los controles rápidos se toma la gran rapidez de reacción ante los transitorios de carga.

Se analizarán las características fundamentales y el modo de actuación del control LnL comparándolo con un control lineal, resumiendo las características positivas de cada uno de ellos, así como los parámetros que limitan o influyen sobre la respuesta dinámica del



convertidor. Posteriormente se explicará el principio de funcionamiento del control LnL aplicado a un convertidor reductor síncrono de una fase. Se analizan las particularidades del control LnL aplicado a VRM y finalmente se resumen las principales aportaciones de este control en la respuesta dinámica del sistema.

## 4.2 CONTROL LINEAL EN MODO TENSIÓN

El control en modo tensión es el modo de control más utilizado en los convertidores CC-CC de baja tensión de salida. En la figura 4.1 se muestra un convertidor reductor con rectificación síncrona, usando un control en modo tensión.

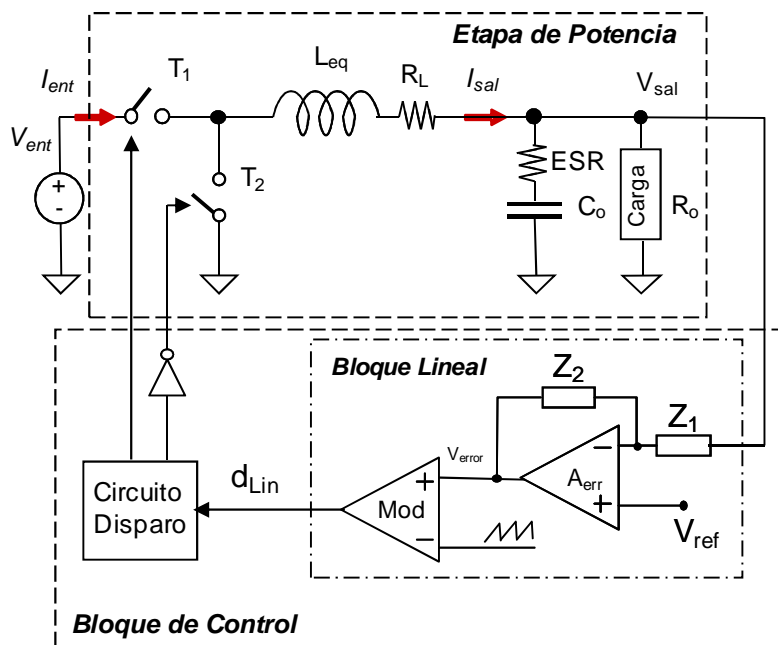


Fig. 4.1 Convertidor reductor con rectificación síncrona y con control Lineal.

Los convertidores de baja tensión de salida para alimentar procesadores digitales, se diseñan para trabajar en MCC, por ello el bloque de potencia se comporta como un sistema de segundo orden, generalmente subamortiguado.

El control en modo tensión está formado por un único bucle, el cual está compuesto por un amplificador de error, el modulador de pulso y el circuito de disparo de los interruptores. Este tipo de control pertenece al grupo de los controles que denominaremos como lentos. Si ocurre una perturbación en la salida, el convertidor comienza a corregir el ciclo de trabajo

lentamente, es decir, las variaciones de la corriente de carga no son utilizadas directamente para modificar el ciclo de trabajo, previamente se deben convertir a variaciones de tensión y luego son filtradas por el amplificador de error.

La rapidez de la corrección del ciclo de trabajo depende del ancho de banda del convertidor en bucle abierto. Para un bloque de potencia previamente definido, el ancho de banda se ajusta seleccionando adecuadamente los valores de las impedancias  $Z_1$  y  $Z_2$  (figura 4.1). Para su selección es imprescindible tener en cuenta los criterios de estabilidad para la amplitud y la fase. La frecuencia de corte en bucle abierto de un convertidor controlado en modo tensión típicamente es menor o igual a 1/6 de la frecuencia de conmutación [Zha96].

Durante el funcionamiento del convertidor, el amplificador de error toma una muestra de la tensión de salida por su entrada negativa. Esta muestra de tensión es comparada con la tensión de referencia conectada a la entrada positiva del amplificador. La diferencia de la comparación constituye el error a corregir. Este error es amplificado con una ganancia definida por la función de transferencia del amplificador de error.

El error amplificado es aplicado a la entrada positiva de un modulador de pulso. Este bloque está compuesto por un comparador, que compara la tensión de error amplificada con una rampa proveniente de un oscilador local. El resultado es un pulso a la salida del comparador, hasta el momento que la rampa supera el valor de la tensión de error.

La salida del comparador se conecta al circuito de disparo (*driver*) que es el encargado de generar los pulsos de control para cada uno de los interruptores. Estos pulsos serán de frecuencia constante y ancho de pulso variable. Este tipo de modulación se conoce como modulación de ancho de pulso (PWM) y es la más aplicada en los convertidores controlados por tensión.

Básicamente para este tipo de aplicaciones se utilizan dos tipos de control: control en modo tensión y control en modo corriente promediada.

El *control en modo tensión* es un control que permite lograr un rizado muy bajo en la tensión de salida. Cuando se utiliza la modulación PWM, la frecuencia de conmutación es fija, y el filtro de salida es muy fácil de calcular. Otra de las ventajas de este control es su

facilidad para ser implementado. La principal limitación de este tipo de control es su lentitud, lo que hace que no sea el de mayores perspectivas para ser utilizado en las fuentes de baja tensión con rápidos escalones de carga.

Las principales ventajas y desventajas del control en modo tensión, como se indicaron en el epígrafe 2.3.1.1, se recogen a continuación.

Ventajas:

- Control sencillo de implementar.
- No necesita sensar la corriente por la bobina.
- La frecuencia de conmutación es independiente de los parásitos del filtro de salida.
- Alta precisión en la regulación de la tensión de salida en régimen estacionario o estático.
- Buena estabilidad.
- Bajo rizado en la tensión de salida.

Desventajas:

- La respuesta del control lenta. La frecuencia de corte en bucle abierto es típicamente inferior a  $1/6$  de la frecuencia de conmutación. Las perturbaciones de la tensión de salida son importantes, como consecuencia de los escalones de corriente de la trabajo.

El *control en modo corriente* promediada tiene un grupo de ventajas y desventajas, como se indicaron en el epígrafe 2.3.1.3:

Ventajas:

- Alta precisión en la regulación de la tensión de salida en régimen estacionario.
- Buena estabilidad. No necesita rampa de compensación.
- Buena inmunidad al ruido en comparación con el control en modo corriente de pico.
- Bajo rizado en la tensión de salida.
- Independencia de la frecuencia de conmutación del convertidor de los parámetros parásitos de los componentes.

- Permite limitar la corriente que circula por la bobina, haciendo posible lograr una adecuada distribución de las corrientes, cuando se utilizan CPE.

#### Desventajas:

- Este control por su velocidad de respuesta resulta ser un control lento, pues las perturbaciones de la tensión en la salida, durante los escalones de carga, modifican el ciclo de trabajo después de ser filtrada por los amplificadores de error de los bucles de corriente y de tensión. A pesar de ello, se logra un ancho de banda en bucle abierto mayor que en caso del control en modo tensión. Pues el bucle interno de control de corriente, causa un adelanto relativo de  $90^\circ$  a la fase, respecto al control en modo tensión. Por lo tanto, en el control en modo corriente se dispone de un mayor margen de fase para aumentar la ganancia, y con ella, la frecuencia de corte en bucle abierto.
- Necesidad de un elemento sensor de la corriente por la bobina.
- Circuito de control más complejo que el control en modo tensión, debido a la existencia de dos bucles con dos amplificadores de compensación.

Para lograr una respuesta óptima ante los escalones de carga se requiere de un control con una alta ganancia a alta frecuencia. En los controles lineales esta necesidad de alta ganancia es un compromiso si se tienen en cuenta los criterios de estabilidad. Estudios realizados concluyen que para un convertidor funcionando en modo tensión es recomendable seleccionar una frecuencia de corte igual o menor que  $1/6 \div 1/10$  de la frecuencia de conmutación, garantizando un margen de fase superior a  $45^\circ \div 60^\circ$ . La frecuencia de conmutación está limitada por las pérdidas en conmutación en los interruptores.

Por lo tanto, la solución del control ideal se deberá buscar en sistemas no lineales de fase no mínima, donde la estrecha relación entre la fase y la ganancia, presente en los sistemas lineales, desaparece. Debido a los requerimientos que exigen las fuentes de alimentación de los microprocesadores en cuanto a densidad de potencia, el estudio se centrará en los convertidores reductores en modo tensión. Este modo de control no requiere de sensado de corriente, son menos costosos y su tamaño es reducido.

### 4.3 PARTICULARIDADES DEL CONTROL LNL

El control LNL, ver figura 4.2, ofrece una solución óptima para los controles que modifican la ganancia del bloque de control, como vía para aumentar la rapidez de recuperación de la tensión de salida durante los escalones de carga.

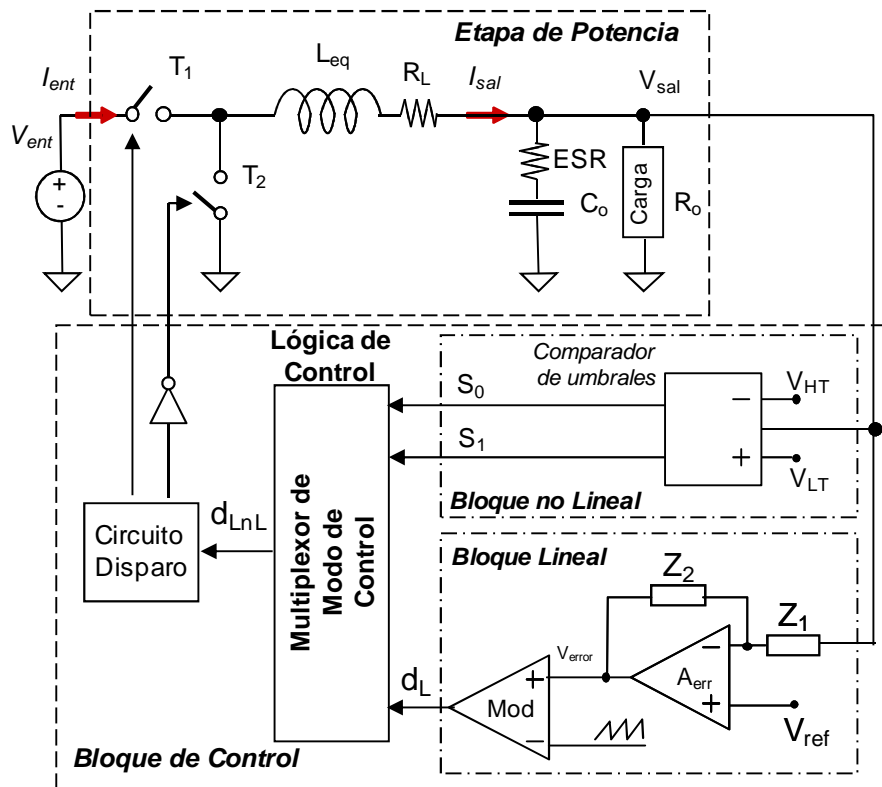


Fig. 4.2 Convertidor reductor con rectificación síncrona y con control LNL.

Para el caso de modo de conducción continua (MCC), el ciclo de trabajo está definido por la siguiente expresión:

$$d = \frac{V_{sal}}{V_{ent}} \quad (4.1)$$

En MCC el ciclo de trabajo en un convertidor reductor teóricamente no depende de la corriente de la carga. Este hecho resulta evidente de la ecuación (4.1). En la práctica cuando varía la corriente de carga, el ciclo de trabajo sufre una muy pequeña modificación para compensar las variaciones en la tensión de salida, como consecuencia de la caída de tensión en los elementos resistivos del circuito. Estas caídas de tensión son proporcionales a la corriente de carga.

Por otra parte, el ciclo de trabajo es una función lineal, dependiente de la diferencia que existe entre la tensión de salida y la señal de referencia. La salida del control lineal se conecta a una lógica de control que es la encargada de generar las señales de disparo síncronas.

Hasta aquí todo lo que se ha descrito coincide exactamente con la estrategia de control lineal en modo tensión, la diferencia la marca la inclusión de dos nuevas funcionalidades: un bloque no lineal y una lógica de control. El bloque no lineal consiste en un comparador de umbrales  $V_{HT}$  y  $V_{LT}$ . Estos umbrales definen la banda de umbral ubicada dentro de la banda de tolerancia.

La lógica de control está formada por un *multiplexor de modo de control* (MMC), que se encarga de seleccionar en cada momento el ciclo de trabajo adecuado, ya sea el impuesto por el bloque lineal o por el bloque no lineal, en función de las señales de control,  $S_0$  y  $S_1$ , generadas por el bloque no lineal. Estas señales dependen de las tensiones de umbral  $V_{HT}$  y  $V_{LT}$ , e indican, cuándo la tensión de salida se encuentra dentro de esta banda.

En la tabla 4.1 se muestran las diferentes combinaciones posibles, que definen los diferentes modos de funcionamiento del control, en función de las señales  $S_0$  y  $S_1$ .

**TABLA 4.1**  
**MODOS DE FUNCIONAMIENTO DEL CONTROL LNL EN FUNCIÓN DE LAS SEÑALES DE CONTROL  $S_0$  Y  $S_1$**

<i>Modo de Funcionamiento</i>	$S_0$	$S_1$	<i>Valor del ciclo de trabajo</i>
Lineal	0	0	$D = d_{Lin}$
No lineal	0	1	$D = '0'$
No lineal	1	0	$D = '1'$
*	1	1	*

Como se puede observar, existen cuatro combinaciones, que determinan tres posibles valores del ciclo de trabajo  $D$ . Uno de ellos determinado por el bloque lineal y otros dos determinados por el bloque no lineal.

Las señales de salida del comparador de umbral,  $S_0$  y  $S_1$ , son las señales de control del MMC. Éste es el encargado de seleccionar el ciclo de trabajo adecuado en cada momento. En dependencia de la variación de la tensión de salida y del estado de las señales  $S_0$  y  $S_1$ , el MMC selecciona el ciclo de trabajo adecuado, ya sea el impuesto por el bloque lineal o por el bloque no lineal. El estado donde las señales  $S_0=S_1=1$ , es un estado imposible, ya que la tensión de salida no puede estar por encima y por debajo de los umbrales en el mismo instante de tiempo.

Según [Vaz03], los controles no lineales se pueden dividir en dos tipos, dependiendo del modo de funcionamiento:

*Control no-lineal con funcionamiento continuo:* En este caso el control no-lineal se activa durante cada ciclo de conmutación. A este tipo de control pertenece el control por histéresis, que es un control todo o nada y el control  $V^2$ , que es una mejora del control por histéresis.

*Control no-lineal con funcionamiento temporal:* En este caso el control no-lineal sólo actúa cuando se cumplen determinadas condiciones, por ejemplo: cuando la tensión de salida cae por debajo de un cierto valor. Generalmente, este control está combinado con el uso de un control lineal, que es el encargado del control del convertidor cuando el control no lineal está desactivado.

A continuación, se analiza la respuesta de un convertidor reductor con control lineal y con control LnL ante escalones de carga positivo y negativo. En la figura 4.3 se muestra el diagrama de tiempos de la respuesta de un convertidor reductor síncrono de una sola fase ante escalones de carga positivo y negativo, con *control lineal*, figura 4.3 (b) y *control lineal no lineal* figura 4.3 (a).

Para simplificar la explicación del principio de funcionamiento del convertidor reductor con control LnL se ha representado la respuesta de un convertidor reductor ante un escalón de carga positivo (columna de la izquierda) y negativo (columna de la derecha). En la figura 4.3 (b) se representa el diagrama de tiempos de las principales señales del convertidor con control lineal. De arriba hacia abajo se representa, la variación de la corriente de salida para un escalón de carga positivo, ( $I_1 \rightarrow I_2$ ), y para un escalón de carga negativo, ( $I_2 \rightarrow I_1$ ), la variación

de la tensión de salida, la señal de control PWM con control lineal y la variación del ciclo de trabajo.

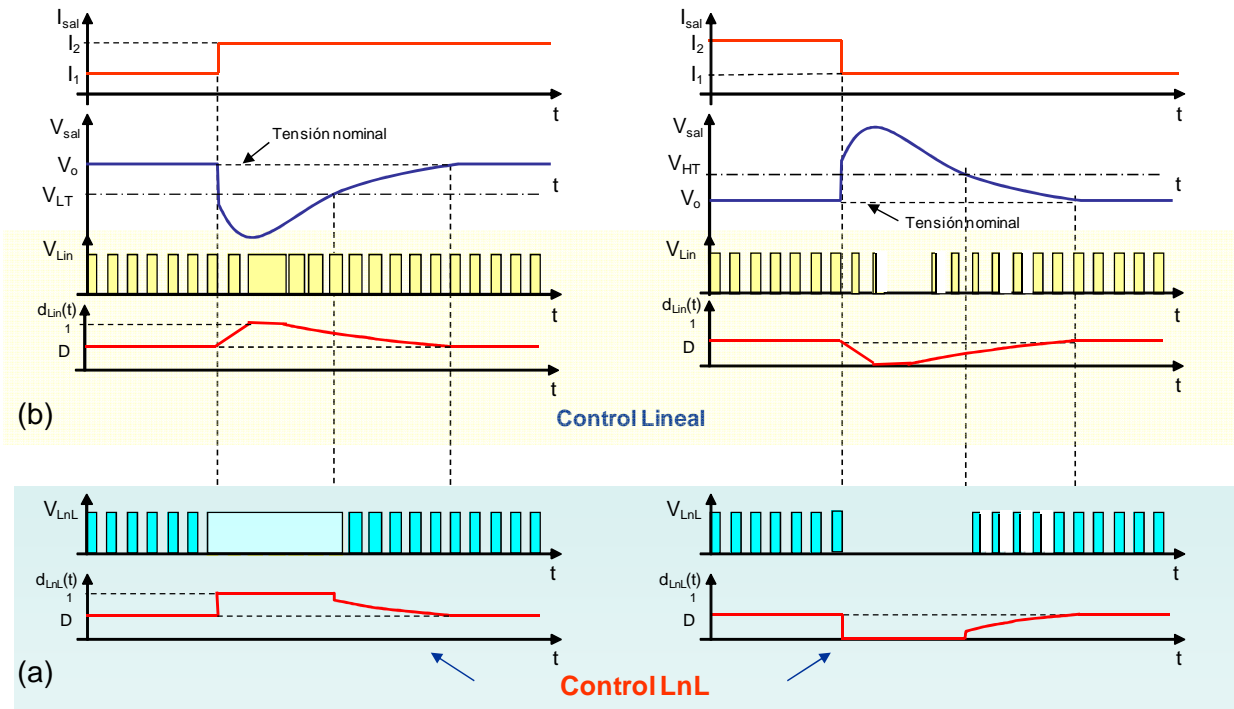


Fig. 4.3 Diagrama de tiempos de la respuesta del convertidor reductor ante escalones de carga positivo y negativo: a) con control LnL y b) con control Lineal.

En la figura 4.3 (a), se representa el diagrama de tiempos de las principales señales del convertidor con control LnL. De arriba hacia abajo se representa, el escalón de corriente demandada por la carga, la variación de la tensión de salida, la señal de control PWM y la variación del ciclo de trabajo.

Ante un escalón de carga positivo, (incremento brusco de la corriente de salida del convertidor), para el caso de un convertidor con control lineal, figura 4.3 (b), la tensión de salida disminuye, esto hace que el ciclo de trabajo ( $d_{Lin}$ ) se incremente linealmente en cada período de conmutación hasta que la tensión de salida alcance su valor nominal. En este caso, cuando ocurre un escalón de carga negativo, (decremento brusco de la corriente de salida del convertidor), la tensión de salida aumenta, esto hace que el ciclo de trabajo ( $d_{Lin}$ ) se decremente linealmente en cada período de conmutación hasta que la tensión de salida alcance nuevamente su valor nominal. Durante este proceso puede llegar a producirse una saturación del ciclo de trabajo,  $d_{Lin}$ .



Para el caso de un convertidor con control LnL, figura 4.3 (a), se define una banda de umbrales alrededor de la tensión de salida nominal y dentro de la banda de tolerancia. Esta banda está definida por dos tensiones de umbral, una por encima ( $V_{HT}$ ) y otra por debajo ( $V_{LT}$ ) de la tensión de salida nominal. En dependencia de la variación de la tensión de salida ante el escalón de carga, se tienen dos modos de funcionamiento: modo lineal y modo no lineal. Esto genera tres estados de variación del ciclo de trabajo: saturación a '1' o a '0', y lineal. Para definir cada uno de los estados se necesitan al menos dos señales de control. Estas señales se obtienen a partir de las salidas  $S_0$  y  $S_1$  del bloque no lineal.

En la figura 4.4, se muestra la estructura del bloque no lineal para el caso de un convertidor de una sola fase. A continuación, se describen cada uno de los bloques que lo componen.

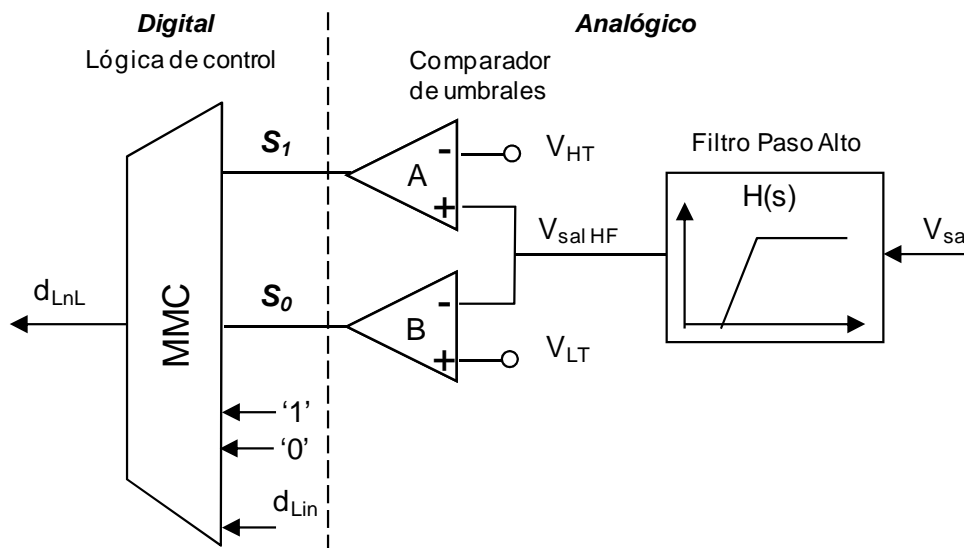


Fig. 4.4 Estructura del bloque no lineal para un convertidor reductor de una fase.

El control no lineal está formado por tres bloques fundamentales: un *Filtro Paso Alto* (FPA), un *Comparador de Umbrales* (CU) y un *Multiplexor de Modo de Control* (MMC) o lógica de control. El FPA es el encargado de filtrar la componente de baja frecuencia de la tensión de salida,  $V_{sal}$ . El objetivo principal es sensibilizar la etapa del CU, con las variaciones de alta frecuencia, y responder ante los transitorios de alta frecuencia de la tensión de salida.

Los CU están formado por dos comparadores de tensión, A y B. Estos comparadores son los encargados de generar las señales  $S_0$  y  $S_1$  en función de la variación de la señal de salida

filtrada,  $V_{sal\ HF}$ . Estas señales dependen de las tensiones de umbral  $V_{HT}$  y  $V_{LT}$ , e indican, cuándo la tensión de salida se encuentra dentro de esta banda.

Todos los posibles valores que pueden tener estas señales de control se resumen en la tabla 4.1.

A continuación, se analiza la respuesta del control LnL ante escalones de carga positivo y negativo.

Durante un *escalón de carga positivo*, la tensión de salida disminuye. En un inicio cuando la variación de la tensión de salida se encuentra dentro de la banda de umbrales definida por las tensiones de umbral,  $V_{LT}$  y  $V_{HT}$ , la lógica de control selecciona el ciclo de trabajo ( $d_{Lin}$ ), impuesto por el bloque lineal, por lo que éste se incrementará linealmente en cada período de conmutación. Una vez que la variación de la tensión de salida sale de la banda de umbral,  $V_{sal} < V_{LT}$ , la lógica de control selecciona la información que proviene del bloque no lineal saturando instantáneamente a 1 ( $d_{max}$ ) el ciclo de trabajo. Una vez que la tensión de salida regresa y entra de nuevo dentro de la banda de umbrales, el ciclo de trabajo seleccionado será el impuesto por el bloque lineal.

Durante un *escalón de carga negativo* (decremento brusco de la corriente de salida del convertidor), el proceso ocurre al contrario solo con la única diferencia que cuando la tensión de salida aumenta y sale de la banda de umbral,  $V_{sal} > V_{HT}$ , la lógica de control selecciona del bloque no lineal saturando instantáneamente a 0 ( $d_{min}$ ) el ciclo de trabajo. Una vez que la tensión de salida se encuentra de nuevo dentro de la banda de umbrales, el ciclo de trabajo quedará impuesto por el bloque lineal, decrementándose linealmente en cada período de conmutación hasta que la tensión de salida alcance nuevamente su valor nominal.

Como se puede ver el control no lineal actúa de forma asíncrona tan solo la tensión de salida salga de la banda de umbrales. En la figura 4.5 se muestra de forma general el comportamiento asíncrono (actúa instantáneamente durante los transitorios) del control no lineal comparado con el control lineal.

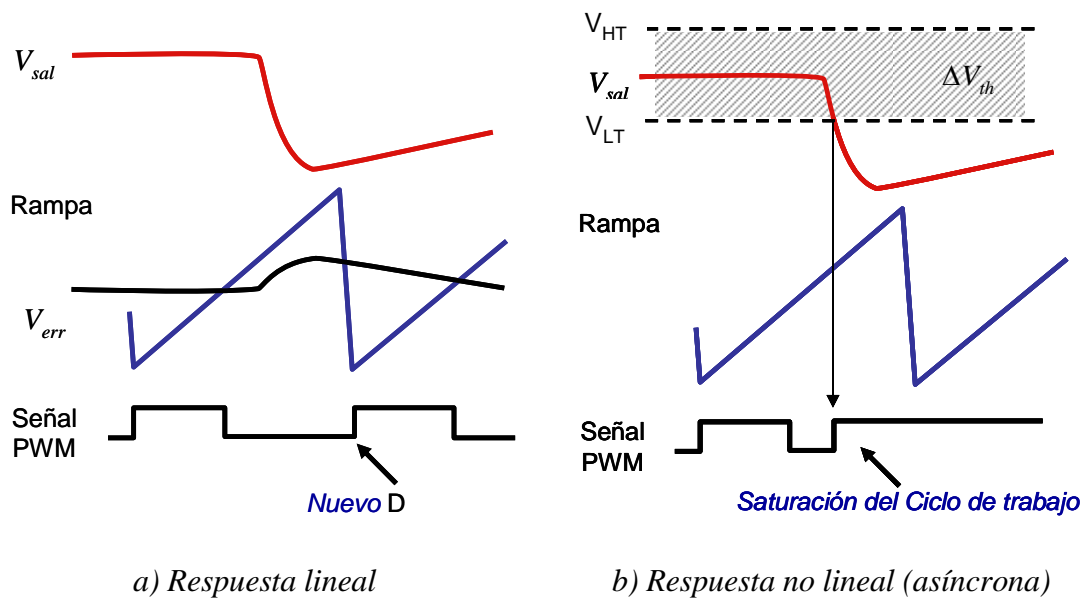


Fig. 4.5 Respuesta asíncrona del control no lineal en función de la variación de la tensión de salida.

Hay que destacar como otra particularidad de esta estrategia de control, es que ambos controles funcionan simultáneamente. El bloque lineal garantiza la respuesta del convertidor en régimen permanente y el bloque no lineal durante los transitorios. La combinación de un bloque no lineal de rápida respuesta, con un bloque lineal lento, como es el control en modo tensión, permite lograr un convertidor con una rapidez de recuperación óptima para una topología del bloque de potencia dada. Por otra parte, esta rapidez se encuentra unida a la precisión en la regulación y el bajo rizado que aporta el bloque lineal con control lento.

Cualquier otra estrategia de control basada en la medida de la tensión de salida para aumentar la rapidez de respuesta del convertidor reductor ante los transitorios de carga, dará, posiblemente, resultados iguales o peores que el control LnL.

El control LnL utiliza al máximo las potencialidades del bloque de potencia, en lo referente a rapidez de respuesta ante escalones de la corriente de carga. Si los resultados de cualquier otra estrategia de control son iguales al control LnL propuesto, entonces el principio de funcionamiento debe tener las mismas características comunes. Deberá basarse en los siguientes aspectos:

1. La saturación del ciclo de trabajo.

2. La medición directa de la tensión de salida.
3. La existencia de una zona de tolerancia para la tensión de salida.

Sin embargo, otras posibles estrategias de control pueden ser muy distintas, a pesar de que tengan características comunes de funcionamiento para mejorar su respuesta ante los escalones de la corriente de carga. La principal diferencia estará en el modo de funcionamiento del convertidor en régimen permanente y en cómo y cuándo saturar el ciclo de trabajo.

Por otra parte, resulta importante señalar que en el control LnL, la saturación del ciclo de trabajo durante los escalones de carga con derivada positiva, implica aumentar el ciclo de trabajo hasta 1. Sin embargo, en varias formas de modulación de los controles lineales, como la PWM, el ciclo de trabajo no llega a 1, aumentando solamente hasta valores cercanos a 0,9.

Por lo tanto, el convertidor con control LnL mantiene cerrados sus interruptores durante todo el tiempo que tarda la recuperación de la tensión de salida. De esta manera, las pérdidas por conmutación durante el tiempo de recuperación en el control LnL, son menores. La estrategia de control LnL es compatible con la mayoría de las topologías del bloque de potencia desarrolladas para el diseño de las fuentes conmutadas CC-CC, con el objetivo de alimentación de baja tensión. La mayoría de estas topologías se basan en el convertidor reductor y en sus variantes con transformador.

Con relación a la estabilidad del sistema se ha demostrado en [Vaz03] que el control LnL impone que los sistemas lineales se dejen de comportar como sistemas de fase mínima. Es decir, se pierde la relación entre la ganancia y la fase que existe en los sistemas lineales.

Por otra parte, la disminución del valor absoluto de la fase cuando se utiliza el control LnL, da un importante efecto estabilizador adicional a esta estrategia de control, que no está presente en los controles lineales. De esta forma, en una misma estrategia de control se consiguen la alta ganancia a alta frecuencia y la muy buena estabilidad que necesita el control ideal, y que no puede ser lograda usando un control lineal únicamente.

## 4.4 PARTICULARIDADES DEL CONTROL LNL APLICADO A VRM MULTIFASE

Para una topología multifase es necesario generar las señales de disparo para cada uno de los interruptores de la etapa de potencia. Estas señales deben tener el desfase correspondiente de tal forma que se garantice una correcta distribución de corriente entre cada una de las fases.

En la figura 4.6 se muestra el diagrama de bloques de un convertidor reductor multifase con rectificación síncrona y control lineal. El circuito es similar al de una sola fase, (ver figura 4.1), solamente con la diferencia de que se le agrega un generador de desfase. Este bloque es el encargado de generar las señales de control para los interruptores de cada una de las fases con el desfase correspondiente.

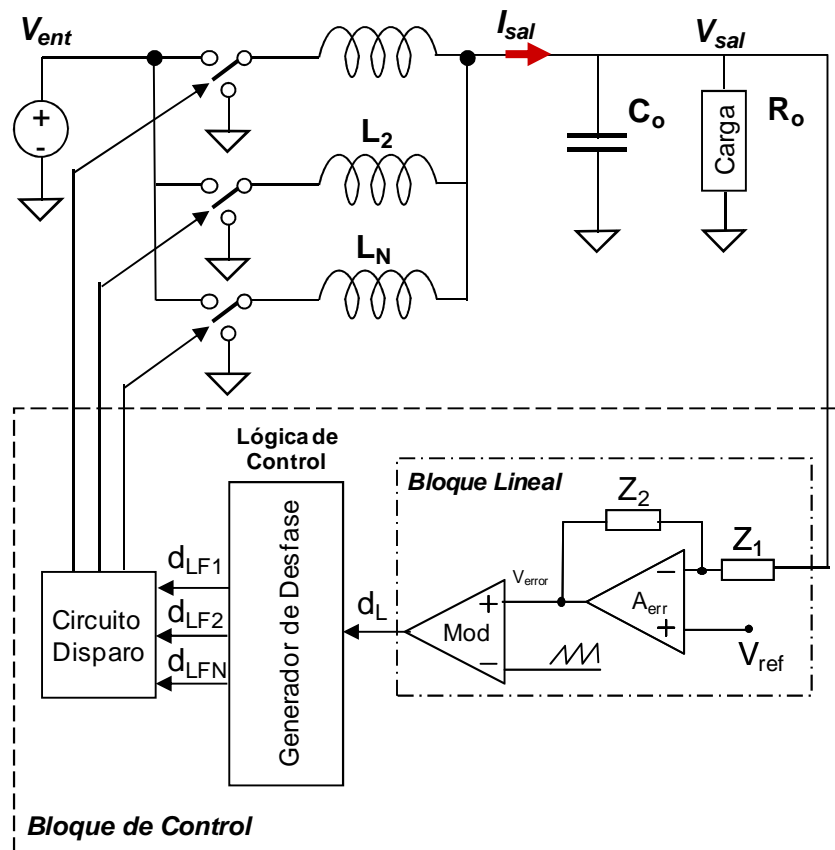


Fig. 4.6 Convertidor reductor multifase con rectificación síncrona y con control Lineal

En la figura 4.7 se muestra el diagrama de bloques de un convertidor reductor multifase con rectificación síncrona y control LNL. El circuito es similar al de una sola fase, ver figura

4.2, solamente con la diferencia de que se incorpora un generador de desfase a la lógica de control.

Por lo tanto, la lógica de control está formada por un Multiplexor de modo de control y un generador de desfase, que es el encargado de generar las señales de control para cada una de las fases con el desfase correspondiente.

Por su parte el *multiplexor de modo de control*, en función de las señales de control  $S_0$  y  $S_1$ , generadas por el bloque no lineal, selecciona el ciclo de trabajo adecuado, en función de la variación de la tensión de salida. Cuando ésta se encuentra dentro de la banda de umbrales, el ciclo de trabajo estará impuesto por el bloque lineal.

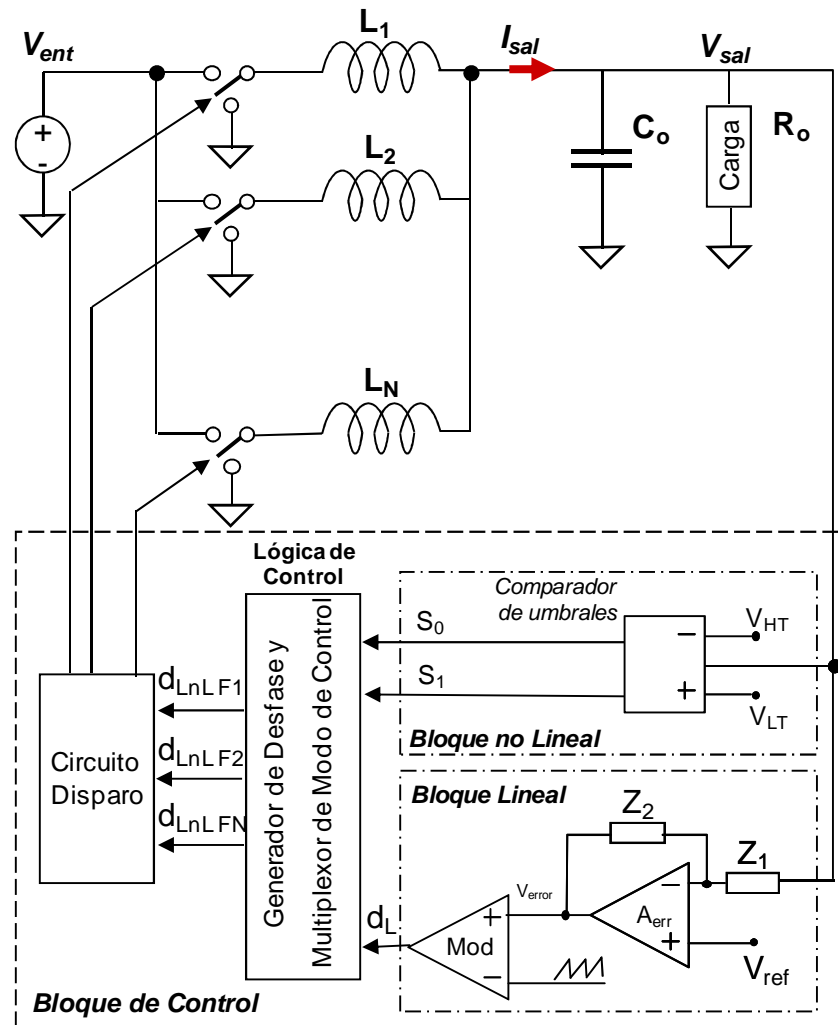


Fig. 4.7 Convertidor reductor multifase con rectificación síncrona y con control LnL

Una vez que salga de los límites de la banda de umbrales, el ciclo de trabajo quedará impuesto por el bloque no lineal. Es decir, en caso de que la variación de la tensión de salida sea mayor que el límite superior de la tensión de umbral, el ciclo de trabajo se saturará a '1'. En caso contrario, cuando la variación de la tensión de salida sea menor que el límite inferior de la tensión de umbral, el ciclo de trabajo se saturará a '0'.

En la figura 4.8 se muestra el diagrama de tiempos que explica el comportamiento del convertidor con control LnL, para el caso de un VRM multifase de 4 fases entrelazadas. En la figura 4.8 (a), (b), (c) y (d) se muestra la variación de la corriente de salida del VRM, la tensión de salida, la variación del ciclo de trabajo y las señales de control de cada una de las fases, respectivamente.

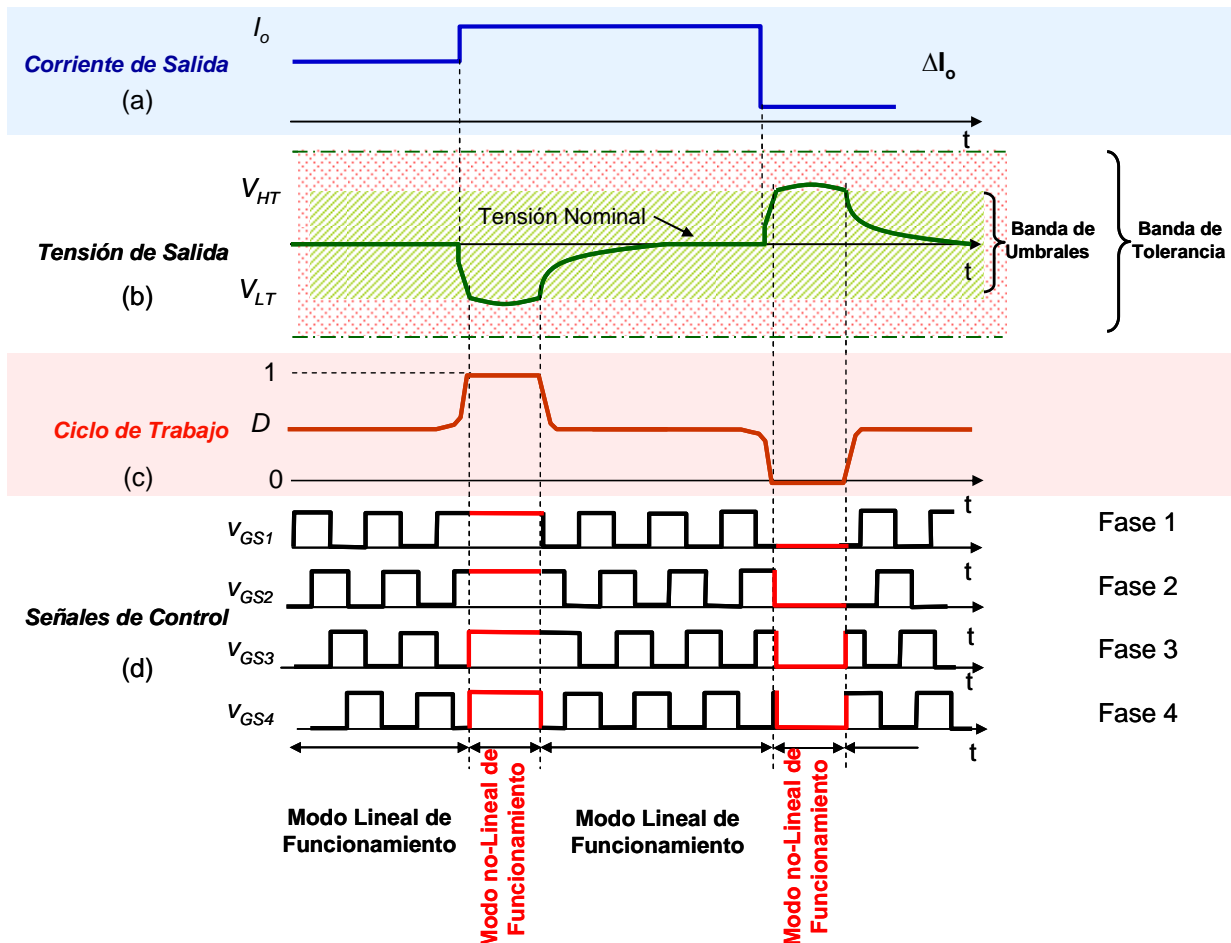


Fig. 4.8 Respuesta del convertidor reductor de 4 fases entrelazadas y control LnL, ante escalones de carga positivo y negativo

Aquí al igual que para el caso de una sola fase, se define una banda de umbrales alrededor de valor nominal de la tensión de salida. Esta banda se encuentra dentro de la banda de tolerancia, ver figura 4.8 (b), y está definida por dos tensiones de umbral, una por encima ( $V_{HT}$ ) y otra por debajo ( $V_{LT}$ ) de la tensión de salida nominal.

Durante un *escalón de carga positivo*, la tensión de salida disminuye. Mientras la variación de la tensión de salida se encuentra dentro de la banda de umbrales, el ciclo de trabajo  $d$ , estará impuesto por el bloque lineal, por lo que éste se incrementará linealmente en cada período de conmutación.

Una vez que la variación de la tensión de salida alcanza el límite inferior de la banda de umbral,  $V_{LT}$ , el control no lineal actúa saturando instantáneamente a 1 el ciclo de trabajo de todas las fases, ver figura 4.8 (d). Cuando la tensión de salida regrese y entre de nuevo dentro de la banda de umbrales, el ciclo de trabajo quedará de nuevo impuesto por el bloque lineal, y cada una de las fases continuará con la secuencia de conmutación correspondiente impuesta por éste.

Durante un *escalón de carga negativo*, inicialmente se comportará de igual manera. Mientras la tensión de salida se encuentre dentro de la banda de umbrales, el ciclo de trabajo estará impuesto por el bloque lineal. Una vez que la tensión de salida alcanza el límite superior de la banda, actuará el control no lineal saturando instantáneamente a 0 el ciclo de trabajo. Cuando la tensión de salida regrese de nuevo y se encuentre dentro de la banda de umbrales, el ciclo de trabajo quedará impuesto, nuevamente, por el bloque lineal y cada una de las fases continuará con la secuencia de conmutación correspondiente impuesta por éste.

## **4.5 INFLUENCIA DEL BLOQUE GENERADOR DE DESFASE EN LA DINÁMICA DEL VRM**

En capítulos anteriores se han analizado cada uno de los componentes del lazo de control en modo tensión y cómo influyen cada uno de sus parámetros en la respuesta dinámica del convertidor.



A continuación, se analiza cómo influye el bloque generador de desfase en la dinámica del convertidor. Existen dos métodos básicos para generar las señales de control en convertidores multifase, mediante:

- Contadores binarios;
- Registros de desplazamiento.

En los siguientes epígrafes se describe el principio de funcionamiento de cada uno de estos métodos de generación de las señales de control PWM y se detallan las principales ventajas y desventajas de cada uno de ellos aplicado a convertidores multifase.

#### 4.5.1 GENERADOR DEL CICLO DE TRABAJO MEDIANTE CONTADORES BINARIOS

En la figura 4.9, se muestra el diagrama de tiempos para un convertidor multifase de 4 fases, donde las señales de disparo PWM se generan mediante contadores binarios. Este método se aplica básicamente en convertidores donde el controlador está diseñado totalmente digital. En este caso, el desfase se genera con ayuda de contadores binarios desfasados entre sí. El número y el tamaño de los contadores no solo dependen del número de fases del convertidor, sino también de la resolución del ciclo de trabajo.

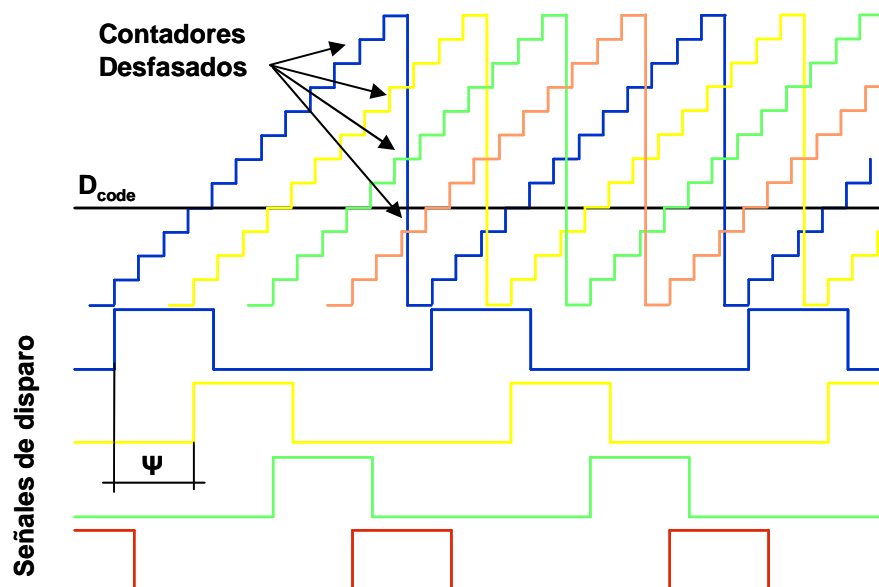


Fig. 4.9 Generación de las señales de disparo en convertidores multifase mediante contador binario.

Estos contadores están sincronizados entre sí y pueden o no ser independientes. Es habitual que el ciclo de trabajo se actualice en el comienzo de cada fase.

En la figura 4.10, se muestra un ejemplo del diagrama de tiempos de las señales de control, generadas para cada una de las fases F1, F2, F3 y F4 y el período de actualización del ciclo de trabajo,  $T_{D\text{ act}}$ , para el caso de un VRM de 4 fases.

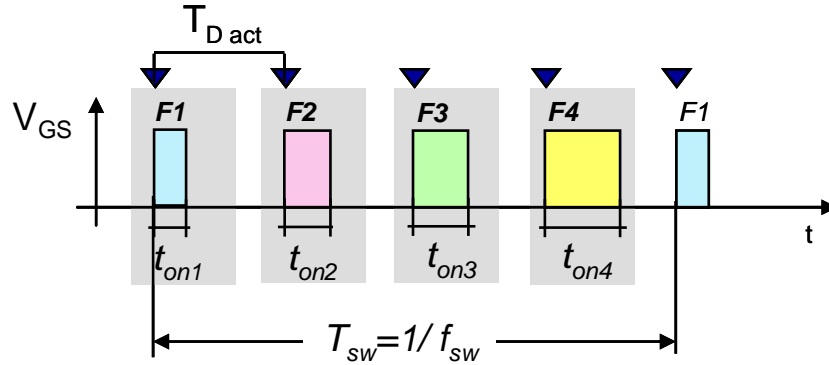


Fig. 4.10 Período de actualización del ciclo de trabajo utilizando contadores binarios

Como se puede observar, el ciclo de trabajo se actualiza un número de veces igual al número de fases, según la ecuación (4.2):

$$T_{Dact} = \frac{T_{sw}}{N_f} \quad (4.2)$$

donde:  $T_{Dact}$ ,  $T_{sw}$  y  $N_f$  son el período de actualización del ciclo de trabajo, el período de conmutación de cada una de las fases y el número de fases del VRM, respectivamente.

Este método, aunque nos ofrece mejores prestaciones en cuanto a la actualización del ciclo de trabajo (mejor respuesta dinámica en igualdad de condiciones), implica cierta complejidad en el diseño, (procesamiento digital de las señales, conversión de señales analógicas en digitales, acondicionamiento de señales, sincronismo, etc.).

En los sistemas diseñados totalmente digital este bloque forma parte del modulador de ancho de pulso digital (DPWM), que es como se le conoce, y es uno de los bloques más críticos del controlador digital [Luk05], [Mak06], [Mal04], [Pet01], [Pet03], [You06]. El

rango de frecuencia de conmutación, el ruido de la tensión de salida, la potencia disipada y la versatilidad del control digital está determinado por el DPWM. Este bloque es el encargado de generar una señal de frecuencia constante y ciclo de trabajo variable en función de la señal  $d$  que proviene del compensador.

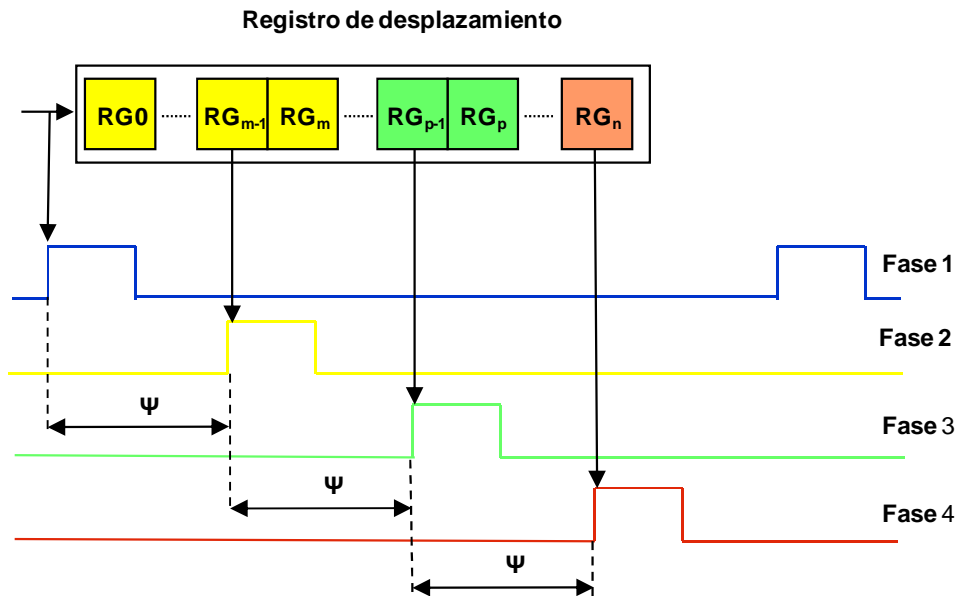
Para lograr un elevado grado de precisión en la regulación de la tensión de salida a una elevada frecuencia de conmutación es necesario que el DPWM tenga una elevada resolución del ciclo de trabajo. La regulación de la tensión de salida discretizada, depende de la resolución del DPWM. Si la resolución del DPWM no es lo suficientemente elevada, pueden ocurrir oscilaciones de la tensión de salida, este fenómeno es conocido como *ciclo límite*.

Como desventaja fundamental de esta opción es que se requiere de una frecuencia de reloj elevada para frecuencias de conmutación y resoluciones altas. Por lo tanto, implementar DPWM con alta resolución a alta frecuencia de conmutación requiere frecuencias de reloj relativamente elevadas imposible de lograr en las tecnologías digitales actuales. Es por ello, que se viene investigando sobre nuevas estrategias que permitan mejorar este inconveniente. Existen trabajos publicados de implementaciones de sistemas híbridos que permiten ampliar la resolución del modulador digital manteniendo, incluso con frecuencias de reloj iguales o más bajas. Entre estas propuestas, se pueden mencionar la implementación de sistemas híbridos diseñados como circuitos para aplicaciones específicas ASIC, como pueden ser los basados en contador más línea de retardo, [Pat02], o para uso más general, implementaciones en FPGA [Oli04], [Qui06], [Sot03]. Otros métodos se basan en el pre-procesamiento de la resolución del ciclo de trabajo, dirigidos a incrementar su resolución efectiva, como es el *Dither* y la *Modulación  $\Sigma$ - $\Delta$*  [Pet01].

#### **4.5.2 GENERADOR DEL CICLO DE TRABAJO MEDIANTE REGISTROS DE DESPLAZAMIENTO.**

En la figura 4.11, se muestra el diagrama de tiempos para un convertidor multifase de 4 fases, donde las señales de disparo PWM se generan mediante registros de desplazamiento. Este método se caracteriza por su sencillez, aunque no es la mejor opción en cuanto a respuesta dinámica.

En este caso un modulador único PWM, ya sea analógico o digital, genera una señal de control de frecuencia constante y ciclo de trabajo variable en función de la señal de error. Esta señal se introduce en un registro de desplazamiento. El número de bits de este registro está determinado tanto por la frecuencia de reloj del sistema, como por la resolución del ciclo de trabajo que se requiera.



*Fig. 4.11 Generación de las señales de disparo en convertidores multifase mediante registros de desplazamiento.*

Hay que destacar que a mayor frecuencia de reloj se puede obtener una mayor resolución para una frecuencia de conmutación determinada. En este caso, el registro de desplazamiento actúa como una línea de retardo. Este retardo, expresado en tiempo, está determinado por el número de fases del convertidor y depende de la frecuencia de reloj del sistema.

En la figura 4.12, se muestra un ejemplo del diagrama de tiempos de las señales de control, y el período de actualización del ciclo de trabajo, para el caso de un VRM de 4 fases. El ciclo de trabajo se actualiza solo al inicio de la fase F1 (tomada como referencia). Los ciclos de trabajo de las demás fases, F2, F3 y F4, mantienen el mismo valor del ciclo de trabajo que la fase F1.

De aquí, que el ciclo de trabajo se actualice una vez en cada período de conmutación. Evidentemente esto influye negativamente sobre la dinámica del VRM. Este método puede justificarse en técnicas mixtas (analógico/digital), aunque su respuesta no es tan rápida como el primero, es sencillo y puede ser utilizado en ciertas aplicaciones con requerimientos dinámicos menos exigentes [Oli04].

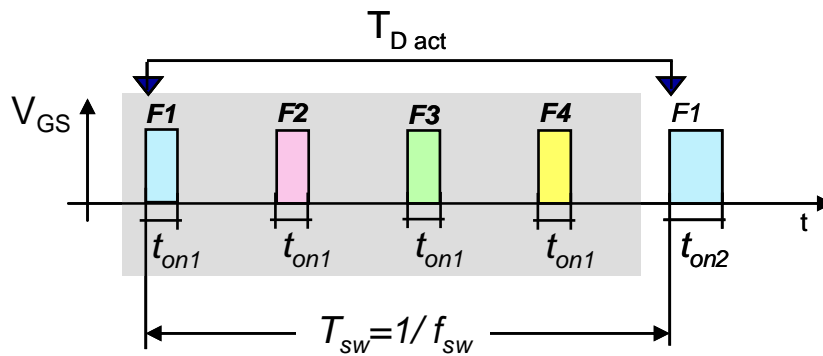


Fig. 4.12 Período de actualización del ciclo de trabajo utilizando registro de desplazamiento

Como inconvenientes de este método aplicado a los VRM con entrelazado, se pueden destacar aquellos que influyen directamente sobre la respuesta dinámica del VRM. La utilización de un solo modulador PWM, ya sea analógico ó digital, cuya frecuencia de salida es igual a la frecuencia de conmutación de cada fase, simplifica significativamente el diseño. Sin embargo, como consecuencia, el ciclo de trabajo de la señal PWM de salida se actualiza solamente a la frecuencia de conmutación, o lo que es lo mismo, todas las fases diferentes a la primera (fase de referencia de actualización), repiten el mismo ciclo de trabajo que la fase que marca el inicio, en este caso, la fase  $F_1$ . Otro de los problemas asociados fundamentalmente al uso de reguladores analógicos, es el problema relacionado con el sincronismo de la señal analógica con las señales digitales. Este problema se convierte en crítico, a medida que la frecuencia de conmutación comienza a ser elevada. Las frecuencias de conmutación elevadas, requieren de frecuencias de reloj bastante altas, para reproducir con precisión los ciclos de trabajo provenientes del control lineal.

En cuanto a la implementación, tradicionalmente los convertidores conmutados de potencia han sido resueltos mediante técnicas analógicas. Sin embargo, la tendencia actual es la sustitución de estos controladores analógicos por otros digitales, debido a que la electrónica

digital ha crecido en prestaciones y bajado en coste a un ritmo mucho mayor que la electrónica analógica. Como consecuencia, mientras que hasta hace unos años se conseguía una relación prestaciones/coste claramente mejor utilizando electrónica analógica para el control de convertidores conmutados, en la actualidad los dispositivos digitales son comparables o en ocasiones superior a los analógicos en este tipo de aplicación.

Por otra parte, si bien es cierto que para determinados diseños, la solución analógica ofrece las mejores prestaciones, existen otras como por ejemplo, los convertidores multifase con entrelazado, donde la utilización de un controlador digital es la opción más adecuada.

## CONCLUSIONES

En este capítulo se describen las principales características y principio de funcionamiento del control LnL aplicado a los VRM. Este control permite combinar un control lineal lento, los cuales son precisos y con poco rizado a la salida, con un control no lineal, el cual es rápido ante escalones de la corriente de carga.

El bloque lineal perteneciente al control LnL, actúa cuando el convertidor reductor está en régimen estático o ante pequeñas perturbaciones que no superan las tensiones umbrales. Durante los transitorios, cuando se superan los umbrales, actúa la parte no lineal del control LnL, saturando el ciclo de trabajo del convertidor. Es decir, el convertidor converge hacia la zona definida entre los umbrales superior e inferior del valor nominal de la tensión de salida de forma óptima, e independiente de la frecuencia de corte del amplificador de error del control lineal. Este hecho facilita en gran medida el diseño de la compensación del bucle de control, pues no precisa de un control lineal muy exigente en ancho de banda.

Por otra parte, durante los escalones de corriente de carga, el control LnL permite obtener la máxima derivada de corriente posible para un convertidor reductor dado, logrando que la tensión de salida se recupere y entre en la zona de tolerancia en el menor tiempo posible.

El control LnL es de sencilla implementación, en principio solo necesita dos comparadores y una lógica combinacional (lógica de control) muy sencilla y es compatible con la mayoría de las topologías de potencia existente para las fuentes de baja tensión, siempre que estén basadas en la topología reductora o sus equivalentes con transformador.

Se concluye que el control LnL basado en el uso de un control lineal lento, como podría ser un control en modo tensión, engloba la mayoría de las características positivas de las principales estrategias de control utilizadas en las fuentes de baja tensión. Por otra parte, supera al control por histéresis y  $V^2$ , pues presenta en régimen estacionario poco rizado de la tensión de salida y una gran precisión en su regulación. Su frecuencia de conmutación en este estado no depende de los parásitos del filtro de salida, y no presenta los problemas de inestabilidad del control  $V^2$ , todo lo contrario, es muy estable.

Teniendo en cuenta los diferentes análisis realizados y las conclusiones que se derivan de la aplicación del control LnL a los VRM multifase, en este trabajo se han propuesto cuatro objetivos fundamentales, que se desarrollaron en los siguientes capítulos:

1. Teniendo en cuenta que una de las principales requerimientos es la densidad de potencia del convertidor (volumen/potencia), se propone realizar una comparativa donde se valoren de forma cuantitativa las ventajas que aporta la implementación del control LnL aplicado a convertidores reductores multifase, frente a diferentes configuraciones topológicas con control lineal, en función de los principales parámetros de diseño, como pueden ser la inductancia por fase, la capacidad del filtro de salida, el número de fases, el rizado de la corriente de salida y la frecuencia de conmutación;
2. La implementación de un VRM multifase con control LnL mixto analógico/digital y la evaluación de su respuesta dinámica comparándolo con diferentes configuraciones topológicas de VRM con control lineal;
3. La implementación de un VRM con control LnL totalmente digital, donde se describirán y analizarán de forma detallada cada uno de los bloques digitales que la forman;
4. Creación de una metodología para la optimización y selección de los principales parámetros de diseño del VRM con control LnL. Se describirá el procedimiento óptimo de selección de parámetros tales como, la inductancia y capacidad del filtro de salida, y las tensiones de umbral, en función de las especificaciones marcadas por la aplicación.

## CAPÍTULO 5

### VALIDACIÓN CUANTITATIVA DEL CONTROL LNL

En este capítulo, se expone de forma cuantitativa las ventajas que representa la implementación del control LnL con relación al control lineal en este caso aplicado a convertidores multifase. Como ya se ha mencionado en capítulos anteriores, un factor muy importante a tener en cuenta a la hora de diseñar un VRM, para aplicaciones donde se requiera una respuesta dinámica rápida, es la densidad de potencia. Es decir, la potencia máxima que puede entregar el convertidor por unidad de área/volumen.

De aquí se deduce, que para éste tipo de aplicaciones el tamaño (tanto en área como en volumen) del convertidor, tiene mucha importancia a la hora de decidir el tipo de diseño y configuración a implementar. Es evidente que el proceso de optimización deberá estar centrado, no sólo en la optimización del control, sino en cada uno de los elementos que forman parte del circuito y que por sus dimensiones geométricas influyen en el tamaño final del convertidor. Es por ello, que tanto su geometría como sus dimensiones juegan un papel muy importante en el proceso de optimización del diseño. Está claro, que los elementos que ocupan mayor área (volumen) son los magnéticos y los condensadores del filtro de salida del convertidor.

Además se tendrán en cuenta el número y dimensiones de los interruptores, que también pueden marcar diferencias en el diseño, debido a que existe un número finito de encapsulados válidos para una gama amplia de potencias (corrientes).

Es por ello, que en este capítulo se hace una comparativa entre diferentes VRM tomando como referencia un convertidor multifase con control LnL. La idea consiste en variar alguno de los parámetros más importantes que influyen en la dinámica de los convertidores multifase con control lineal, como pueden ser el número de fases y la frecuencia de conmutación, con el objetivo de obtener conclusiones, ventajas y desventajas, previos a la realización de estudios más profundos.



Todos los VRM están diseñados para que cumplan con determinadas especificaciones técnicas. Para el análisis, y con el objetivo de garantizar unas condiciones de cálculos con idénticos criterios para todos los diseños, se han utilizado las siguientes herramientas: para la simulación de cada uno de los diseños el programa PSIM, y para el cálculo y optimización de los magnéticos el programa de diseño PExprt, ambos programas son marcas registradas.

Estas herramientas proporcionan una gran cantidad de información (ver anexo I), que se pueden tener en cuenta para estudios futuros. El presente análisis se basa en la obtención del diseño de VRM que proporciona las mejores prestaciones en cuanto a densidad de potencia.

## 5.1 ESPECIFICACIONES DE DISEÑO DE LOS VRM

La elección de las especificaciones está basada en los ensayos que se realizan a los VRM para la alimentación de microprocesadores, [VR04], [VR05a], [VR05b].

**TABLA 5.1**  
**PRINCIPALES ESPECIFICACIONES PARA EL DISEÑO DEL VRM.**

Parámetro	Especificación
Tensión de entrada [V]	5
Tensión de salida [V]	1,5
Corriente máx. de salida [A]	100
Corriente de salida (modo <i>sleep</i> , 10% $I_{\max}$ ) [A]	10
Corriente de salida (90% $I_{\max}$ ) [A]	90
Escalón de carga [A]	80
Derivada de la corriente [A/ns]	1
Máx. variación de la tensión de salida de su valor nominal [mV]	$\pm 30$
Ancho de banda del regulador lineal*	$0,1 \times f_{\text{sw}} \times N_f$

\* El ancho de banda del regulador lineal se ha calculado como el 1/10 de la frecuencia de conmutación equivalente, donde  $f_{\text{sw}}$  es la frecuencia de conmutación de cada fase y  $N_f$  el número de fases del VRM.

El trabajo se centra en uno de los ensayos que tiene que ver con la dinámica del convertidor. Este consiste en aplicar un escalón de corriente desde el 10% de la corriente máxima de salida, esto corresponde con el modo *sleep* de funcionamiento del microprocesador, hasta el 90% de la corriente máxima de salida. Este escalón de carga se aplica con una determinada derivada de corriente.

Teniendo en cuenta los objetivos de este capítulo, se ha tratado de diseñar diferentes VRM que cumplan con las mismas especificaciones de partida, en cuanto a respuesta dinámica. En la tabla 5.1, se resumen las principales especificaciones que deben cumplir cada uno de los convertidores diseñados.

## 5.2 DISEÑO DE LOS VRM

El diseño de los VRM depende del tipo de aplicación. Para el caso específico de los VRM diseñados para la alimentación de microprocesadores, la densidad de potencia del convertidor juega un papel muy importante a la hora de elegir los componentes y parámetros de diseño. Por sus características y dimensiones las bobinas, los condensadores del filtro de salida y los interruptores son los elementos que más determinan el tamaño final del convertidor.

A continuación, se analizan una serie de configuraciones topológicas de VRM en las que se pretende obtener un grupo de conclusiones, como resultado de una serie de comparativas realizadas, optimizando los diferentes parámetros del convertidor para cada uno de los diseños.

### 5.2.1 PLANTEAMIENTO DEL PROBLEMA PARA EL ANÁLISIS DE LOS VRM

Para el análisis comparativo, se han diseñado un grupo de VRM con control lineal que se comparan con un VRM de referencia. Como referencia, se ha elegido un VRM síncrono de 4 fases entrelazadas con frecuencia de conmutación de 300kHz y estrategia de control LnL. El ancho de banda de todos los controladores lineales de cada uno de los VRM diseñados se ha optimizado a 1/10 de la frecuencia de conmutación equivalente.

La inductancia por fase es la misma para todos los diseños (la inductancia equivalente depende del número de fases). Los parámetros de diseño, tales como, número de fases del VRM, frecuencia de conmutación y capacidad del filtro de salida se modificarán siguiendo los siguientes criterios, respecto al VRM de referencia:

1. *Igual número de fases, igual capacidad del filtro de salida.* El objetivo es incrementar la frecuencia de conmutación hasta el VRM cumpla con las especificaciones (ver tabla 5.1).
2. *Igual frecuencia de conmutación, igual capacidad del filtro de salida.* El objetivo es incrementar el número de fases hasta que el VRM cumpla con las especificaciones (ver tabla 5.1).
3. *Igual frecuencia de conmutación, igual número de fases.* El objetivo es incrementar la capacidad del filtro de salida hasta que el VRM cumpla con las especificaciones (ver tabla 5.1).

A continuación, se resumen los principales parámetros de diseño obtenidos de los cálculos previos y simulaciones. Los resultados obtenidos servirán de base para realizar el estudio comparativo entre cada uno de los VRM.

### 5.2.2 PRINCIPALES CARACTERÍSTICAS DE LOS VRM DISEÑADOS

Los parámetros fundamentales de diseño, obtenidos de los cálculos y de las simulaciones, se muestran en la tabla 5.2. Como VRM de referencia, se ha definido un VRM de 4 fases y frecuencia de conmutación de 300kHz con control LnL.

Todos los VRM están optimizados y cumplen con las especificaciones definidas en la tabla 5.1. En esta tabla, además de los parámetros de diseño número de fases ( $N_f$ ), inductancia por fase ( $L_f$ ), capacidad del filtro de salida ( $C_{sal}$ ) y la frecuencia de conmutación ( $f_{sw}$ ), se han incluido otros parámetros que se han tenido en cuenta para la optimización del diseño. Ellos son, el rizado de la corriente de salida por fase ( $\Delta I_{fase}$ ), la corriente eficaz que circula por cada condensador de salida ( $I_{C\ sal}$ ), el ancho de banda del controlador lineal ( $\Delta B$ ) y el margen de fase ( $M_{fase}$ ) de cada uno de los controladores lineales.

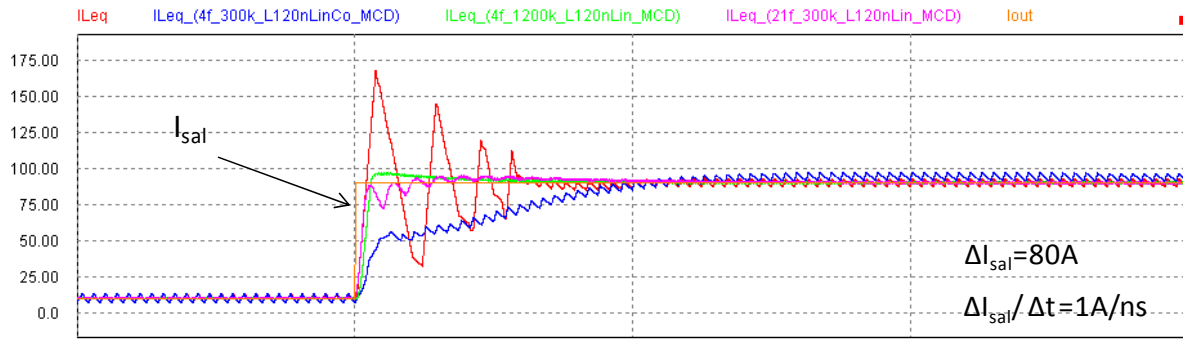
**TABLA 5.2**  
**PRINCIPALES PARÁMETROS DE LOS VRM DISEÑADOS.**

VRM	Control	N <sub>f</sub>	L <sub>f</sub> [nH]	C <sub>sal</sub> [mF]	ESR [mΩ]	f <sub>sw</sub> [kHz]	f <sub>sw eq</sub> [MHz]	AB [kHz]	M <sub>fase</sub> [°]	ΔI <sub>fase</sub> [A]	I <sub>C sal</sub> [A]
1 (Ref.)	LnL	4	120	2	0,06	300	1,2	120	64,8	29,2	1,72
2	Lin			17					65		
3				2		1200	4,8	480	65,9	7,28	0,43
4	21	300	6,3		630	67	20,6	0,45			

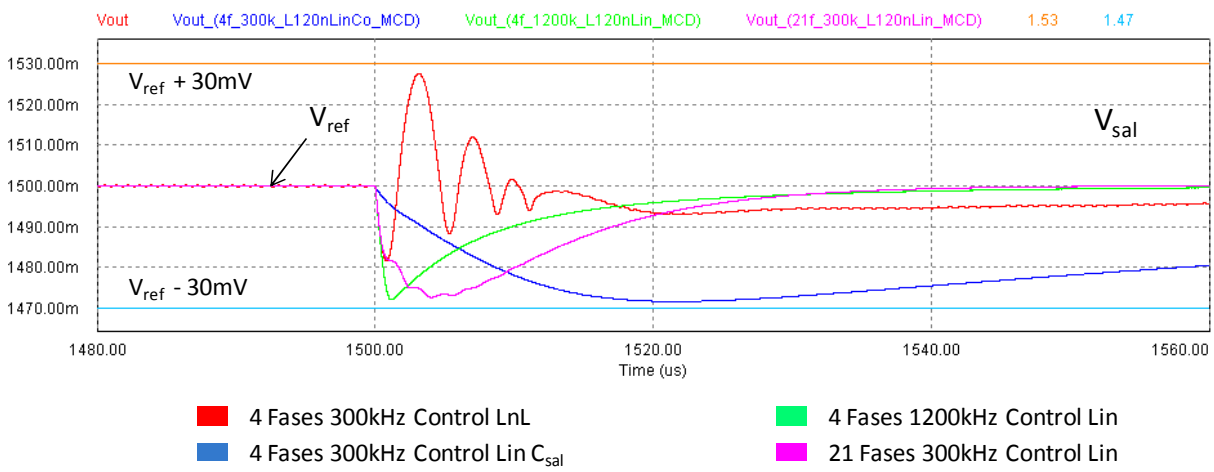
Para corroborar que los cálculos realizados de cada uno de los VRM, en la figura 5.1, se muestra la respuesta transitoria de los VRM, ante un escalón de carga positivo. En la figura 5.1 (a), se muestra la variación de la tensión de salida. En la figura 5.1 (b), se muestra la corriente total equivalente de cada uno de los VRM (sumatoria de las corrientes de cada una de las fases).

Con líneas continuas por encima y por debajo de la tensión de referencia, se encuentra definido el rango máximo de variación permitido de la tensión de salida, según la tabla 5.1,  $V_{ref} \pm 30mV$ . Como se puede observar, todos los VRM cumplen con las especificaciones definidas en la tabla 5.1.

Como se ha mencionado anteriormente, el objetivo principal de este análisis es determinar el área (espacio físico) que ocupan cada uno de los VRM analizados, y compararlas de forma cuantitativa para determinar cuál es el VRM que presenta las mejores prestaciones en cuanto a densidad de potencia. Para ello, se tendrán en cuenta los elementos que por sus dimensiones son los más representativos dentro del VRM como son: las bobina de cada una de las fases, el condensador del filtro de salida y los interruptores ( $2 \cdot N_{fases}$ ). Se debe aclarar que no se ha tenido en cuenta otro componente que forma parte del convertidor, en concreto los *drivers*. En todo caso, la inclusión de este elemento perjudicaría a aquellas soluciones con mayor número de fases.



(b) Corriente total equivalente



(a) Tensión de salida

Fig. 5.1 Respuesta transitoria de los diferentes VRM ante un escalón de carga positivo.

Resultados de las simulaciones.

Existen muchas variables en este tipo de diseño, por lo que es evidente que existen muchas soluciones, que incluyen las tecnológicas de fabricación de componentes, que permiten optimizar cada diseño en función del tipo de aplicación. Este análisis no tendrá en cuenta este tipo de optimización, ya que se propone para estudios futuros.

Teniendo en cuenta esto, para simplificar el problema se han impuesto una serie de restricciones:

1. Para el caso de los magnéticos se ha utilizado el programa PExprt como base para el cálculo de las principales características de los mismos, teniendo en cuenta los parámetros de diseño obtenidos, (ver tabla 5.2).

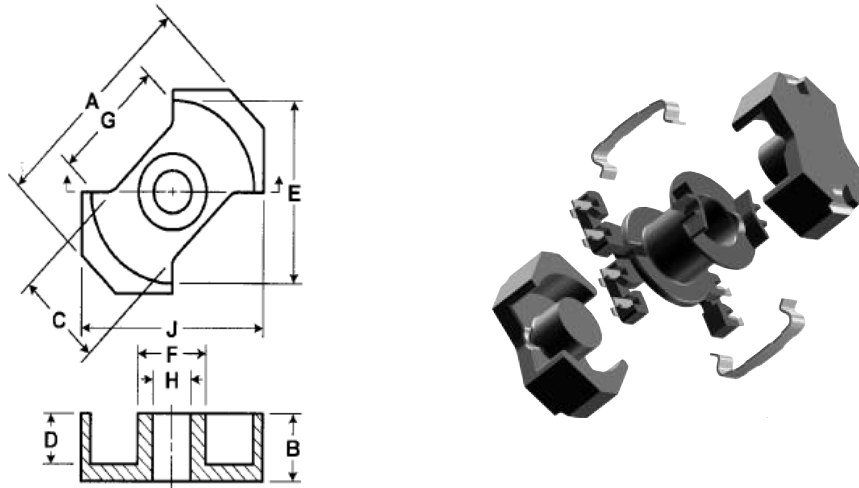


Fig. 5.2 Núcleo de ferrita del tipo RM.

Se ha seleccionado un solo tipo de núcleo de ferrita del tipo RM de Ferroxcube, figura 5.2, y un tipo de cable, hilo de Litz. Por otra parte, se ha prefijado un incremento de temperatura respecto a la temperatura ambiente de 30°C.

2. Para seleccionar el tipo de condensador del filtro de salida, se han utilizado los criterios expuesto en [Pit98], como resultado de los estudios de los transitorios en los VRM y del diseño del filtro de salida de los VRM, (ver también capítulo 3). Teniendo en cuenta estos criterios, y para simplificar el cálculo, se ha elegido para el diseño la estructura convencional. De acuerdo con ello, el condensador de salida se ha optimizado utilizando la conexión en paralelo de dos tipos de condensadores: un condensador de alta capacidad conocidos como *bulk capacitor*, y otro de baja capacidad del tipo cerámico.

Los primeros son capaces de entregar una gran densidad de corriente pero son lentos durante los primeros instantes (cientos de nanosegundos) desde que ocurrió el escalón de carga. Para compensar esta desventaja, se utiliza la conexión en paralelo de condensadores cerámicos. Estos son capaces de entregar la energía necesaria en ese instante inicial, pero no por mucho tiempo. Esta combinación permite optimizar no sólo el número de condensadores, sino también el valor de la capacidad del filtro de salida, [Pit98].

Como condensadores de alta capacidad se han utilizado del tipo OS-CON. Estos condensadores son del tipo SVP, es decir, de aluminio con electrolito sólido en base

polímero conductor. Presentan una muy baja ESR, que varía muy poco en función de la temperatura incluso a temperaturas bajas. Esto se debe en gran medida al tipo de electrolito utilizado. Además presentan un tiempo de vida útil muy elevado.

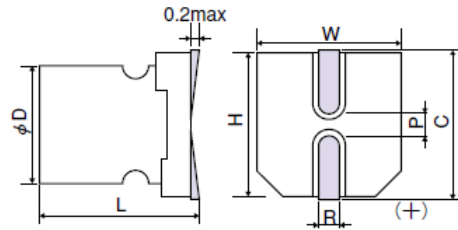
Para el análisis el condensador seleccionado es del fabricante SANYO, en montaje superficial y especialmente diseñados para fuentes conmutadas. Por sus dimensiones se han seleccionado dos tipos de condensador: del tipo E12, 10SVP330M y del tipo F12, 10SVP560M. El encapsulado del condensador unitario se muestra en la figura 5.3(a).

Como condensadores de baja capacidad se han utilizado del tipo cerámico multicapas MLC (*Multilayer Capacitors*), los cuales cuentan con una alta capacidad en un volumen reducido. Estos condensadores están diseñados especialmente para aplicaciones en fuentes conmutadas, (*SMPS Switches Mode Power Supply*), específicamente en los filtros de entrada y salida. Se caracterizan por tener una ESR ultra baja y funcionan con grandes rizados de corriente a altas frecuencias y altos niveles de potencia.

Para el análisis se ha seleccionado el condensador del fabricante AVX con dieléctrico del tipo X7R, marca ST205C107MAJ10 de  $100\mu\text{F}$  (1 pack de 10 condensadores). El encapsulado del condensador unitario es del tipo 2225 con las siguientes dimensiones:  $7,62\text{mm} \times 7,24\text{mm} \times 1,27\text{mm}$ , figura 5.3(b). Si se colocan de forma vertical los condensadores, ver figura 5.3(b), el espacio requerido se reduce considerablemente.

Para los VRM estudiados, ver tabla 5.2, se han calculado dos capacidades diferentes del filtro de salida:  $2\text{mF}$  para el caso de los VRM1, VRM3 y VRM4 y  $17\text{mF}$  para el caso del VRM2.

Para obtener una capacidad de  $2\text{mF}$ , es necesario conectar en paralelo 1 condensador del tipo 10SVP220M, 3 condensadores del tipo 10SVP560M y 10 condensadores del tipo ST205C107MAJ10. Para el caso del VRM2 con capacidad de salida de  $17\text{mF}$ , son necesarios 1 condensador del tipo 10SVP330M, 29 condensadores del tipo 10SVP560M y 43 condensadores del tipo ST205C107MAJ10.



(a) Condensador del tipo OS-CON

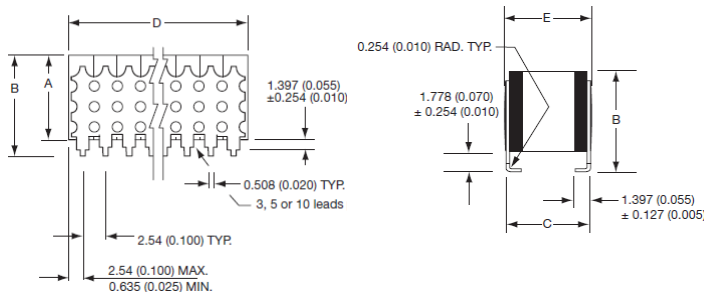
(b) Distribución vertical de los condensadores MLC  
(pack de 10 condensadores, 100 $\mu$ F)

Fig. 5.3 Tipos de condensadores utilizados en el diseño de los VRM.

3. Para el caso de los interruptores, se han elegido los encapsulados estándares de acuerdo con la corriente máxima para el cual están diseñados los encapsulados (potencia máxima) y la corriente máxima que circula por cada una de las fases obtenidas de las simulaciones realizadas, figura 5.1.

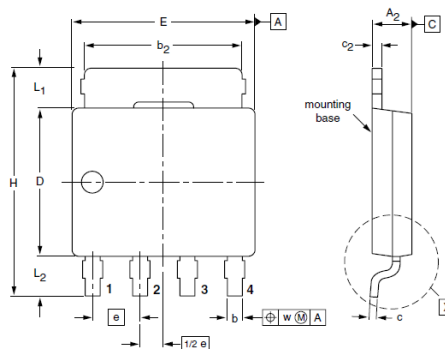


Fig. 5.4 Encapsulado de los interruptores del tipo LFPAC SOT669.



Por esta razón, se ha elegido el transistor del tipo MOSFET, PSMN7R0-30YL. El encapsulado es del tipo SOT669, como se muestra en la figura 5.4.

### 5.3 RESULTADOS DEL ANÁLISIS COMPARATIVO ENTRE LOS DIFERENTES VRM

A continuación, se resumen los principales resultados del análisis cuantitativo de cada una de las comparativas realizadas entre los diferentes diseños de VRM, teniendo en cuenta diferentes restricciones de los parámetros de diseño.

#### 5.3.1 DISTINTA FRECUENCIA DE CONMUTACIÓN, RIZADO DE LA TENSIÓN DE SALIDA, CONDENSADOR DE SALIDA, CONTROL Y RIZADO DE LA CORRIENTE HACIA EL CONDENSADOR DE SALIDA

En la tabla 5.3, se resumen los principales resultados obtenidos a partir del diseño de los diferentes componentes que forman cada uno de los VRM diseñados, se puede observar las características de los 4 VRM estudiados, tomando como referencia el VRM1 (Ref.), es decir, un VRM de 4 fases a 300kHz con control LnL y capacidad del filtro de salida de 2mF. La inductancia de todas las bobinas utilizadas en los diferentes VRM, es igual y de valor 120nH.

**TABLA 5.3**  
**PRINCIPALES PARÁMETROS CONSTRUCTIVOS DE LOS VRM.**

VRM	Control	N <sub>f</sub>	f <sub>sw</sub> [kHz]	L <sub>f</sub> [nH]	Tipo Núcleo	C <sub>sal</sub> [mF]	Núm. Cond.		Núm. de Interruptores
							OS-CON	Cerám.	
1 (Ref.)	LnL	4	300	120	RM6R	2	1 (220μF) 3 (560μF)	10 (10μF)	8
2	Lin					17	1 (330μF) 29 (560μF)	43 (10μF)	
3			1200		RM5/ILP	2	1 (220μF) 3 (560μF)	10 (10μF)	
4	21	300							

El VRM2 corresponde a un convertidor de 4 fases, frecuencia de conmutación por fase de 300kHz y condensador de salida con capacidad de 17mF. El VRM3 corresponde con un convertidor de 4 fases, frecuencia de conmutación por fase de 1200kHz y condensador de salida con capacidad de 2mF. El VRM4 corresponde con un convertidor de 21 fases, frecuencia de conmutación por fase de 300kHz y condensador de salida con capacidad de 2mF.

Para posteriores cálculos, en la tabla 5.4, se muestran las áreas y los volúmenes unitarios de cada uno de los componentes que se han tenido en cuenta para el análisis comparativo de los VRM. Es evidente, que pueden existir muchas soluciones a la hora de elegir uno u otro componente.

Aquí se pretende comparar en igualdad de condiciones cada uno de los diseños, con el objetivo de determinar cómo pueden influir cada uno de los parámetros del convertidor sobre la geometría del mismo y qué ventajas proporciona la implementación del control LnL respecto al control lineal.

Como resultado, en la tabla 5.4, se muestran las áreas y volúmenes totales de cada uno de los componentes: bobina, ( $A_{TB}$  y  $V_{TB}$ ), condensador, ( $A_{TC}$  y  $V_{TC}$ ), e interruptores, ( $A_{TI}$  y  $V_{TI}$ ), teniendo en cuenta el número y tipo de componentes que forman parte de cada uno de los diseños.

Además de representar el área total,  $A_T$ , como la sumatoria de las áreas de cada uno de los componentes del VRM y el volumen total,  $V_T$ , como la sumatoria de los volúmenes de cada uno de los componentes del VRM, se introduce el concepto de área total normalizada,  $A_{TN}$ , y volumen total normalizado,  $V_{TN}$ . Se entiende por área total normalizada,  $A_{TN}$ , a la relación que existe entre el área del convertidor a comparar (VRM2-VRM4) y el área del convertidor referencia (VRM1).

Para el caso del volumen, de forma análoga, se entiende por volumen total normalizado,  $V_{TN}$ , a la relación entre el volumen del convertidor a comparar entre el volumen del convertidor de referencia. Estos conceptos permiten cuantificar, de forma porcentual, las diferencias que existen entre cada uno de los diseños, teniendo en cuenta el área y el volumen que ocupan cada uno de sus componentes.

TABLA 5.4

RESULTADOS DE LAS ÁREAS Y VOLÚMENES UNITARIOS DE LOS PRINCIPALES COMPONENTES DE LOS VRM.

Bobina			Condensador				Interruptores		
Tipo Núcleo	Área [mm²]	Vol [mm³]	Tipo Cond.		Área [mm²]	Vol. [mm³]	Tipo Enc	Área [mm²]	Vol [mm³]
RM6R	32	819,2	OS-CON	10SVP220M	74,7	888,9	LPAK SOT669	31	37,2
				10SVP330M	113,3	1427,6			
				10SVP560M					
RM5/ILP	24,5	428,7	Cerám.	ST205C107MAJ10	9,68	70,1			

Analizando los resultados obtenidos en la tabla 5.5, se puede deducir que incrementar solamente la capacidad del filtro de salida no es la solución más adecuada. En este caso, el VRM2 necesita un área 4,72 veces mayor respecto al VRM1 (ref.).

TABLA 5.5

RESULTADOS DE LAS ÁREAS Y VOLÚMENES TOTALES DE LOS VRM ANALIZADOS.

VRM	Tipo Núcleo	Bobina		Condensador		Interruptor		Total		Total Normalizado	
		A <sub>TB</sub> [mm <sup>2</sup> ]	V <sub>TB</sub> [mm <sup>3</sup> ]	A <sub>TC</sub> [mm <sup>2</sup> ]	V <sub>TC</sub> [mm <sup>3</sup> ]	A <sub>TI</sub> [mm <sup>2</sup> ]	V <sub>TI</sub> [mm <sup>3</sup> ]	A <sub>T</sub> [mm <sup>2</sup> ]	V <sub>T</sub> [mm <sup>3</sup> ]	A <sub>TN</sub>	V <sub>TN</sub>
1 (Ref.)	RM6R	128	3276,8	511,37	5872,31	248	297,6	887,37	9446,71	1	1
2				3815,13	45840,2			4191,13	49414,6	4,72	5,23
3	RM5/ILP	99,2	2301,4	511,37	5872,31			857,37	7884,91	0,97	0,83
4	RM5/ILP	514,5	9003,75			1302	1562,4	2327,87	16438,46	2,62	1,74

Por otra parte, incrementar el número de fases, provoca un incremento del área del convertidor en 2,62 veces. Mientras que incrementar la frecuencia de conmutación permite mejorar el área del convertidor (densidad de potencia) en un 3%, pero es evidente que las pérdidas en conmutación se incrementan con el incremento de la frecuencia de conmutación, ya que se necesita una frecuencia de conmutación 4 veces mayor.

Esto trae consigo, que el rendimiento del convertidor se vea afectado de forma considerable. Es evidente que este VRM, desde el punto de vista de la densidad de potencia, (potencia/área), presenta las mejores características, aunque con una penalización del rendimiento del mismo.

Con los resultados obtenidos, en la figura 5.5 se muestra un diagrama de barras teniendo en cuenta las áreas normalizadas de cada uno de los componentes, respecto a cada una de las áreas correspondientes del VRM de referencia.

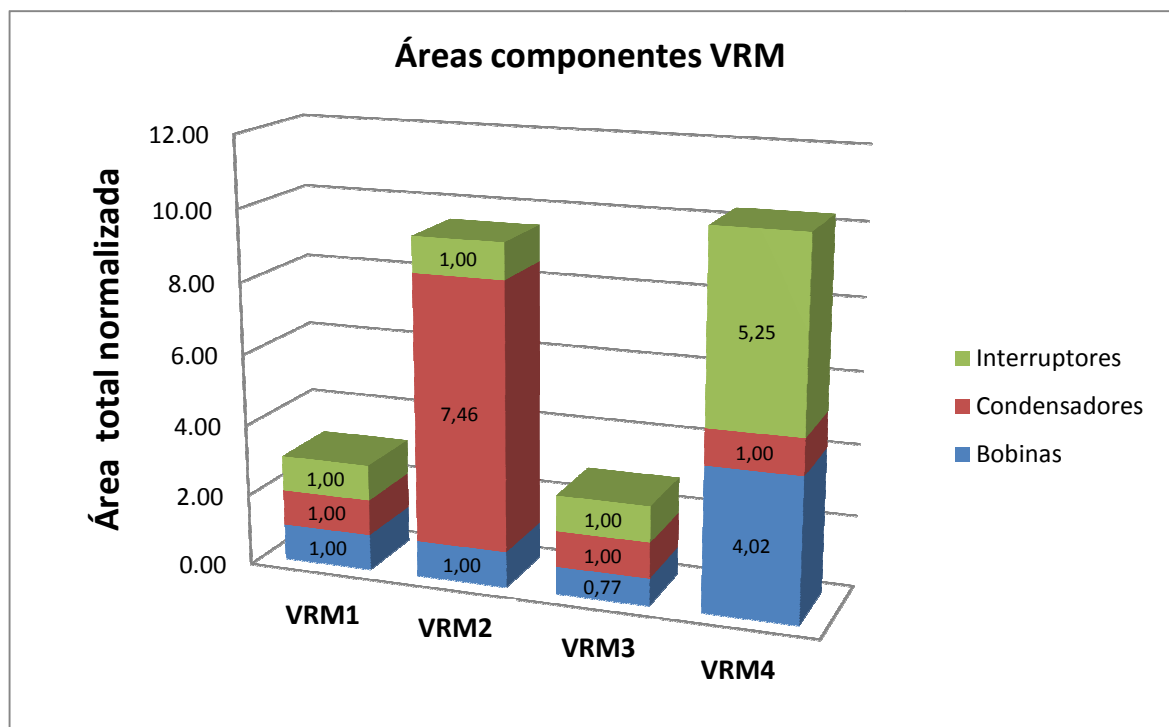


Fig. 5.5 Comparativa entre las áreas de los VRM normalizadas.

Como se puede ver, un incremento de la frecuencia de conmutación, VRM3, permite disminuir el área de los magnéticos en un 23% respecto al VRM de referencia. Mientras que

en el VRM2 la diferencia la marca la capacidad del filtro de salida, con un área 7,46 veces mayor.

Para el caso del VRM4, la diferencia respecto al VRM de referencia está marcada por los magnéticos (4,02 veces) y los interruptores (5,25 veces). Es evidente que el VRM3 presenta la menor área de magnéticos, un 23% menor que el VRM1 (ref.).

Las áreas que ocupan los interruptores, para el caso de los VRM1 (ref.) VRM2 y VRM3, son similares ya que tienen igual número de fases. Mientras que en el VRM4, un incremento del número de fases provoca un incremento tanto del área que ocupan los magnéticos (4,02 veces), como la de los interruptores, (5,25 veces).

De la misma manera, en la figura 5.6, se muestra el diagrama de barras de los volúmenes normalizados respecto al volumen del VRM1 de referencia, teniendo en cuenta el volumen de cada uno de los componentes del convertidor.

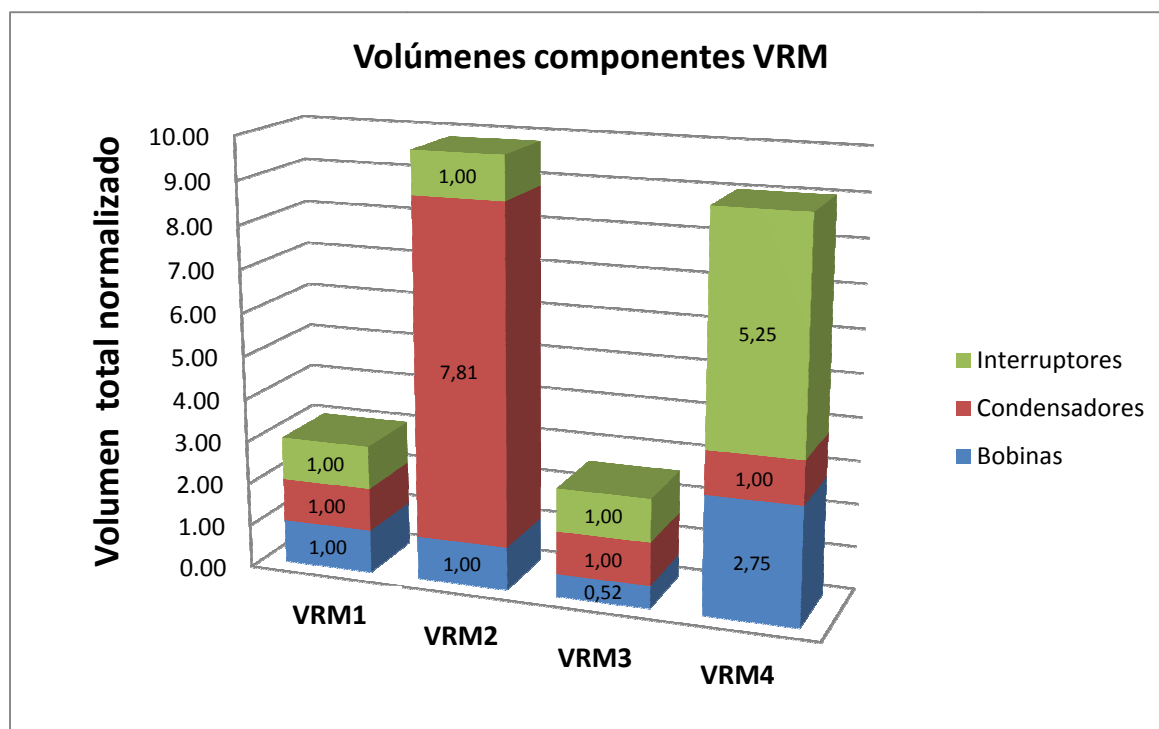


Fig. 5.6 Comparativa entre los volúmenes de los VRM normalizados.

Como se puede ver, un incremento de la frecuencia de conmutación, VRM3, permite disminuir el volumen de los magnéticos en un 48% respecto al VRM de referencia. Mientras

que en el VRM2 la diferencia procede de la capacidad del filtro de salida, con un volumen 7,81 veces mayor.

Para el caso del VRM4, la diferencia en volumen respecto al VRM de referencia está marcada por los magnéticos (2,75 veces) y los interruptores (5,25 veces).

Como se puede deducir, y al igual que con el área total, un incremento de la capacidad de salida del convertidor no es la solución más adecuada para mejorar la respuesta del convertidor, ya que para el caso que se analiza implica un incremento del volumen total del convertidor en de 5,23 veces respecto al VRM de referencia.

En la figura 5.7, se muestran las diferentes áreas/volumenes totales normalizados para cada caso de VRM.

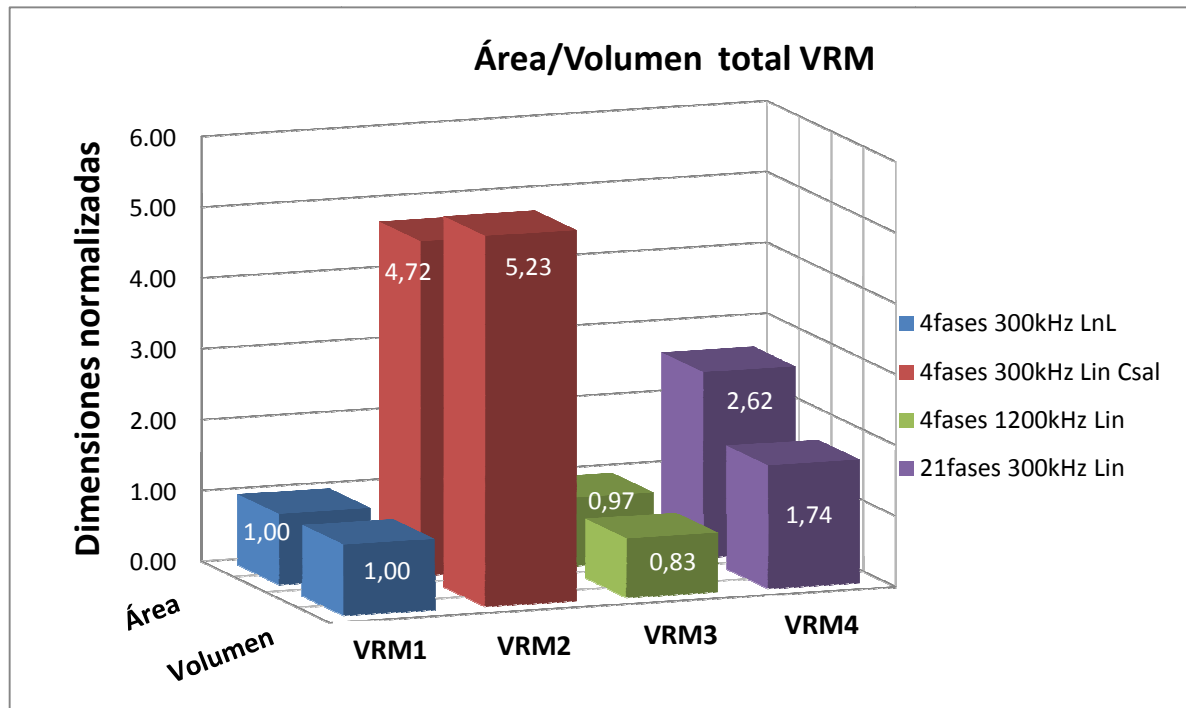


Fig. 5.7 Comparativa entre las áreas y volúmenes de los VRM normalizados.

Incrementar la frecuencia de conmutación, permite obtener volúmenes más pequeños de convertidor. Si bien es cierto, que el incremento de la frecuencia de conmutación tiene un comportamiento lineal con las pérdidas en conmutación de los interruptores, que en gran medida afectan al rendimiento del VRM y dificultan la gestión térmica del mismo.

### 5.3.2 IGUAL RIZADO DE LA CORRIENTE HACIA EL CONDENSADOR DE SALIDA, FRECUENCIA DE CONMUTACIÓN Y NÚMERO DE FASES.

Para analizar otra de las ventajas que aporta la aplicación del control LnL en la optimización del VRM, a continuación se estudiará la respuesta del VRM3 con control lineal en comparación con uno idéntico pero con control LnL. Para ello, se ha seleccionado el VRM3 (4 fases, 1200kHz, control lineal y capacidad del filtro de salida de 2mF) que es el que presenta las mejores características en cuanto a densidad de potencia, y se ha diseñado un convertidor con iguales características pero con control LnL (trazas azul y roja respectivamente).

En la tabla 5.6, se resumen los principales resultados obtenidos a partir del diseño de los diferentes componentes que forman cada uno de los VRM a comparar.

**TABLA 5.6**  
**PRINCIPALES PARÁMETROS CONSTRUCTIVOS DE LOS VRM3 ANALIZADOS.**

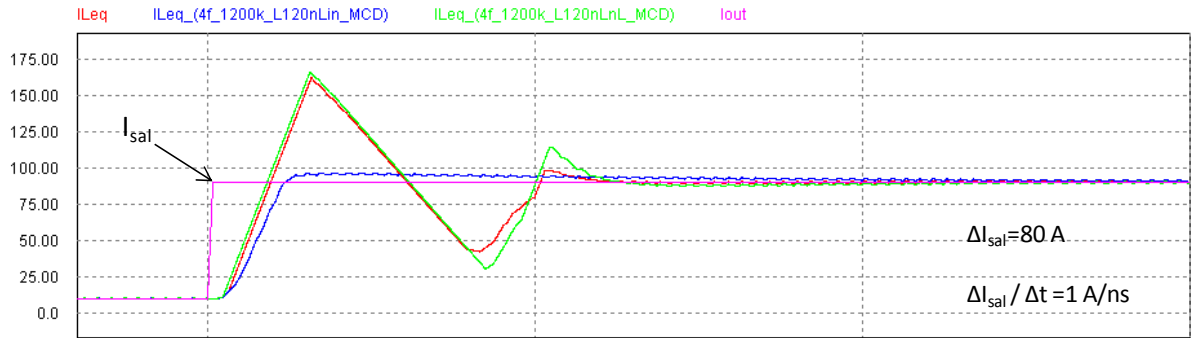
VRM	Control	$N_f$	$f_{sw}$ [kHz]	$L_f$ [nH]	Tipo Núcleo	$C_{sal}$ [mF]	Núm. Cond.		Núm. de Interrupidores
							OS-CON	Cerám.	
VRM3 (Ref)	Lin	4	1200	120	RM5/ILP	2	1 (220μF)	10 (10μF)	8
VRM3 A	LnL					2	3 (560μF)		
VRM3 B	LnL					1,4	1 (220μF) 2 (560μF)	8 (10μF)	

En la figura 5.9, se muestra la respuesta transitoria de los VRM3, ante un escalón de carga positivo. En figura 5.9 (a), se muestra la variación de la tensión de salida, y en la figura 5.9 (b), se muestra la corriente total equivalente de cada uno de los VRM (sumatoria de las corrientes de cada una de las fases).

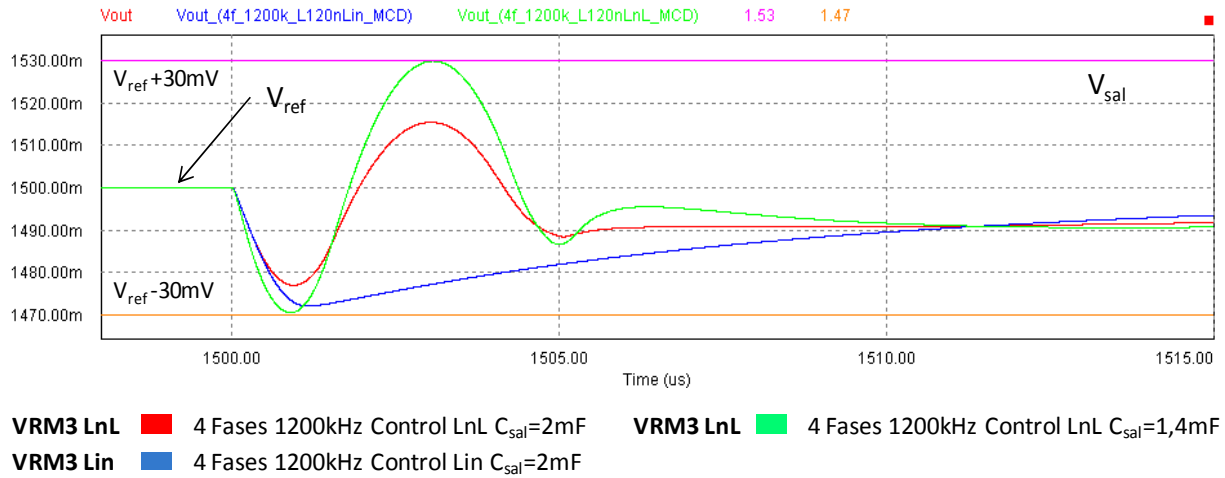
Con líneas continuas por encima y por debajo de la tensión de referencia, se encuentra definido el rango máximo de variación permitido a la tensión de salida, según

especificaciones, ver tabla 5.1,  $V_{ref} \pm 30\text{mV}$ . Como se puede observar, ambos VRM cumplen con las especificaciones definidas en la tabla 5.1.

Como se puede observar en la figura 5.8, al implementar el control LnL la dinámica del VRM es más rápida que con control lineal, ante el mismo escalón de carga la sobreoscilación de la tensión de salida es menor (traza roja y azul).



(b) Corriente total equivalente



(a) Tensión de salida

Fig. 5.8 Respuesta transitoria del VRM3 con control lineal y con control LnL ante un escalón de carga positivo. Resultados de las simulaciones.

Esto permite, como ya se ha analizado, disminuir la frecuencia de conmutación, la capacidad del filtro de salida o ambas, manteniendo el mismo número de fases. Por lo tanto, si se analizan los resultados obtenidos en las simulaciones, el control LnL permite disminuir



la capacidad de salida, hasta 1,4mF. En la figura 5.8, se puede observar que con esta disminución el convertidor sigue cumpliendo con las especificaciones.

En la figura 5.9, se muestra un diagrama de barras teniendo en cuenta las áreas normalizadas de cada uno de los componentes.

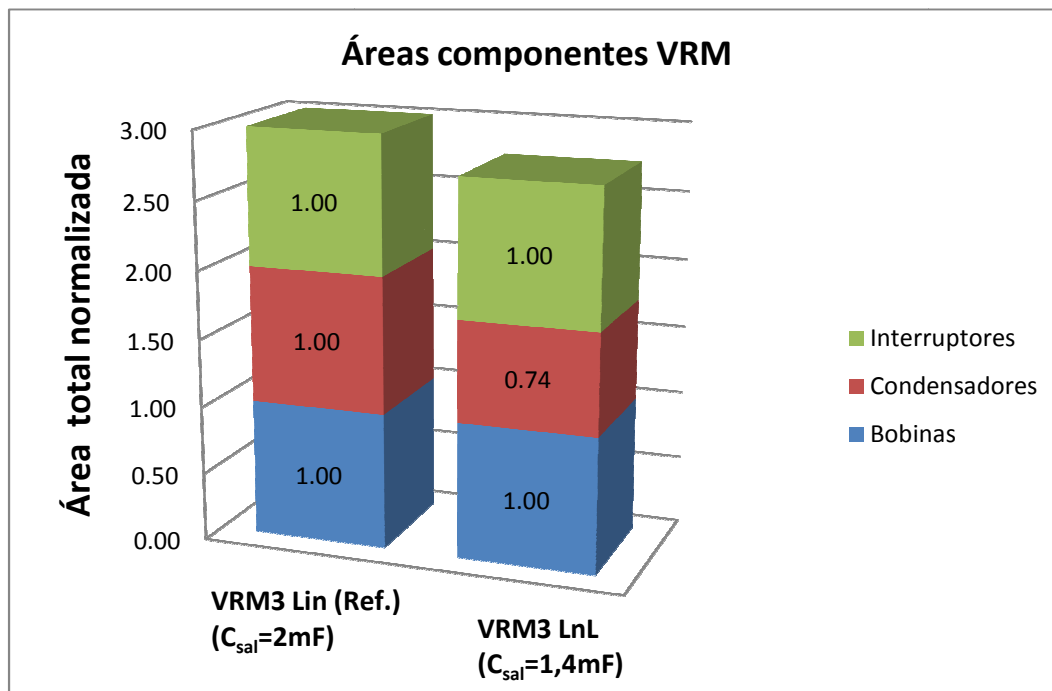


Fig. 5.9 Comparativa entre las áreas normalizadas de los VRM3 con control lineal y  $C_{sal}=2mF$ , (Ref.) y con control LnL optimizado y  $C_{sal}=1,4mF$ .

En este caso el VRM de referencia es el VRM3 con control lineal y capacidad de salida de 2mF. Como se puede observar, la implementación del control LnL permite disminuir el área de condensadores en un 26%.

De la misma manera, en la figura 5.10, se muestra el diagrama de barras de los volúmenes normalizados respecto al volumen del VRM3 de referencia, teniendo en cuenta el volumen de cada uno de los componentes del convertidor.

Como se puede observar, la implementación del control LnL presenta un condensador con un 27% menor volumen. En la figura 5.11, se muestra la comparativa áreas/volúmenes total normalizados para cada caso del VRM3.

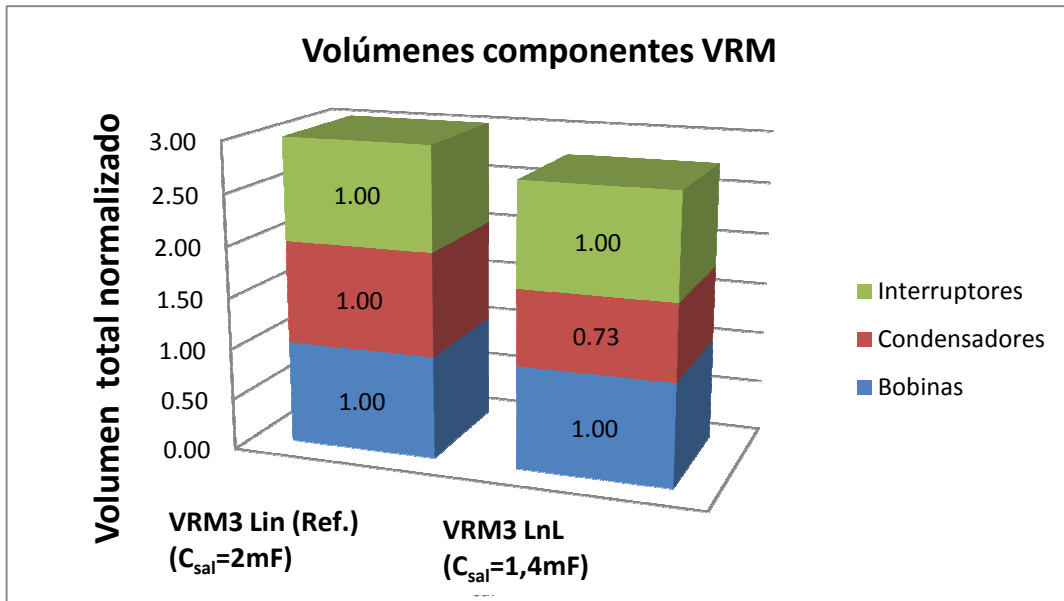


Fig. 5.10 Comparativa entre los volúmenes normalizadas de los VRM3 con control lineal y  $C_{sal}=2mF$  (Ref.) y con control LnL optimizado y  $C_{sal}=1,4mF$ .

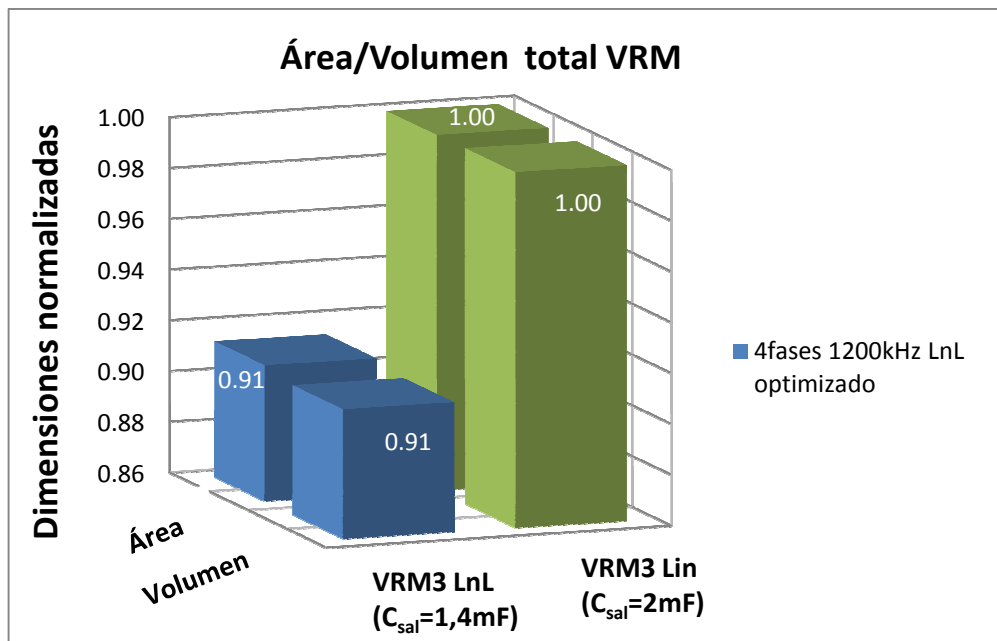


Fig. 5.11 Comparativa entre las áreas/volúmenes normalizadas de los VRM3 con control lineal y  $C_{sal}=2mF$  (Ref.) y con control LnL optimizado,  $C_{sal}=1,4mF$ .

Como conclusión, el control LnL permite mejorar, para el caso del estudio, en un 9% tanto el área como el volumen del VRM. Esto quiere decir, que la implementación del control LnL permite mejorar la densidad de potencia de un convertidor.

Es evidente, que existe una configuración óptima que permite minimizar tanto el área de condensadores como de los magnéticos. Esto está determinado por las exigencias dinámicas del convertidor y dependerá en gran medida del tipo de aplicación.

### **5.3.3 IGUAL CONDENSADOR DE SALIDA Y RIZADO DE LA CORRIENTE HACIA EL CONDENSADOR DE SALIDA**

Analizando los resultados representados en las figuras 5.6 y 5.7, se puede deducir que la opción de incrementar la capacidad del filtro de salida con el objetivo de obtener una mejor respuesta, no es la más adecuada. Es por ello, que en el posterior análisis no se tendrá en cuenta esta opción (VRM2).

Si se analizan los restantes diseños de VRM, (VRM3 y VRM4), parece evidente que un diseño con un valor de inductancia por fase igual a 120nH, puede estar penalizado respecto al VRM1. Esto trae como consecuencia que la densidad de potencia del VRM se vea afectada. Hay que recordar que todos los VRM diseñados cumplen con las mismas especificaciones dinámicas.

Evidentemente, si se mantiene el mismo valor de inductancia por fase para cada diseño y se incrementa tanto la frecuencia de conmutación (VRM3), como el número de fases (VRM4), el valor del rizado de la corriente por la bobina equivalente, va a ser diferente en cada caso. Es por ello, que la siguiente comparativa tiene como objetivo rediseñar los convertidores VRM3 y VRM4, de tal manera que se cumpla que el rizado de la corriente de salida de la bobina equivalente de cada uno de los VRM sea igual a la del VRM de referencia, VRM1.

Para ello, es necesario incrementar la frecuencia de conmutación y disminuir el valor de la inductancia por fase para VRM3. En el caso del VRM4 es necesario mantener la misma frecuencia de conmutación que el VRM de referencia (300kHz), y disminuir el valor de la inductancia por fase y número de fases. Los resultados de los cálculos y simulaciones se muestran en la tabla 5.7. Los nuevos diseños de VRM se han denominado, VRM3I y VRM4I. La letra I indica que el diseño realizado es para un rizado de la corriente de salida de la bobina equivalente,  $\Delta I_{sal} = 7,29A$ .

**TABLA 5.7**  
**PRINCIPALES PARÁMETROS CONSTRUCTIVOS DE LOS VRM PARA  $\Delta I_{\text{SAL}}=7,29\text{A}$ .**

VRM	Control	N <sub>f</sub>	f <sub>sw</sub> [kHz]	L <sub>f</sub> [nH]	Tipo Núcleo	C <sub>sal</sub> [mF]	Núm. Cond.		Núm. Int.
							OS-CON	Cerám.	
1 (Ref.)	LnL	4	300	120	RM6R	2	1 (220µF) 3 (560µF)	10 (10µF)	8
3I	Lin		1500	24	RM5/I				
4I		18	300	26,7	RM5				36

Como resultado, en la tabla 5.8, se muestran las áreas y volúmenes totales de cada uno de los componentes de los nuevos diseños: bobina, ( $A_{\text{TB}}$  y  $V_{\text{TB}}$ ), condensador, ( $A_{\text{TC}}$  y  $V_{\text{TC}}$ ), e interruptores, ( $A_{\text{TI}}$  y  $V_{\text{TI}}$ ), teniendo en cuenta el número y tipo de componentes que forman parte de cada uno de los diseños. La tabla 5.8, se ha confeccionado siguiendo los mismos criterios que los de la tabla 5.5.

Si se comparan los resultados que se muestran en la tabla 5.5, (ver figura 5.7), con los de la tabla 5.8, (ver figura 5.12), se puede ver que para el caso del VRM3I, un incremento de la frecuencia de conmutación (5 veces respecto al VRM de referencia), no conlleva un aumento de la densidad de potencia ya que el tamaño de los magnéticos se ven afectados por el incremento del rizado de la corriente por la bobina, debido a la disminución de la inductancia de la misma.

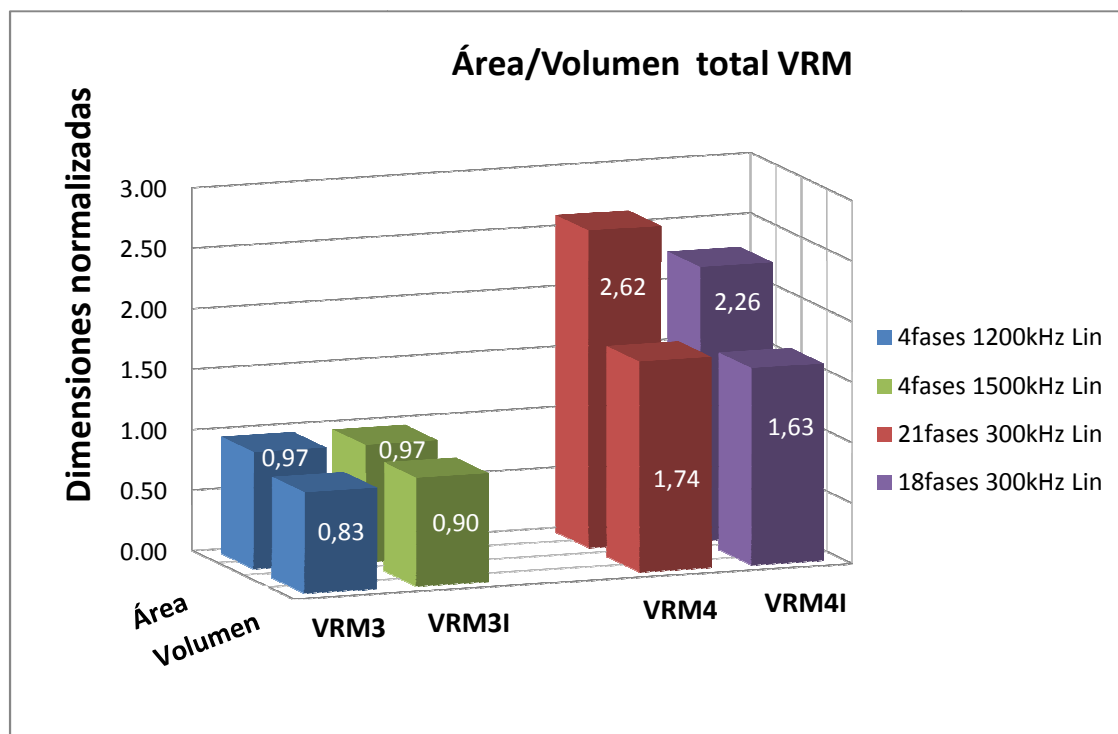
Hay que destacar como principal desventaja de esta opción, que el incremento de la frecuencia de conmutación conlleva a un incremento de las pérdidas en conmutación del convertidor. Esto a su vez se ve reflejado en una disminución del rendimiento del VRM.

Por otra parte, la densidad de potencia del VRM4I se ve beneficiada, ya que una disminución del valor de la inductancia por fase, permite disminuir el número de fases del VRM (a 18 fases) y con ello el número de magnéticos e interruptores, que influyen directamente en el volumen (área) total del convertidor. Ello representa una mejora en el volumen total de un 14% y del área total del 6,3% respecto del análisis realizado en el epígrafe 5.3.1, ver tabla 5.5.

**TABLA 5.8**  
**ÁREAS Y VOLÚMENES TOTALES DE LOS VRM ANALIZADOS ( $\Delta I_{sal}=7,29A$ )**

VRM	Bobina		Condensador		Interruptor		Total		Total Normalizado	
	A <sub>TB</sub> [mm <sup>2</sup> ]	V <sub>TB</sub> [mm <sup>3</sup> ]	A <sub>TC</sub> [mm <sup>2</sup> ]	V <sub>TC</sub> [mm <sup>3</sup> ]	A <sub>TI</sub> [mm <sup>2</sup> ]	V <sub>TI</sub> [mm <sup>3</sup> ]	A <sub>T</sub> [mm <sup>2</sup> ]	V <sub>T</sub> [mm <sup>3</sup> ]	A <sub>TN</sub>	V <sub>TN</sub>
1 (Ref.)	128	3276,8	511,37	5872,31	248	297,6	887,37	9446,71	1	1
	RM6R									
3I	99,2	2301,44					858,57	8471,35	0,97	0,9
	RM5/I									
4I	381,60	8166,24			1116	1339,2	2008,97	15377,75	2,26	1,63
	RM5									

Respecto al VRM3I hay que destacar que aunque el área total del convertidor no se ve afectada respecto del análisis realizado en el epígrafe 5.3.1, ver tabla 5.5. Sin embargo, el volumen sí ha visto penalizado en un 11%.



*Fig. 5.12 Comparativa entre las áreas y volúmenes de los VRM normalizados para  $\Delta I_{sal}=7,29A$ .*

Por lo tanto, a la hora de diseñar un VRM es necesario tener en cuenta todos los parámetros de diseño del mismo, y determinar el orden de prioridad de cada uno de ellos, para cada diseño en particular. Resumiendo, en la figura 5.12, se muestran las diferentes áreas/volumenes total normalizado para cada caso de VRM-I.

Ahora bien, cuando el objetivo es optimizar las dimensiones del convertidor, la aplicación del control LnL juega un papel muy importante, a tener en cuenta, a la hora de elegir los componentes más adecuados. Es evidente que al aumentar la frecuencia de conmutación, y el ancho de banda del control lineal, la respuesta del convertidor se acerca más a la respuesta ideal.

En este caso no existe una diferencia marcada, en cuanto a área y volumen, entre el comportamiento del convertidor con control lineal y con control LnL, no siendo así para frecuencias de conmutación bajas, donde el control LnL permite mejorar la respuesta del convertidor considerablemente, como se ha demostrado en los diferentes análisis realizados.

## CONCLUSIONES

En este capítulo se ha hecho un análisis comparativo entre diferentes VRM con diferentes características, pero todos responden a las mismas especificaciones técnicas. El objetivo principal de este capítulo es cuantificar, de forma aproximada, las diferencias que existen entre cada uno de los diseños en cuanto a área y volumen del convertidor y con diferentes tipos de control. Esto permite abrir nuevas líneas de investigación en la optimización del diseño de VRM.

Este estudio se encuadra dentro de las tendencias actuales en el diseño de VRM para diferentes aplicaciones, en las que se pretende incrementar la densidad de potencia del convertidor, es decir, minimizar el área/volumen del convertidor para una misma potencia de salida.

Con relación a la densidad de potencia, el VRM3 con mayor frecuencia de conmutación, marca una diferencia de área, 3%, respecto al VRM de referencia. De igual manera, el volumen total, se ve mejorado en un 17%.

Aunque el VRM3 es el que presenta las mejores características en cuanto a densidad de potencia, gracias a la disminución del tamaño de los magnéticos, el problema está en valorar el rendimiento del convertidor, que se verá afectado por el incremento de la frecuencia de conmutación del convertidor. Por otra parte, trabajar a frecuencias más elevadas requiere de componentes con características mucho más exigentes, lo que puede traer como consecuencia una disminución de la fiabilidad del convertidor y un aumento del coste del mismo. Además, al incrementar la frecuencia de conmutación, se produce un incremento de las pérdidas en conmutación, por lo que se dificulta la gestión térmica del convertidor.

Desde otro punto de vista, si a un mismo convertidor con control lineal, se le implementa un control LnL, se logra reducir la capacidad del filtro de salida, en un 30% aproximadamente para el estudio realizado. Esto se ve reflejado en una disminución tanto del área como del volumen total de un 9%. Por todo lo antes expuesto, se puede concluir que el VRM con control LnL, de forma general, permite obtener mejores prestaciones, no sólo en cuanto a la dinámica del mismo, sino también, en cuanto a densidad de potencia y el rendimiento del VRM.

Evidentemente existen otros parámetros no menos importantes, como puede ser el rendimiento del convertidor, que no se ha tenido en cuenta directamente en este análisis, y que en algunas aplicaciones requerirían tenerse en cuenta a la hora de seleccionar y optimizar un diseño específico.

Resumiendo los resultados de los diferentes estudios realizados, se puede concluir lo siguiente:

1. Para el caso de distintos rizados de la corriente de salida, (condensador de salida), 1200kHz es el primer valor de la frecuencia de conmutación para el cual la variación de la tensión de salida del convertidor de 4 fases, 2mF de capacidad del condensador de salida y con control lineal ante escalones de carga, queda dentro de las especificaciones;
2. Analizando los resultados de la figura 5.8, se puede concluir que para conseguir la misma respuesta dinámica que el convertidor de 4 fases 300kHz con control LnL, es necesario incrementar significativamente la frecuencia de conmutación (4

veces). Como consecuencia de esto, el rendimiento del convertidor se ve penalizado;

3. Por otra parte, a igualdad de fase y frecuencia de conmutación el VRM con control L<sub>n</sub>L presenta menor filtro de salida (condensador), para hacer frente al mismo escalón de la corriente de salida. Sin embargo esto afectaría el rizado de la tensión de salida en régimen permanente;
4. El control L<sub>n</sub>L tiene un nicho de aplicaciones especialmente para convertidores con frecuencias de conmutación bajas. A medida que se sube la frecuencia de conmutación, la mejora que aporta respecto del control lineal, en cuanto a área/volumen, disminuye.

Finalmente, hay que destacar que el control L<sub>n</sub>L clásico, presenta unas mayores sobrecorrientes durante los transitorios ante escalones de carga. No obstante la optimización de este tipo de control y la reducción de dicha sobrecorriente se presentarán en el capítulo 8. Estas mejoras no afectarían al estudio comparativo presentado.





## CAPÍTULO 6

### VRM CON CONTROL LnL MIXTO

#### ANALÓGICO/DIGITAL

##### 6.1 INTRODUCCIÓN A LOS VRM CON CONTROL LnL MIXTO

Tradicionalmente, el control de los convertidores conmutados de potencia ha sido resuelto mediante técnicas analógicas. No obstante, debido a que la electrónica digital ha crecido en prestaciones y bajado en coste a un ritmo mucho mayor que la electrónica analógica, la tendencia actual se orienta hacia la sustitución de estos reguladores analógicos por otros digitales en el campo de la electrónica de baja potencia, [Mal04].

Como consecuencia, mientras que hasta hace unos años se conseguía una relación prestaciones/coste claramente mejor utilizando electrónica analógica para el control de convertidores conmutados, en la actualidad los dispositivos digitales son comparables a los analógicos en esta aplicación.

Si bien es cierto que para determinados diseños de VRM la solución analógica ofrece las mejores prestaciones, existen otras, como por ejemplo los convertidores multifase con entrelazado, donde la solución analógica impone ciertas limitaciones que pueden llegar a hacer irrealizable su implementación, como por ejemplo la utilización de leyes de control más complejas. Para estos casos, la utilización de un regulador digital es la opción que permite obtener las mejores prestaciones a la hora de implementar el diseño. Un paso intermedio y que resulta de gran interés para muchas aplicaciones con VRM con entrelazado es la utilización del control mixto analógico/digital [Qui06].

Estos combinan la simplicidad y el mayor conocimiento por parte de los diseñadores de los tradicionales reguladores analógicos y las prestaciones en cuanto a capacidad de reconfiguración de los sistemas digitales.

En este capítulo, se analiza la propuesta de un control mixto analógico/digital, que permite agrupar de forma sencilla, las ventajas de cada una de las tecnologías: la analógica y la digital.

## **6.2 GENERALIDADES DE LOS VRM CON CONTROL LINEAL MIXTO Y CONTROL LNL MIXTO**

En el capítulo 4, se ha analizado de forma general el principio de funcionamiento de cada uno de los bloques lineal y LnL individualmente. En este capítulo, se particulariza en el control mixto analógico/digital y las ventajas que aporta este tipo de control para el caso de convertidores multifase en general.

A continuación, se analizarán cada una de las particularidades del control lineal y LnL mixto aplicado a VRM multifase.

### **6.2.1 CONVERTIDOR VRM MULTIFASE CON CONTROL LINEAL MIXTO**

La implementación mixta del control, se define como el funcionamiento síncrono de dos formas de procesamiento de las señales: una analógica y otra digital. Para el caso de un VRM multifase con control lineal, ver figura 6.1, la parte de procesamiento analógico de la señal, la forma el bloque lineal. Este es el encargado de generar una señal pulsante de frecuencia constante y ciclo de trabajo variable en función de la tensión de referencia  $V_{ref}$ .

La lógica de control está formada por un generador de desfase, que es el encargado de generar las señales de control con el desfase correspondiente, para cada una de las fases, a partir de una señal PWM, y con un ciclo de trabajo  $d_L$ , generada en el bloque analógico. De los métodos descritos en el capítulo 4 epígrafe 4.5, el que se utilizará para generar el desfase entre cada una de las fases es el basado en registros de desplazamiento, ver epígrafe 4.5.2. Es evidente que este tipo de dispositivo requiere de una entrada de reloj que permita su sincronización con el sistema. Por otra parte, garantizar el adecuado desfase entre cada una de las fases es un factor muy importante a tener en cuenta, a la hora de diseñar el VRM multifase con entrelazado, ya que cualquier error en el desfase genera un desbalance de corriente significativo entre las fases del convertidor, [Sot03], [Sot04]. Con el objetivo de garantizar un

correcto desfase entre cada una de las fases, es necesario que el período de la señal PWM a la salida del bloque analógico sea síncrona con respecto a las señales generadas por la lógica de control.

Es por ello, que en la figura 6.1, aparecen dos nuevos componentes: el *Reloj* y el *Generador de Sincronismo PWM* (GSP). El bloque *Reloj* genera una señal con periodo  $T_{Clk}$ . Por su parte, el GSP es el encargado de dividir la señal de reloj y generar una señal pulsante con periodo,  $T_{GS}$ , igual al período de conmutación de la señal PWM,  $T_{sw}$ . Esta señal,  $T_{GS}$ , es la que permite sincronizar la rampa del modulador con el reloj del sistema. Esta señal tiene un ciclo de trabajo de aproximadamente un 10% del periodo de conmutación.

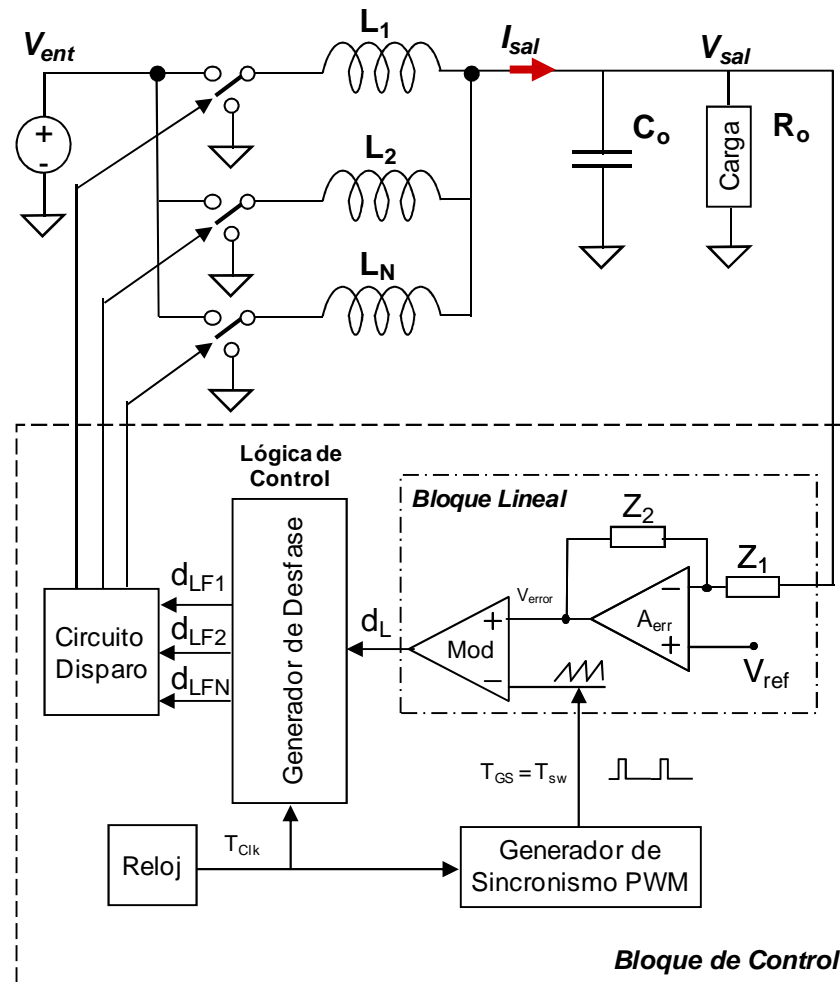


Fig. 6.1 Convertidor reductor multifase con control  
lineal mixto

A continuación, se analizará el convertidor reductor multifase con entrelazado y con control LnL mixto.

### 6.2.2 CONVERTIDOR VRM MULTIFASE CON CONTROL LNL MIXTO

Para el caso del convertidor VRM multifase con entrelazado y control LnL mixto, al igual que en el caso anterior, consta de una parte analógica y otra digital, ver figura 6.2. La parte analógica es la encargada del procesamiento analógico de la señal y está compuesta por dos bloques: el bloque lineal y el bloque no lineal.

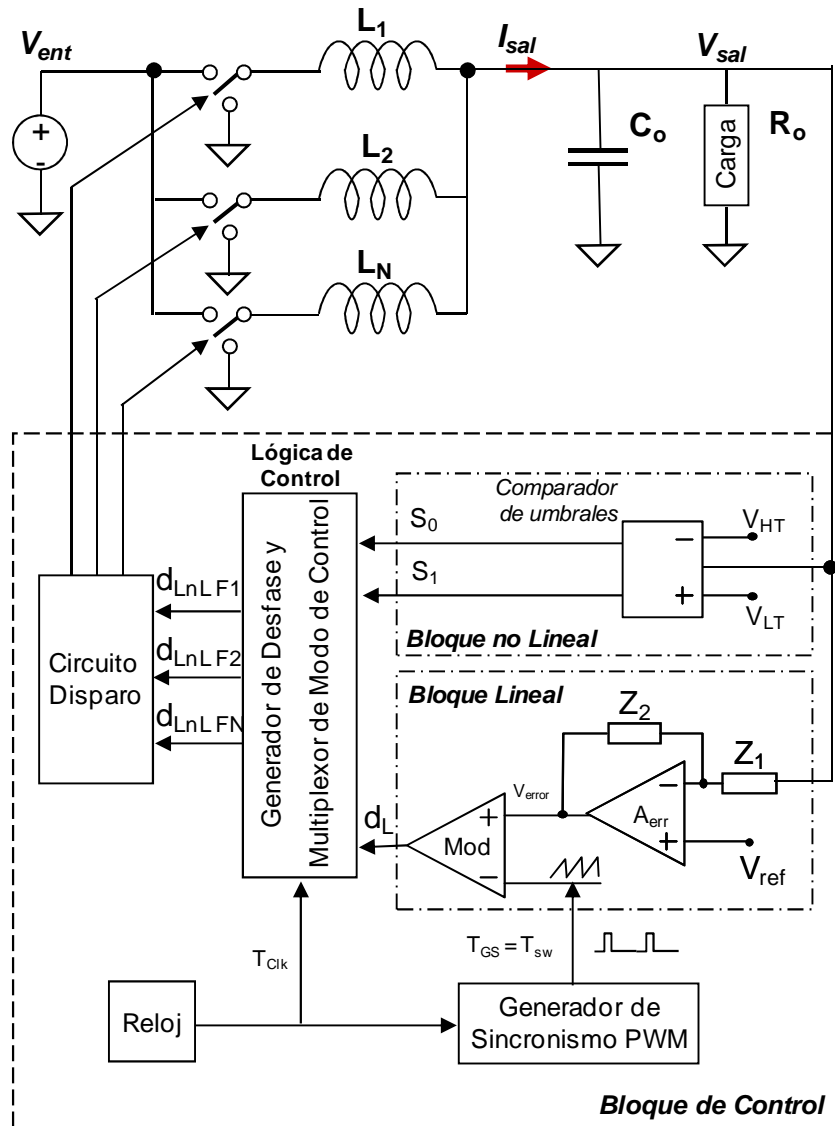


Fig. 6.2 Convertidor reductor multifase con control LnL mixto

La diferencia respecto al diagrama de bloques de la figura 6.1, la marca la inclusión de dos nuevas funcionalidades: un bloque no lineal y una lógica de control más compleja. El bloque no lineal consiste en un comparador de umbrales  $V_{HT}$  y  $V_{LT}$ . Estas tensiones definen la banda de umbral ubicada dentro de la banda de tolerancia.

La lógica de control está formada por un *multiplexor de modo de control* (MMC), que se encarga de seleccionar en cada momento el ciclo de trabajo adecuado, ya sea el impuesto por el bloque lineal o por el bloque no lineal, en función de las señales de control,  $S_0$  y  $S_1$ , generadas por el bloque no lineal. Estas señales dependen de las tensiones de umbral  $V_{HT}$  y  $V_{LT}$ , e indican, cuando la tensión de salida se encuentra dentro de esta banda.

Aquí, al igual que en el convertidor con control lineal mixto, ver figura 6.1, en el convertidor con control LnL mixto, ver figura 6.2, aparecen dos nuevos componentes: el *Reloj* y el *Generador de Sincronismo PWM* (GSP). El bloque *Reloj* genera una señal con periodo  $T_{CLK}$ . Por su parte, el GSP es el encargado de dividir la señal de reloj y generar una señal pulsante con ciclo de trabajo pequeño y periodo,  $T_{GS}$ , igual al período de conmutación de la señal PWM,  $T_{sw}$ . Esta señal,  $T_{GS}$ , es la que permite sincronizar la rampa del modulador con el reloj del sistema.

Hay que destacar que la esencia del bloque no lineal radica en su funcionamiento asíncrono. Esto quiere decir que una parte de la lógica de control formada por el generador de desfase tiene funcionamiento síncrono con el período de conmutación del convertidor y la otra, formada por el MMC tiene funcionamiento asíncrono. Esto garantiza una reacción más rápida del control ante cualquier variación de la tensión de salida, siempre que ésta salga de la banda definida por las tensiones de umbral.

### 6.3 BLOQUE ANALÓGICO DE LOS VRM CON CONTROL MIXTO

El bloque analógico para los VRM con control mixto tiene como elemento común el bloque lineal, ver figura 6.1 y figura 6.2. Éste es el encargado de mantener la tensión de salida del convertidor multifase de tal forma, que se cumpla con ciertos criterios de estabilidad y de regulación en régimen permanente.

La regulación se realiza por el método de modulación del ancho de pulso (PWM) a frecuencia constante y ciclo de trabajo variable. Es decir, el control modifica el ciclo de

trabajo a la salida de regulador lineal con el objetivo de mantener la tensión de salida del convertidor constante e igual a la tensión de referencia.

Para el caso del VRM con control LnL además del bloque lineal aparece el bloque no lineal, que es el encargado de la respuesta del convertidor durante los transitorios.

### 6.3.1 BLOQUE ANALÓGICO: BLOQUE LINEAL

El modo de funcionamiento del bloque lineal está basado en un control en *modo tensión*. Este modo, aunque es el más sencillo, presenta una serie de inconvenientes tales como: respuesta lenta ante variaciones bruscas de la entrada, audiosusceptibilidad pobre y requiere que el lazo tenga una alta ganancia para cumplir con determinadas especificaciones dinámicas.

En este tipo de control, ver figura 6.1, la tensión de salida del convertidor,  $V_{sal}$  (conectada al circuito unido a la entrada negativa del amplificador operacional) se compara con una tensión de referencia,  $V_{ref}$  (entrada positiva del amplificador operacional). La diferencia entre estas dos señales constituye la señal de error. Este error es amplificado con una ganancia definida por la función de transferencia del amplificador. En régimen permanente, para el caso ideal, la tensión de error debe ser igual a cero.

La tensión de salida del regulador se aplica al modulador, comparándose con una onda triangular (rampa) de frecuencia constante. La frecuencia de la rampa determina la frecuencia de salida de la señal PWM. Cada inicio de rampa coincide con el inicio del pulso PWM cuyo ciclo de trabajo estará modulado por la señal de error a la salida del regulador y sincronizado con el período de reloj del sistema.

En las aplicaciones de electrónica de potencia se utilizan tres tipos de reguladores, que en principio resuelven de forma satisfactoria los criterios de estabilidad para la mayoría de los lazos de control conocidos. Los tipos de reguladores más utilizados en electrónica de potencia son los reguladores tipo I, tipo II y tipo III.

En la figura 6.3, se muestran los diagramas de bode de la función de transferencia y la fase de cada uno de los tipos de reguladores más comunes: tipo I ( $M_{GL1}$ ,  $F_{GL1}$ ), tipo II ( $M_{GL2}$ ,

$F_{GL2}$ ) y tipo III ( $M_{GL3}$ ,  $F_{GL3}$ ), donde  $M_{GL}$  es el módulo de la función de transferencia y  $F_{GL}$  es la fase para cada uno de los reguladores.

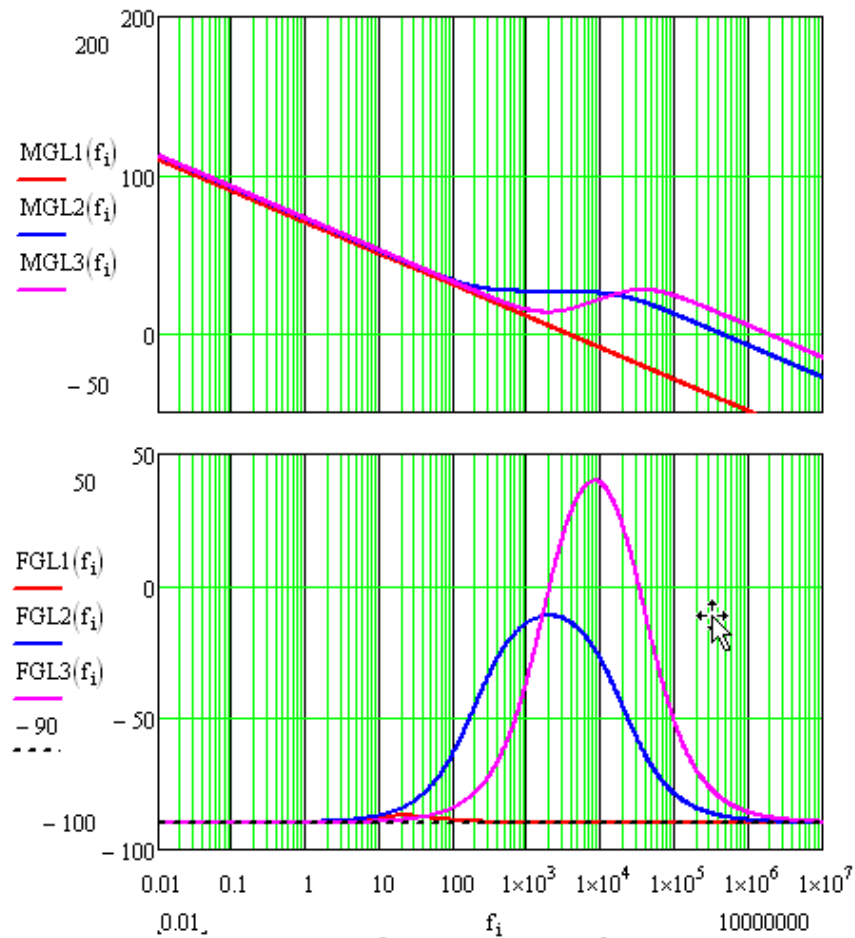


Fig. 6.3 Diagrama de bode de cada uno de los tipos de reguladores: Tipo I (L1), Tipo II (L2) y Tipo III (L3).

Para seleccionar el tipo de regulador óptimo para cada diseño, es necesario conocer lo más exactamente posible el comportamiento del sistema, tanto en régimen permanente como en régimen transitorio. El tipo de regulador más adecuado para nuestra aplicación y que se adapta más a las exigencias dinámicas del convertidor es el tipo III, figura 6.4. Este tipo de regulador permite obtener un mayor ancho de banda y con ello una mayor respuesta dinámica, garantizando la estabilidad del sistema gracias a que es el único de todos los reguladores que es capaz de añadir fase al sistema.



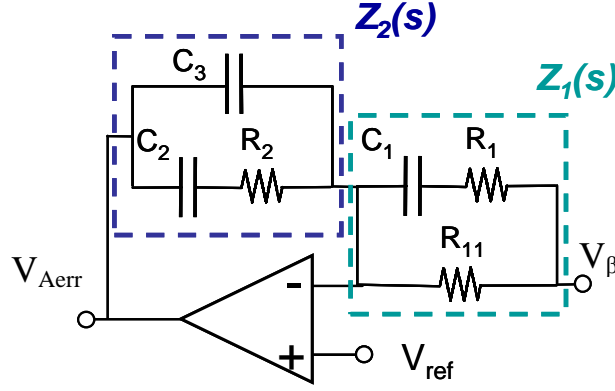


Fig. 6.4 Circuito de un regulador lineal tipo III.

La función de transferencia del regulador lineal se puede determinar por la siguiente expresión:

$$G_{Reg}(s) = \frac{V_{Aerr}(s)}{V_{\beta}(s)} = \frac{Z_2(s)}{Z_1(s)} \quad (6.1)$$

Donde las impedancias  $Z_1(s)$  y  $Z_2(s)$  se pueden representar como:

$$Z_1(s) = \frac{R_{11}(sC_1R_1 + 1)}{sC_1(R_1 + R_{11}) + 1} \quad Z_2(s) = \frac{sC_2R_2 + 1}{s(C_2 + C_3) \left( 1 + \frac{sC_2C_3}{C_2 + C_3} R_2 \right)} \quad (6.2)$$

El amplificador de error ( $A_{err}$ ) al no ser ideal y tener un ancho de banda limitado hace que la función de transferencia del regulador se vea afectada.

La función de transferencia del regulador vendría, por lo tanto, dada por la siguiente expresión:

$$G_{Reg}(s) = \frac{V_{Aerr}(s)}{V_{\beta}(s)} = \frac{Z_2(s)}{Z_1(s)} \frac{1}{1 + \frac{1}{A_{err}(s)} \cdot \frac{Z_1(s) + Z_2(s)}{Z_1(s)}} \quad (6.3)$$

En la figura 6.5, se muestra la estructura del lazo de control en modo tensión del regulador lineal. La planta o etapa de potencia representada en la figura 6.5, es el circuito equivalente de

un convertidor reductor multifase donde se representan los parámetros que influyen directamente sobre las características del lazo de control.

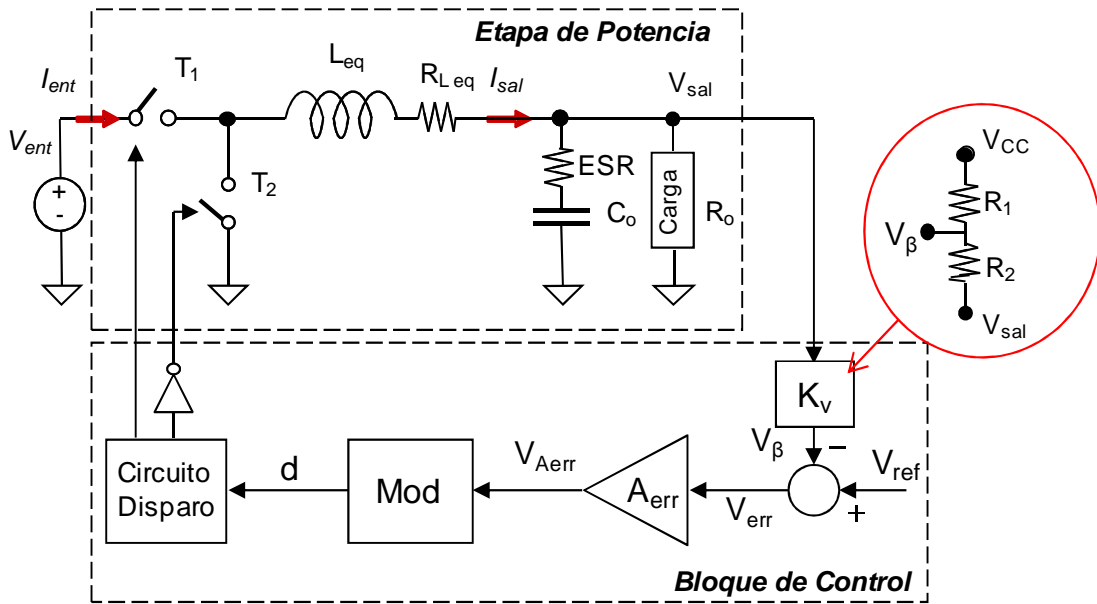


Fig. 6.5 Diagrama de bloques de un convertidor reductor multifase equivalente con control lineal en modo tensión.

La ganancia  $K_v$  representa la realimentación y está determinada por la ganancia de un divisor de tensión. Los valores de este divisor son una función por una parte, de la tensión de referencia interna del modulador y por otra de la tensión de salida del convertidor. Teniendo en cuenta que en la mayoría de las aplicaciones de baja tensión, la referencia interna del circuito integrado (CI), por regla general es mayor que la tensión de salida del convertidor, el divisor de tensión de tensión con ganancia  $K_v$ , se conectará a la tensión de alimentación ( $V_{cc}$ ) y no respecto a tierra como es habitual, ver detalle figura 6.5.

Otro componente del lazo es el modulador. La ganancia de este bloque depende del ciclo máximo de trabajo ( $D_{max}$ ) y de la inversa del valor pico a pico de la rampa, ( $V_{pp \text{ ramp}}$ ), todo multiplicado por un coeficiente de atenuación,  $k_a$ , que puede aparecer en algunos circuitos, es decir:

$$K_{Mod} = k_a D_{max} \frac{1}{V_{pp \text{ ramp}}} \quad (6.4)$$

Finalmente, la etapa de salida que consiste en un filtro LC de segundo orden. Para el caso de un convertidor reductor multifase es mejor hablar de la inductancia equivalente ( $L_{eq}$ ) como resultado de la conexión en paralelo de las inductancias de cada una de las  $N_f$  fases del convertidor, es decir:

$$L_{eq}(s) = \frac{L(s)}{N_f} \quad (6.5)$$

Una vez que se dispone de cada una de las funciones de transferencia de cada uno de los bloques que forman el regulador lineal es necesario seleccionar los valores de las impedancias  $Z_1$  y  $Z_2$  del compensador (regulador).

Este es un tema bastante conocido, por lo que solo se hace referencia a los criterios generales de estabilidad que definen que la frecuencia de corte del sistema no debe ser mayor que 1/6 de la frecuencia de conmutación, además debe garantizarse un margen de fase mayor de  $45^\circ$  a la frecuencia de cruce, y una atenuación mayor de -20dB a la frecuencia de conmutación.

Para el cálculo de los componentes se ha utilizado una hoja de *Mathcad* donde se pueden obtener cada una de las funciones de transferencia del convertidor y los valores de las impedancias  $Z_1$  y  $Z_2$  del compensador. Este cálculo se puede realizar basado en el método de la K o el método de la  $\alpha$  y  $\beta$ .

### 6.3.2 BLOQUE ANALÓGICO. BLOQUE NO LINEAL

Como se ha analizado en capítulos anteriores, el bloque no lineal se utiliza de manera ocasional. Este bloque garantiza una respuesta instantánea del convertidor ante cualquier variación de la tensión de salida que salga de la banda de umbral. Por otra parte, el bloque lineal garantiza una mejor regulación de la tensión de salida en régimen permanente.

En la estrategia de control LnL, el funcionamiento del bloque no lineal es simultáneo (paralelo) con el funcionamiento del bloque lineal.

Como coexisten dos modos de operación: uno lineal y otro no lineal, el ciclo de trabajo que genera cada uno de estos controles es una función de la variación de la tensión de salida

alrededor de su valor de referencia. El bloque no lineal satura a '1' o a '0' el ciclo de trabajo, en caso en que la tensión de salida se encuentre fuera de la banda definida por las tensiones de umbral. Por otra parte, mientras la tensión de salida se encuentra dentro de la banda de umbrales, el ciclo de trabajo está impuesto por el bloque lineal.

Por lo tanto, se plantean dos modos de funcionamiento: modo lineal y modo no lineal. Esto genera tres estados de variación del ciclo de trabajo: saturación a '1' o a '0' (modo no lineal de funcionamiento), y cuando el ciclo de trabajo varía linealmente en función de la variación de la tensión de salida (modo lineal de funcionamiento). Para definir cada uno de los estados se necesitan al menos dos señales de control. Estas señales se obtienen a partir de las salidas  $S_0$  y  $S_1$  del control no lineal.

Como se mostró en el apartado 4.3, la figura 6.6 presenta la estructura del bloque no lineal. Este bloque no lineal está formado por tres bloques fundamentales: un *Filtro Paso Alto* (FPA), un *Comparador de Umbrales* (CU) y un *Multiplexor de Modo de Control* (MMC). En la implementación mixta analógico/digital, los dos primeros bloques, el FPA y el CU, están diseñados de forma analógica. Mientras que el bloque MMC, está realizado de forma digital.

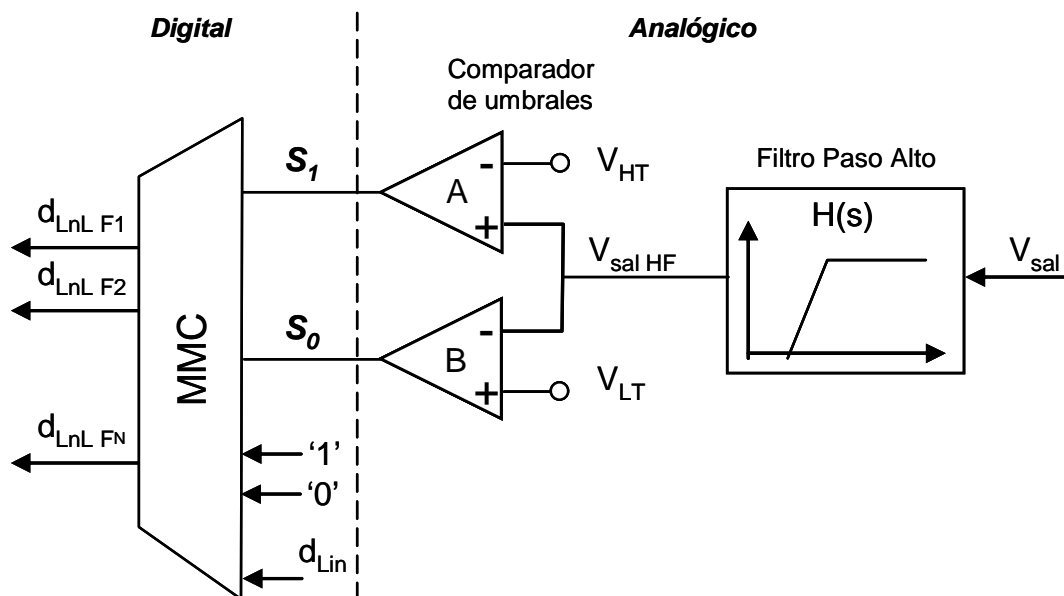


Fig. 6.6 Diagrama de bloques general del bloque no lineal.

El FPA es el encargado de filtrar la componente de baja frecuencia de la tensión de salida,  $V_{sal}$ . El objetivo principal es sensibilizar la etapa de comparadores de umbral (CU) con las variaciones de alta frecuencia y responder, de esta manera, ante los transitorios de alta frecuencia de la tensión de salida.

Los CU, están formado por dos comparadores de tensión, A y B. Estos comparadores son los encargados de generar las señales  $S_0$  y  $S_1$  en función de la variación de la señal de salida filtrada,  $V_{sal\ HF}$ . Estas señales dependen de las tensiones de umbral  $V_{HT}$  y  $V_{LT}$ , y permiten indicar, cuándo la tensión de salida se encuentra dentro de esta banda.

En la tabla 6.1, se muestran las diferentes combinaciones posibles, de las señales  $S_0$  y  $S_1$ , que definen los diferentes modos de funcionamiento del control.

TABLA 6.1

MODOS DE FUNCIONAMIENTO DEL CONTROL LNL EN FUNCIÓN DE LAS SEÑALES DE CONTROL  $S_0$  Y  $S_1$ 

<i>Modo de Funcionamiento</i>	$S_0$	$S_1$	<i>Valor del ciclo de trabajo</i>
Lineal	0	0	$D = d_{Lin}$
No lineal	0	1	$D = '0'$
No lineal	1	0	$D = '1'$
*	1	1	*

Como se puede observar, existen cuatro combinaciones, que determinan tres posibles valores del ciclo de trabajo  $D$ . Uno de ellos determinado por el control lineal y otros dos determinados por el bloque no lineal.

Las señales de salida del comparador de umbral,  $S_0$  y  $S_1$ , son las señales de control del MMC. Éste está implementado de forma digital y es el encargado de seleccionar el ciclo de trabajo adecuado en cada momento. En dependencia de la variación de la tensión de salida y del estado de las señales  $S_0$  y  $S_1$ , el MMC selecciona el ciclo de trabajo adecuado, ya sea el impuesto por el bloque lineal o por el bloque no lineal. Hay que tener en cuenta que el estado

$S_0 = S_1 = 1$  es un estado imposible, ya que la tensión de salida no puede ser mayor que el umbral superior  $V_{HT}$  y menor que el umbral inferior  $V_{LT}$ , en un mismo instante de tiempo.

## 6.4 PARTICULARIDADES DEL BLOQUE DIGITAL DE LOS VRM CON CONTROL MIXTO

Los VRM multifase con entrelazado exigen ciertos requisitos, como puede ser, un balance adecuado de las corrientes por cada una de las fases, que garantice el buen funcionamiento del convertidor. Por ejemplo, en [Gar06], se muestra la influencia del error en el desfase entre cada una de las fases, sobre las corrientes por fase. En este caso un desbalance mínimo puede provocar que el convertidor se dañe. Con el incremento de la frecuencia de conmutación, la influencia de este error se torna mucho más determinante, ya que inclusive, la diferencia entre los retardos internos de los componentes influyen en que las corrientes que circula por cada una de las fases, no sean iguales.

Es por ello, que la implementación analógica ve limitado su ámbito de aplicaciones, mientras que por su parte, gracias al desarrollo que han tenido los circuitos digitales, la implementación digital se convierte en la mejor opción para muchas aplicaciones, en particular para los VRM multifase con entrelazado, ya que permite implementar funciones mucho más complejas de una forma simple y eficiente.

### 6.4.1 VENTAJAS E INCONVENIENTES DEL CONTROL DIGITAL

Entre las ventajas de la tecnología digital cabe destacar, la capacidad de realizar tareas más complejas, la mayor integración alcanzable, la posibilidad de reprogramación (asociado a la capacidad de reconfiguración), el menor tiempo de diseño o la fiabilidad, inmunidad al ruido y además da la posibilidad de que un mismo diseño *hardware* pueda ser utilizado en otras topologías.

Las principales ventajas del control digital son las siguientes:

1. Capacidad de reprogramación del control. Buena parte de los dispositivos digitales, como microprocesadores, DSP o FPGA, son reprogramables. Esta característica permite cambiar el algoritmo de control sin necesidad de efectuar ningún cambio sobre el *hardware*, con lo que se dota al sistema de gran flexibilidad.

2. Disminución del tiempo de diseño. Esto se debe a la facilidad de realizar cambios durante el prototipado [Pet03].

3. No se requiere cambiar el *hardware* para introducir cambios en el algoritmo de control. El resultado es que cada interacción de prueba y error supone un esfuerzo mucho menor que en el caso analógico.

4. Carencia o disminución de componentes discretos. Los controles analógicos necesitan un buen número de componentes discretos, como resistencias o condensadores, para ajustar los parámetros del regulador [Pet01]. Sin embargo, el uso de reguladores mixtos analógico/digitales permite disminuir en gran medida el número de componentes pasivos.

5. Al reducir el número de componentes, disminuye el tamaño total del control e incluso los costes.

6. Aumento de la fiabilidad del sistema. La utilización del control mixto es más fiable que uno totalmente analógico. Esta afirmación, que no resulta obvia en principio, se debe sobre todo al hecho de utilizar un menor número de componentes. Además, la potencia consumida por la parte digital es menor que la de su equivalente analógico.

7. Facilidad de integración como parte de otros sistemas. Un control digital puede ser fácilmente integrado en un sistema digital mayor [Pet01]. Para ello, el único requisito es que el dispositivo o dispositivos con que se implementa el sistema total tengan recursos suficientes para todas las partes, incluido el control del convertidor.

8. Posibilidad de interacción con la carga. Si la carga del convertidor conmutado es digital, por ejemplo un microprocesador, se puede establecer una interacción entre la carga y el control del convertidor [Pet03], [Dig06]. Esto puede ser útil para que la propia carga avise de cambios en la demanda de consumo, lo que facilitaría al control su tarea de regulación. Algo parecido se emplea con éxito en el caso de Escalado Dinámico de Tensión (DVS), donde se varía la tensión de alimentación según la demanda de potencia.

9. Disminución de la sensibilidad a cambios (derivas térmicas y envejecimiento). Un componente digital no cambia prácticamente su funcionamiento al envejecer

[Bib99], [Xia01]. Puede que los retardos varíen muy ligeramente, pero el resultado de su actividad, es decir, los valores lógicos de sus salidas, es el mismo a lo largo de toda la vida del componente. De igual forma, los dispositivos digitales son menos variables ante cambios en las condiciones ambientales, tales como la temperatura.

10. Atenuación de la sensibilidad al ruido. Una señal digital sólo admite dos valores, por lo que es muy difícil que el ruido llegue a variar su valor efectivo [Xia01]. Por el contrario, las señales analógicas se ven mucho más influidas por el ruido, ya que ligeros cambios en el valor de una tensión, por ejemplo, pueden suponer cambios en la actuación del control. Por tanto, la parte digital es mucho menos sensible al ruido y sólo la parte analógica presenta problemas de ruido.

11. En la implementación mixta analógico/digital, no existe la necesidad de utilizar conversor analógico-digital. Esto hace al sistema, mucho más sencillo y disminuye, en gran medida, los costes del convertidor.

No todo son ventajas en el uso sistemas digitales o digitales mixtos. También presenta una serie de inconvenientes que hay que tener en cuenta antes de sustituir un control analógico por otro digital, y que pueden afectar al propio diseño del control. Los principales inconvenientes son:

1. Limitación de la resolución de medida y cálculo. Los datos digitales están representados por un número finito de bits, por lo que la resolución del valor representado queda truncada [Pet03], [Dig06], [Alo03]. Por ejemplo, si el dato se representa en coma fija usando  $N$  bits se pueden alcanzar  $2^N$  distintos valores, con lo que la resolución alcanzada es  $V_{\max}/2^N$ , siendo  $V_{\max}$  el máximo valor de la magnitud que se desee representar. Aunque una variable analógica puede tomar en teoría infinitos valores, en la práctica factores como el ruido limitan también la resolución efectiva de las variables analógicas.

2. Limitación de la resolución de la señal de control. En caso de generarse la señal de control del convertidor mediante medios digitales, hay que tener en cuenta la limitación en la resolución del ciclo de trabajo que impone el dispositivo digital [Alo03]. Por ejemplo, si la generación del ciclo de trabajo de la señal de control está basada en un mecanismo de tipo contador (o registros de desplazamiento), la



resolución del ciclo de trabajo queda limitada por la frecuencia de reloj del sistema, o con más exactitud, por el cociente entre la frecuencia del contador y la frecuencia de conmutación del convertidor. Una baja resolución en el ciclo de trabajo puede conducir a problemas de metaestabilidad alrededor del punto de equilibrio, que es lo que se ha dado en llamar ciclo límite [Pat02], [Pet01], [Pet03];

3. Introducción de retardos en lazo de control. En este tipo de control (análogo/digital), el hecho de utilizar componentes auxiliares para el acondicionamiento de las señales analógicas y digitales genera nuevos retrasos que perjudican el margen de fase del sistema. Estos retardos hay que tenerlos en cuenta a la hora de diseñar el regulador analógico.

Se han analizado las principales ventajas e inconvenientes de los sistemas digitales. Existen muchas plataformas de diseño digital. Teniendo en cuenta las ventajas que aportan los sistemas basados en circuitos integrados programables, se ha escogido la plataforma FPGA específicamente, la familia Spartan 3 de Xilinx.

#### **6.4.2 BLOQUE DIGITAL DEL VRM CON CONTROL MIXTO**

Como se ha analizado en el epígrafe 6.2, el bloque digital en el control mixto es el encargado de generar las señales de cada una de las fases del VRM con el ciclo de trabajo y desfase correspondiente. En la optimización del diseño juega un papel fundamental el método utilizado para generar el desfase correspondiente entre cada una de las fases del convertidor.

A continuación se explican los detalles del bloque generador de desfase para cada uno de los VRM, ya sea con control lineal o control LnL mixto.

##### **6.4.2.1 BLOQUE DIGITAL DEL VRM CON CONTROL LINEAL MIXTO**

En el caso del VRM con control lineal mixto el bloque digital (lógica de control) es el encargado de generar las señales de cada una de las fases con el desfase correspondiente. Es evidente que el diseño depende del método utilizado para generar el desfase.

En la figura 6.7, se muestra el diagrama de bloques simplificado del bloque digital (lógica de control) para el caso en que se utilicen registros de desplazamiento.

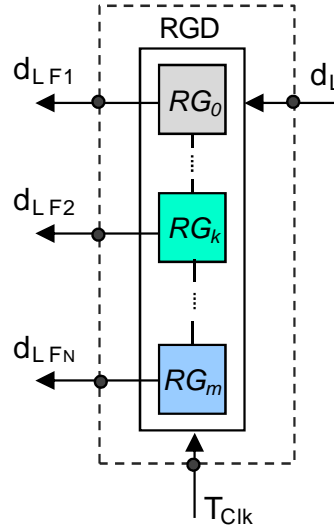


Fig. 6.7 Diagrama de bloques de la lógica de control para un VRM con control lineal mixto.

El bloque digital tiene dos señales de entrada: la señal PWM que proviene del regulador lineal en el bloque analógico a frecuencia o periodo constante,  $T_{PWM}$ , y ciclo de trabajo variable,  $d_L$ , y la señal de reloj del sistema con periodo  $T_{Clk}$ . Las señales de salida del bloque digital son las señales de control de cada de cada una de las fases del VRM. El componente principal de este bloque es el registro de desplazamiento, RGD compuesto por  $m$  celdas o bits ( $RG_0$ -  $RG_m$ ).

El dimensionamiento de este registro depende de los principales parámetros del sistema, que se definen a partir de las especificaciones del convertidor, en este caso, de la variación máxima de la tensión de salida,  $\Delta V_{sal}$ , y del periodo de conmutación de la señal PWM. Teniendo en cuenta estos criterios se puede definir el desfase entre cada una de las fases del VRM,  $T_\phi$  expresado en tiempo, como la relación entre el periodo de conmutación de la señal PWM,  $T_{PWM}$ , y el número de fases del VRM,  $N_f$ :

$$T_\phi = \frac{T_{PWM}}{N_f} \quad (6.6)$$

Para un tiempo de desfase  $T_\phi$ , se requiere un número de estados equivalentes,  $N_\phi$  en el registro de desplazamiento, cuyo número depende del periodo de reloj del sistema  $T_{Clk}$ , según la siguiente expresión:

$$N_{\phi} = \frac{T_{\phi}}{T_{Clk}} \quad (6.7)$$

Para un número determinado de fases, el periodo de conmutación de la señal PWM,  $T_{PWM}$ , debe ser tal, que se cumpla que el desfase entre cada una de las fases del VRM,  $T_{\phi}$ , debe ser un número constante y entero. De esta forma se garantiza el correcto equilibrio de las corrientes entre cada una de las fases, [Sot03], [Sot04].

Teniendo en cuenta que el periodo de reloj,  $T_{Clk}$ , es mucho menor que el periodo de la señal PWM,  $T_{PWM}$ , se puede definir el número de estados,  $R_{VoL}$ , que puede tener la señal PWM como:

$$R_{VoL} = \frac{T_{PWM}}{T_{Clk}} \quad (6.8)$$

Despejando  $T_{PWM}$  de (6.8) y sustituyendo en (6.6) se obtiene que:

$$T_{\phi} = \frac{R_{VoL} \cdot T_{Clk}}{N_f} \quad (6.9)$$

Por otra parte, hay que tener en cuenta la condición de ciclo límite del sistema, [Ca03a], [Ca03b], [Pet03], [Sot04], [Gar06], [Mak06], que dependerá de la resolución de la tensión de salida expresada en tensión,  $\Delta V_{oL}$ , y que ésta a su vez es una función de la variación máxima de la tensión de salida del convertidor dada en las especificaciones, es decir:

$$\Delta V_{oL} \leq \frac{1}{k} \Delta V_{sal} \quad (6.10)$$

donde:  $k$  es una constante digital igual a  $2^n$ ,  $n=1,2,\dots,m$ .

Teniendo en cuenta que la tensión de salida del convertidor reductor varía entre 0 y la tensión de entrada,  $V_{ent}$ , se pueden definir diferentes estados del ciclo de trabajo. El número de estos estados, está determinado por el coeficiente  $R_{Vo}$ , y se puede expresar como:

$$R_{VoL} \geq \frac{V_{ent}}{\Delta V_{oL}} \quad (6.11)$$

Sustituyendo (6.10) en (6.11) e igualando con (6.8) se obtiene que el período de reloj que satisface las especificaciones para el VRM con control lineal mixto es igual a:

$$T_{CikL} = \frac{1}{k} T_{PWM} \frac{\Delta V_{sal}}{V_{ent}} \quad (6.12)$$

Como resultado el periodo del reloj del sistema queda representado en función de los parámetros de diseño del VRM: la tensión de entrada  $V_{ent}$ , la variación de la tensión de salida  $\Delta V_{sal}$  y del periodo de conmutación de la señal PWM  $T_{PWM}$ .

Si se tiene en cuenta el tiempo correspondiente al desfase,  $T_\phi$ , se puede optimizar el número de celdas (*flip-flops*) del registro RGD. De aquí que el número de bits del registro de desplazamiento, RGD,  $N_{RGDL}$  se puede definir como:

$$N_{RGDL} = \frac{T_{PWM} - T_\phi}{T_{CikL}} = N_\phi (N_f - 1) \quad (6.13)$$

donde:  $N_{RGDL}$  también representa el número de pulsos de reloj comprendidos entre el inicio de la fase de referencia (fase número uno), y el inicio de la última fase.

Hasta aquí se han definido todos los elementos del bloque digital a partir de los parámetros de diseño del VRM. A continuación, se realiza el mismo análisis para el caso del VRM con control LnL mixto.

#### 6.4.2.2 BLOQUE DIGITAL DEL VRM CON CONTROL LN L MIXTO

En la figura 6.8, se muestra el diagrama de bloques simplificado del bloque digital (lógica de control) del control LnL mixto.

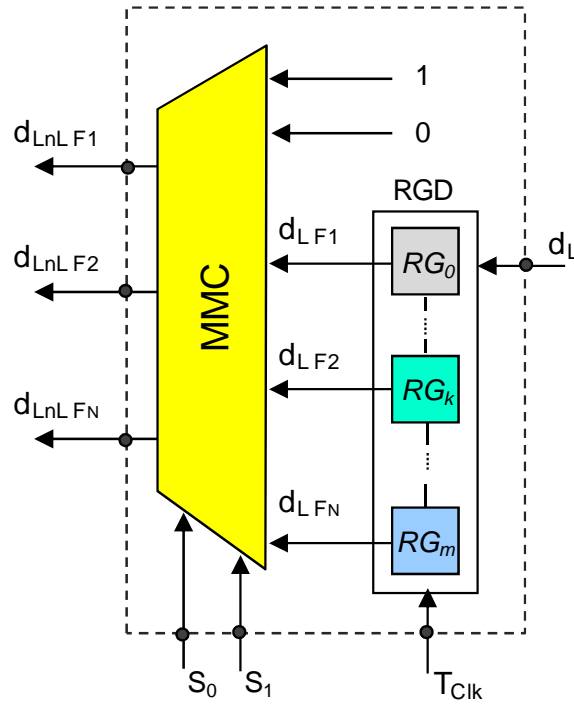


Fig. 6.8 Diagrama de bloques de la lógica de control para un VRM con control LnL mixto.

El bloque digital tiene cuatro señales de entrada: la señal PWM que proviene del regulador lineal en el bloque analógico a frecuencia o periodo constante,  $T_{PWM}$ , y ciclo de trabajo variable,  $d_L$ , y la señal de reloj del sistema con periodo  $T_{Clk}$ , igual que el VRM con control lineal mixto. Además, se incluyen las señales  $S_0$  y  $S_1$  que provienen del bloque no lineal. Las señales de salida del bloque son las señales de control de cada una de las fases del VRM. Este bloque tiene dos componentes fundamentales: el multiplexor de modo de control MMC, y el registro de desplazamiento RGD.

Al igual que en el VRM con control lineal mixto, el registro de desplazamiento RGD está compuesto por  $m$  celdas o bits. El dimensionamiento de este registro depende de los principales parámetros del sistema que se definen a partir de las especificaciones del convertidor, en este caso, de la variación máxima de la tensión de salida,  $\Delta V_{sal}$  y del periodo de conmutación de la señal PWM,  $T_{PWM}$ .

El desfase entre cada una de las fases del VRM,  $T_\phi$  se define según la expresión (6.6). De forma análoga a la expresión (6.8) el periodo de la señal PWM para el caso del control LnL, se puede representar como:

$$T_{PWM} = R_{VoLnL} \cdot T_{ClkLnL} \quad (6.14)$$

donde:  $R_{VoLnL}$  es un coeficiente digital que toma valores igual a  $2^n$  y representa la relación que existe entre el periodo de la señal PWM,  $T_{PWM}$  y el periodo del reloj del sistema,  $T_{ClkLnL}$ .

Entonces el tiempo equivalente al desfase se puede expresar como:

$$T_{\phi LnL} = \frac{R_{VoLnL} \cdot T_{ClkLnL}}{N_f} \quad (6.15)$$

Según definición del control LnL, la banda de umbrales  $\Delta V_{umb}$  definida por las tensiones de umbral  $V_{HT}$  y  $V_{LT}$ , se encuentra dentro de la banda definida por la variación máxima de la tensión de salida  $\Delta V_{sal}$ . Esto hace que para evitar la condición de ciclo límite del sistema, [Ca03a], [Ca03b], [Pet03], [Sot04], [Gar06], [Mak06], la resolución de la tensión de salida expresada en tensión,  $\Delta V_{oLnL}$ , deberá ser mayor que el caso del VRM con control lineal mixto.

De aquí que la resolución  $\Delta V_{oLnL}$ , queda definida no por la variación de la tensión de salida  $\Delta V_{sal}$ , sino por la variación de la tensión que define la banda de umbrales  $\Delta V_{umb}$ . Esta a su vez es una función de la variación máxima de la tensión de salida del convertidor dada en las especificaciones, es decir:

$$\Delta V_{oLnL} \leq \frac{1}{k} \Delta V_{umb} \quad (6.16)$$

donde  $k$  es una constante digital igual a  $2^n$ ,  $n=1,2,\dots,m$ .

Teniendo en cuenta que la tensión de salida del convertidor reductor,  $V_{sal}$ , varía entre 0 y el valor de la tensión de entrada,  $V_{ent}$ , se pueden definir diferentes estados del ciclo de trabajo. El número de estos estados, está determinado por el coeficiente  $R_{VoLnL}$ , y se puede expresar como:

$$R_{VoLnL} \geq \frac{V_{ent}}{\Delta V_{oLnL}} \quad (6.17)$$

Por otra parte, de la ecuación (6.14) se puede obtener que:

$$R_{VoLnL} = \frac{T_{PWM}}{T_{ClkLnL}} \quad (6.18)$$

Sustituyendo (6.16) en (6.17) e igualando con (6.18) se obtiene el período de reloj que satisface las especificaciones para el VRM con control lineal mixto:

$$T_{ClkLnL} = \frac{1}{k} T_{PWM} \frac{\Delta V_{umb}}{V_{ent}} \quad (6.19)$$

Como resultado el periodo del reloj del sistema queda representado en función de los parámetros de diseño del VRM: la tensión de entrada  $V_{ent}$ , la variación de tensión que define la banda de umbrales  $\Delta V_{umb}$  y del periodo de conmutación de la señal PWM  $T_{PWM}$ .

Por definición  $\Delta V_{umb} < \Delta V_{sal}$  entonces de las expresiones (6.12) y (6.19) se puede deducir que  $T_{ClkLnL} < T_{ClkL}$ . En este caso el número de bits del registro de desplazamiento, RGD,  $N_{RGDLnL}$  se puede definir como:

$$N_{RGDLnL} = \frac{T_{PWM} - T_{\phi LnL}}{T_{ClkLnL}} = N_{\phi} (N_f - 1) \quad (6.20)$$

donde:  $N_{RGDL}$  también representa el número de pulsos de reloj comprendidos entre el inicio de la fase de referencia (fase número uno), y el inicio de la última fase.

Hay que aclarar que las expresiones obtenidas son genéricas y dependen del diseño. Para el caso de este proyecto, donde un mismo *hardware/software* se utiliza para implementar diferentes configuraciones de VRM, en el proceso de dimensionamiento de estos componentes se han seleccionado las configuraciones más críticas: mayor número de fases, mayor frecuencia de conmutación.

## 6.5 DESCRIPCIÓN DE LAS CONFIGURACIONES DE FUNCIONAMIENTO DE LOS VRM CON CONTROL MIXTO

Hasta el momento se ha analizado de forma general el principio de funcionamiento de los VRM con control lineal y control LnL mixto teniendo en cuenta cada uno de los componentes que forman parte del control. En este epígrafe, se trata de particularizar más en el control mixto analógico/digital y definir las ventajas e inconvenientes que tiene este tipo de implementación aplicada a convertidores VRM multifase.

Para la implementación del VRM con entrelazado, se parte de enmarcar unas especificaciones iniciales que definen los objetivos del trabajo. Uno de estos objetivos es validar de forma experimental las ventajas que ofrece en control LnL aplicado a los VRM frente al control lineal. Vale mencionar que este diseño es válido para cualquier tipo de VRM.

Partiendo de todos los análisis y resultados obtenidos en el capítulo 4, se propone diseñar un convertidor que permita:

1. Seleccionar el tipo de control del VRM: ya sea con control lineal o control LnL;
2. Seleccionar la frecuencia de conmutación del convertidor. En este caso particular, permite seleccionar dos valores prefijados de frecuencia 300kHz y 600kHz);
3. Seleccionar el número de fases.

El convertidor debe ser fácilmente reconfigurable y cumplir con determinados requerimientos dinámicos. Esto va a estar determinado por el regulador analógico y por la plataforma de diseño del bloque digital.

La implementación del convertidor multifase con entrelazado con control mixto analógico/digital, que cumpla con las especificaciones, resulta una tarea compleja. El diseño del bloque digital depende en gran medida de cómo se define el bloque analógico.



Por lo tanto, la decisión está en cómo implementar el regulador lineal. Existen dos posibles alternativas:

1. Diseñar diferentes reguladores lineales, uno para cada configuración de frecuencia y número de fases;

Ventajas:

- Permite optimizar la respuesta del sistema. Se necesita calcular un regulador lineal para cada una de las configuraciones a analizar;
- No se necesita conversor analógico/digital para su implementación;
- Simplifica de forma considerable el bloque digital.

Desventajas:

- Aumenta la complejidad del bloque analógico;
- Se necesita un mayor número de señales de control para el sincronismo;
- Se incrementan los costes ya que son necesario un mayor número de componentes.

2. Diseñar un regulador lineal, para todas las configuraciones;

Ventajas:

- Minimiza la complejidad del bloque analógico. Se necesita un solo regulador lineal;
- No se necesita conversor analógico/digital para su implementación;
- Menor número de señales de control;
- Se reducen los costes, ya que se necesita un menor número de componentes.

Desventajas:

- Aumenta la complejidad del bloque digital. Se necesitan frecuencias de reloj más elevadas;
- Al utilizarse un solo regulador lineal para todas las configuraciones, hace que este regulador esté optimizado para una de ellas, por lo que no será el

óptimo para otras. Esto influye desfavorablemente, en algunos casos, en la respuesta del convertidor con control lineal, ya que disminuye su ancho de banda, y por lo tanto la respuesta dinámica del lazo de control no es la óptima.

En ambos casos, el bloque no lineal es igual para cualquier tipo de configuración de convertidor que se diseñe. Aprovechando las potencialidades que brindan las plataformas de diseño digitales, se opta por la implementación de un VRM con control mixto analógico/digital, con un solo regulador lineal, para todas las configuraciones. En este caso, se minimiza la complejidad del bloque analógico, penalizando la complejidad del bloque digital ya sea por *software* o descripción de *hardware*.

Como resultado, se obtiene un VRM con un solo regulador lineal, cuya frecuencia de salida ( $T_{PWM}$ ) debe ser constante y debe estar sincronizada con la frecuencia de reloj del bloque digital. Aquí aparece un nuevo problema que radica en cómo seleccionar la frecuencia de funcionamiento del regulador lineal. Si se parte de que en los sistemas digitales de procesamiento de las señales, es más fácil dividir frecuencias que multiplicar, es obvio que si se utiliza un solo regulador lineal, su frecuencia de funcionamiento debe ser la mayor de las posibles. Posteriormente, a partir de la división de ésta, obtener las demás a partir de las cuales se generan todas las señales de control necesarias.

Como conclusión, la idea consiste en que a partir de un mismo regulador lineal a frecuencia de salida constante, sin cambiar los parámetros del regulador, obtener un convertidor que permita seleccionar entre dos frecuencias de conmutación, una igual a la frecuencia de salida del control lineal analógico y otra frecuencia cuyo valor sea la mitad de esta.

Para el diseño e implementación del VRM, se ha utilizado el esquema general que se muestra en el capítulo 4, figura 4.7. En la figura 6.9, se muestra el circuito eléctrico general del convertidor multifase reconfigurable. Este circuito está compuesto por dos bloques funcionales: uno analógico y otro digital.

El *Bloque Analógico* está formado por cuatro partes fundamentales que se describen a continuación:

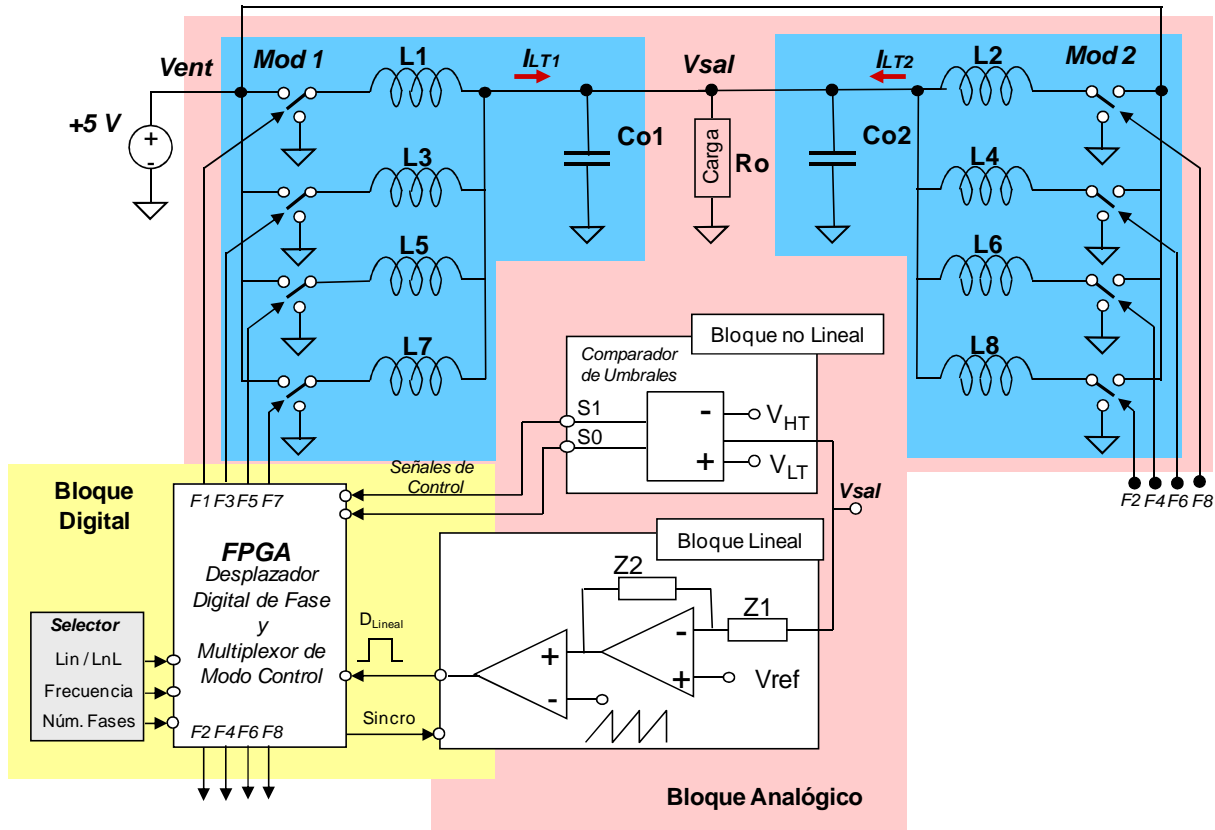


Fig. 6.9 Convertidor reductor síncrono multifase reconfigurable con control mixto.

Módulo Regulador Tensión (VRM) es el encargado de alimentar la carga equivalente (microprocesador). Como fue explicado en capítulos anteriores, la etapa de potencia ha sido desarrollada conectando varios convertidores reductores síncronos en paralelo con entrelazado. Para nuestro caso particular, se puede seleccionar el número de fases del convertidor (cuatro u ocho fases) además de la frecuencia de conmutación (300kHz y 600kHz), es decir que se puedan configurar 4 topologías de convertidor reductor síncrono con entrelazado, 4 fases 300kHz, 4 fases 600kHz, 8 fases 300kHz, 8 fases 600kHz.

El *Bloque Lineal* establece el modo lineal de operación de la estrategia de control descrita (ver capítulo 4 epígrafe 4.4, control LnL). Para su implementación se ha diseñado un regulador lineal clásico tipo III el cual se detallará más adelante. Un detalle muy importante a tener en cuenta para la comprensión del funcionamiento del convertidor es que el periodo de de la señal PWM a la salida del bloque lineal ( $T_{pwm}$ ), es constante para todas las configuraciones (topología-control-frecuencia-número de fases) y es igual al periodo mínimo de conmutación para el cual está diseñado el VRM, es decir,  $T_{pwm}=1,6\mu s$  (corresponde una

frecuencia de conmutación de  $f_{sw}= 600\text{kHz}$ ). Si bien es cierto que unas configuraciones de VRM se ven favorecidas, ya que funcionan con un ancho de banda relativo mayor, el diseño permite el estudio de varias topologías.

El *Bloque no Lineal* establece el modo de operación no lineal del control. Está formado por dos comparadores de tensión, que generan las señales de control  $S_0$  y  $S_1$ . Estas señales de control son el resultado de la comparación asíncrona de la tensión de salida  $V_{sal}$  con las tensiones de umbral:  $V_{HT}$  y  $V_{LT}$  (ver figura 4.2, capítulo 4).

El *Bloque Selector* es externo y permite configurar alguno de los parámetros del VRM. Por ejemplo, permite seleccionar el tipo de control, lineal o no LnL, (Lin/LnL), la frecuencia de conmutación del VRM, (Frecuencia), y el número de fases del VRM (Núm. Fases).

El *Bloque Digital* es el encargado de generar el desfase correspondiente a cada una de las fases del VRM según la configuración y seleccionar el modo de control del VRM con control LnL. Para un rápido prototipado del convertidor fue seleccionada como plataforma de diseño del bloque digital una FPGA Spartan III de Xilinx, aprovechando toda la flexibilidad que este tipo de plataforma nos brinda en cuanto a reconfiguración del sistema se refiere.

Todas las partes internas del bloque digital han sido diseñadas vía *software* utilizando un lenguaje de descripción de *hardware* estándar (VHDL). La descripción del *hardware* realizada en VHDL ha sido sintetizada y simulada con otras herramientas de programación que finalmente convierten el código VHDL en celdas lógicas que posteriormente serán implementadas dentro de la FPGA.

Teniendo en cuenta el planteamiento la complejidad del problema se hace necesario explicar cómo se generan cada una de las señales de control de cada una de las fases para cada una de las posibles configuraciones del VRM. Se plantea la necesidad de diseñar un VRM que permita configurar dos periodos de conmutación:  $T_{sw\ 300}=3,3\mu\text{s}$  (frecuencia de conmutación  $f_{sw}=300\text{kHz}$ ) y  $T_{sw\ 600}=1,6\mu\text{s}$  (frecuencia de conmutación  $f_{sw}=600\text{kHz}$ ) y dos configuraciones de VRM con 4 y 8 fases.

Los periodos de conmutación de han escogido  $T_{sw\ 300}=2\ T_{sw\ 600}$ , para facilitar el diseño ya que con solo variar el periodo del reloj del sistema  $T_{Clk}$ , utilizando el mismo

*hardware/software*, se puede modificar el periodo de conmutación de las señales de control de cada una de las fases. Teniendo en cuenta esto, el diseño debe dimensionarse según las peores condiciones, es decir, mínimo periodo de conmutación, máximo número de fases. De aquí se deriva una conclusión muy importante y es que el periodo de la señal PWM que proviene del bloque analógico  $T_{PWM}$ , tiene que ser igual al periodo mínimo de la señal de salida,  $T_{sw\ min} = T_{sw\ 600}$ .

### 6.5.1 GENERACIÓN DE LAS SEÑALES DE CONTROL CUANDO EL PERIODO DE CONMUTACIÓN ES IGUAL AL PERIODO DE LA SEÑAL PWM DEL BLOQUE LINEAL

Inicialmente es necesario comprender el principio de generación de los pulsos de disparo de cada una de las fases para los diferentes periodos de conmutación. En la figura 6.10, se muestra el diagrama de tiempos del convertidor multifase con regulador lineal, cuyo periodo es  $T_{PWM}$ .

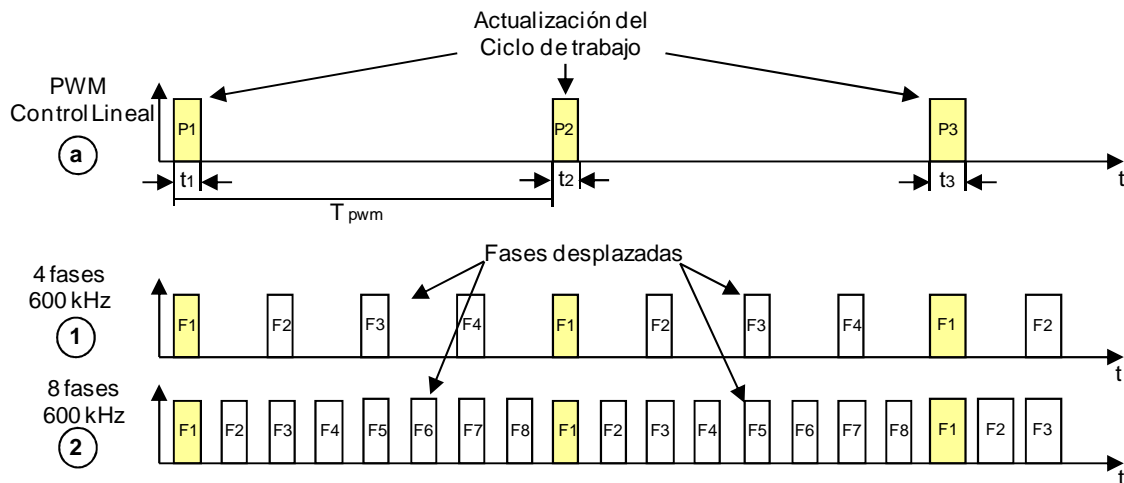


Fig. 6.10 Generación de las señales de disparo para un VRM de 4 y 8 fases entrelazadas con periodos de conmutación  $T_{sw} = T_{pwm}$

Los pulsos sombreados en cada una de las gráficas representan los instantes de tiempo en que se actualiza el ciclo de trabajo. En la figura 6.10 (a), se muestra el diagrama de tiempo correspondiente a la señal PWM generada en el bloque analógico por el bloque lineal ( $P_{pulso}$ ) y las señales de control de cada una de las fases ( $F1$ - $F8$ ) para el caso de un VRM de 4 fases, figura 6.10 (1), u 8 fases entrelazadas, figura 6.10 (2).

Para el caso cuando el periodo de conmutación es igual a  $T_{pwm}$  la solución es la menos compleja. En este caso, el periodo de la señal de salida del regulador lineal corresponde con el periodo de conmutación del convertidor, figura 6.10 (a). Aquí todas las señales de control de cada una de las fases se obtienen a partir de registros de desplazamiento, figura 6.10 (1) para el caso de 4 fases y figura 6.10 (2) para el caso de 8 fases. Por ejemplo, para el caso de un convertidor multifase de 4 fases con periodo de conmutación  $T_{sw} = T_{pwm}$ , figura 6.10 (1), todas las señales de las fases F1-F4 tienen el mismo ciclo de trabajo que el correspondiente a P1, figura 6.10 (a).

En el instante de tiempo P2, el ciclo de trabajo se actualiza nuevamente y las señales de las fases F1-F4, tendrán un nuevo ciclo de trabajo correspondiente con la nueva actualización. Este comportamiento es similar para el caso en que el periodo de conmutación es  $T_{sw} = T_{pwm}$ , con 8 fases de salida figura 6.10 (2).

Es evidente que el ciclo de trabajo se actualiza solo una vez en cada periodo de conmutación.

### **6.5.2 GENERACIÓN DE LAS SEÑALES DE CONTROL CUANDO EL PERIODO DE CONMUTACIÓN ES IGUAL AL DOBLE DEL PERIODO DE LA SEÑAL PWM DEL BLOQUE LINEAL**

En este caso la solución es mucho más compleja debido a que el periodo de conmutación  $T_{sw}=2 T_{PWM}$ . Aquí se hace necesario generar un ciclo de trabajo equivalente que deberá ser igual al doble del ciclo de trabajo a la salida del regulador lineal, es decir,  $D_{eq}=2D_{Lin}$ .

En la figura 6.11 (a), se muestra el diagrama de tiempo correspondiente a la señal PWM generada en el bloque analógico por el bloque lineal (Ppulso). Los pulsos Mpulso, figura 6.11 (b), representan la señal PWM pero con un ciclo de trabajo igual al doble de la señal PWM generada por el bloque lineal. Las señales de control de cada una de las fases (F1-F8) se muestran para el caso de un VRM de 4 fases, en la figura 6.11 (1), y para 8 fases entrelazadas, en la figura 6.11 (2).

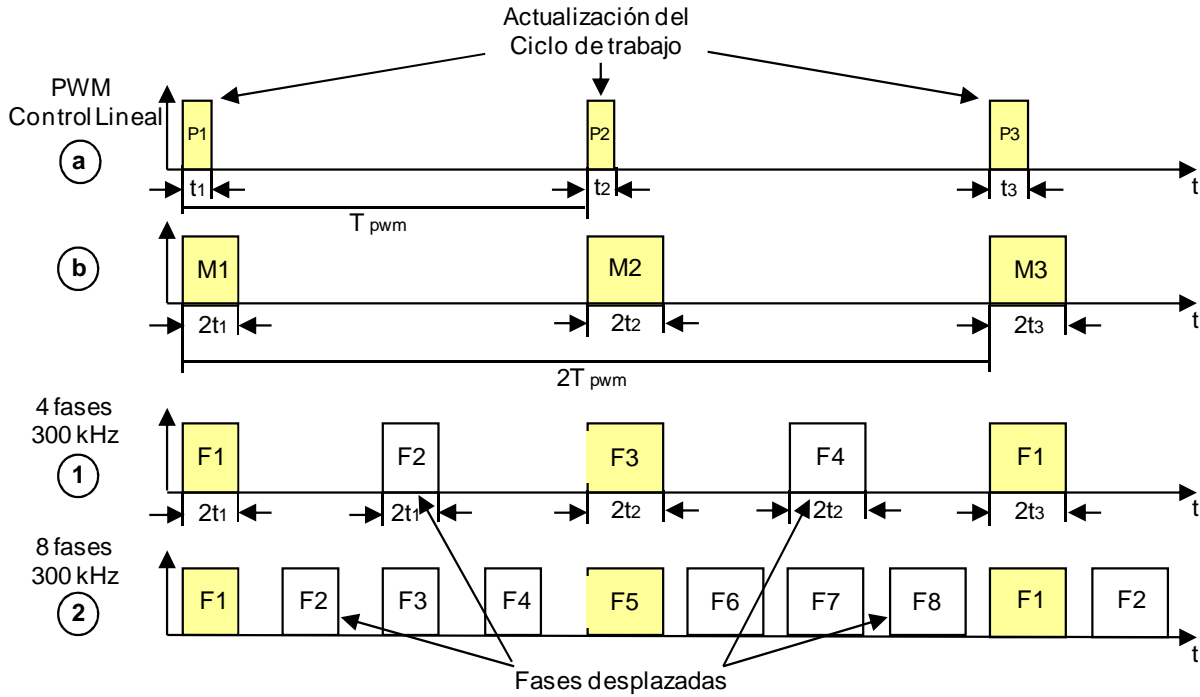


Fig. 6.11 Generación de las señales de disparo para un VRM de 4 y 8 fases con periodos de conmutación  $T_{sw} = T_{pwm}$

Los pulsos que provienen del control lineal (Ppulso) tienen un periodo  $T_{PWM}$  y un ciclo de trabajo  $D_L$ . Si se quiere obtener una señal con periodo de conmutación del convertidor multifase dos veces mayor que  $T_{pwm}$ , es necesario variar los parámetros del bloque lineal. También se puede utilizar una configuración que permita, usando los mismos parámetros de diseño, obtener el nuevo valor del periodo de conmutación, en este caso  $T_{sw} = 2T_{pwm}$ .

Se parte de que si se quiere obtener un periodo de conmutación cuyo valor sea el doble del periodo de la señal de salida del bloque lineal ( $T_{sw} = 2T_{pwm}$ ), primero es necesario obtener el ciclo de trabajo equivalente, o sea  $D_{eq} = 2 \cdot D_L$ , figura 6.11 (b). Esta transformación se obtiene con ayuda del bloque digital. Una vez que se tiene el nuevo ciclo de trabajo equivalente (Mpulso), es necesario separar cada uno de los pulsos en dos canales: por uno irán los pulsos impares y por el otro canal los pulsos pares (esta definición de pulsos pares e impares solamente permite diferenciar la posición relativa del pulso dentro de una secuencia).

Como se puede observar en la figura 6.11 (b), el periodo entre cada uno de los pulsos de igual categoría, ya sean solo entre los pares o entre los impares (por ejemplo entre los pulsos  $M1$  y  $M3$ , figura 6.11 (b)), es igual a  $2T_{pwm}$ .

Si se quiere configurar un convertidor de 4 fases con un periodo de conmutación  $2T_{pwm}$ , a partir de los pulsos impares, pulso M1, figura 6.11 (b), se obtendrán las señales de control de las fases F1-F2. Los pulsos pares, pulso M2, figura 6.11 (b), definirán el resto de las señales de control, es decir las fases F3-F4. Hay que destacar que en este caso, la actualización del ciclo de trabajo ocurre solamente en los instantes de tiempo correspondiente con las fases impares es decir F1 y F3 (pulsos sombreados figura 6.11). Las fases pares se obtienen con ayuda de un registro de desplazamiento. Esto implica que las señales de las fases F2 y F4, tendrán los mismos ciclos de trabajo que las señales de las fases F1 y F3, respectivamente.

Si se desea modificar el número de fases, por ejemplo a 8 fases, figura 6.11 (2), con periodo de conmutación igual a  $2T_{pwm}$ , las señales de control de las fases F2, F3 y F4, tienen el mismo ciclo de trabajo que la F1. Estas señales se obtienen con ayuda de registros de desplazamiento. De forma similar se obtienen las señales de control de las fases F6, F7 y F8 a partir de la señal F5, figura 6.11 (2).

Un detalle muy importante a tener en cuenta, es que en ambas configuraciones el ciclo de trabajo se actualiza dos veces por cada período de conmutación. Esto ofrece cierta ventaja a las configuraciones de baja frecuencia de conmutación (300kHz) en cuanto a la dinámica del convertidor.

Como se ha comprobado, el método utilizado para generar las señales de control de cada una de las fases está basado en registros de desplazamiento (ver capítulo 4, epígrafe 4.5.2). Este método aunque es sencillo desde el punto de vista de la implementación no ofrece las mejores características en cuanto a respuesta dinámica, ya que el ciclo de trabajo de cada una de las fases se actualiza solo una vez en cada período de conmutación.

## **6.6 IMPLEMENTACIÓN DE LAS CONFIGURACIONES DE FUNCIONAMIENTO DE LOS VRM CON CONTROL MIXTO**

En este epígrafe se hace una descripción detallada de cómo y qué componentes intervienen el proceso de generación de las señales de control para cada una de las



configuraciones topológicas diseñadas. Además, se describen cada uno de los parámetros de diseño del bloque digital y cómo influyen estos en la dinámica del convertidor.

### 6.6.1 DESCRIPCIÓN DEL DIAGRAMA DE BLOQUES DETALLADO DEL CONTROL MIXTO

En la figura 6.12 se muestran cada uno de los bloques que forman el control mixto analógico/digital.

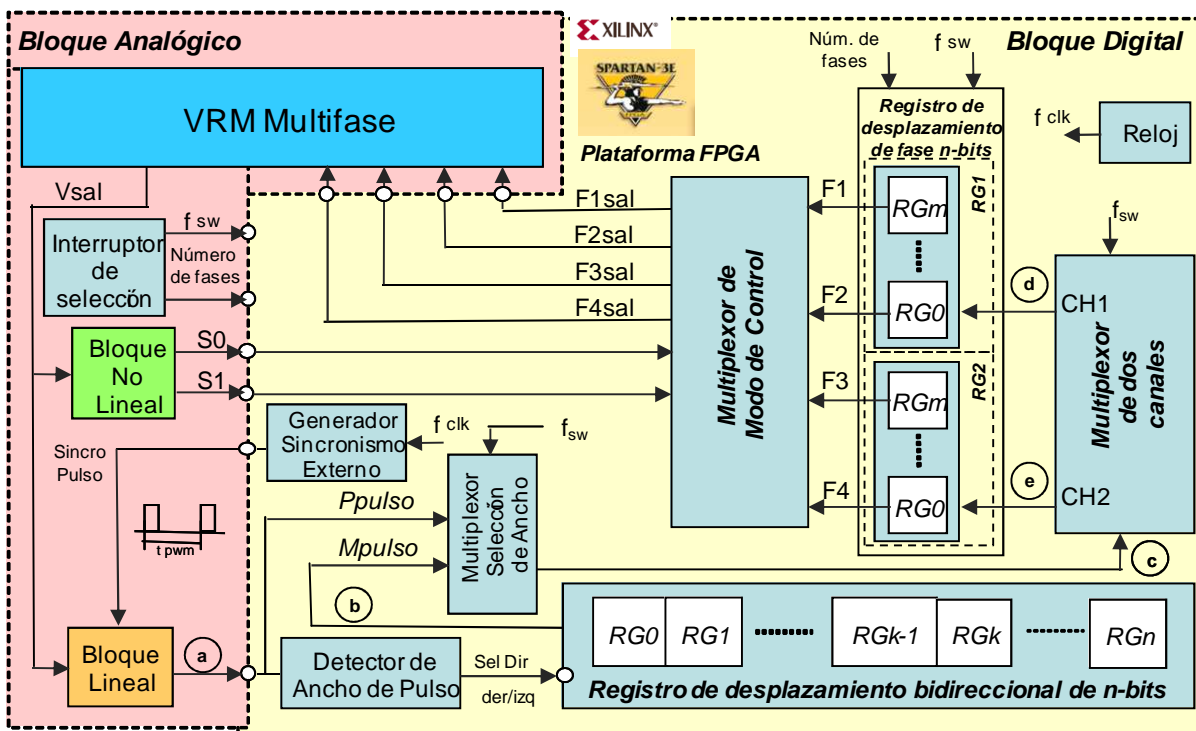


Fig. 6.12 Diagrama en bloques del convertidor VRM con control mixto.

El funcionamiento de cada uno de los bloques y sus principales características se definen a continuación:

**Reloj de la FPGA** establece periodo de funcionamiento y sincronización de todos los elementos digitales implementados en la FPGA. La relación entre el periodo de reloj ( $T_{CLK}$ ) y el periodo de la señal analógica PWM ( $T_{pwm}$ ) determina la resolución del ciclo de trabajo del sistema. De aquí, que el periodo de reloj debe ser escogido de acuerdo con los requerimientos en cuanto a la resolución mínima requerida de la tensión de salida, ver epígrafe 6.4.

**Generador de Sincronismo Externo** (GSE) es el encargado de generar el pulso de sincronismo del regulador lineal analógico con el objetivo que la frecuencia de salida de éste, tenga el valor fijo impuesto por el circuito digital de sincronización y que no dependa de los parámetros y tolerancias del circuito analógico. Esta sincronización es crítica e indispensable ya que de esta manera se garantiza la precisión con que se establecerá el desfase entre cada una de las señales de disparo de cada fase y así garantizar el balance de corriente entre cada una de las fases del VRM.

**Detector de Ancho de Pulso** (DAP) detecta cada uno de los flancos (subida y bajada) del pulso de salida del bloque lineal ( $P_{\text{pulso}}$ ) en sincronismo con el reloj interno de la FPGA. Esta información es utilizada posteriormente para generar un pulso equivalente con el doble ancho ( $M_{\text{pulso}}$ ) del pulso de salida del bloque lineal, para su posterior procesamiento digital.

**Registro de Desplazamiento Bidireccional** (RDB) modifica el código equivalente al ancho del pulso de entrada ( $P_{\text{pulso}}$ ) en el doble ( $M_{\text{pulso}}$ ) con el objetivo de obtener el ancho equivalente cuando el periodo de conmutación ( $T_{\text{sw}}$ ) es diferente del periodo de la señal PWM del bloque lineal ( $T_{\text{pwm}}$ ). El número de bits  $N_{\text{RDB}}$  del RDB está determinado por la resolución de la tensión de salida,  $\Delta V_{\text{oL}}$ , para el caso del VRM con control lineal y  $\Delta V_{\text{oLnL}}$ , para el caso del VRM con control LnL, ver ecuaciones (6.12) y (6.19) respectivamente.

El análisis y los cálculos posteriores para el dimensionamiento del RDB, son similares a los expuestos en los epígrafes 6.5.1 y 6.5.2. El número de bits del RDB depende del periodo de la señal que proviene del bloque lineal,  $T_{\text{PWM}}$ , del periodo de reloj del sistema,  $T_{\text{Clk}}$  y del tiempo muerto,  $t_{\text{TM}}$ , de la rampa del modulador en el bloque lineal. Esto hace que el ciclo de trabajo de la señal PWM no varíe entre 0 y 100%. Este tiempo se puede expresar como:

$$T_{\text{TM}} = k_{\text{TM}} \cdot T_{\text{PWM}} \quad (6.21)$$

donde:  $k_{\text{TM}}$  es una constante que depende del diseño y representa un tanto por ciento del periodo de conmutación,  $T_{\text{PWM}}$ , ( $0,9 < k_{\text{TM}} < 1$ ).

Entonces:

- para el caso del VRM con control lineal

De acuerdo con la expresión 6.13, el número de bits del registro de desplazamiento bidireccional, RDB,  $N_{RDBL}$  se define como:

$$N_{RDBL} = \frac{T_{PWM} - T_{TM}}{T_{CLK}} \quad (6.22)$$

- para el caso del VRM con control LnL

De acuerdo con la expresión 6.20, el número de bits del registro de desplazamiento bidireccional, RDB,  $N_{RDBLnL}$  se define como:

$$N_{RDBLnL} = \frac{T_{PWM} - T_{TM}}{T_{CLKLnL}} \quad (6.23)$$

Hay que aclarar que las expresiones obtenidas son genéricas y dependen del diseño. Para el caso de este proyecto donde un mismo *hardware/software* se utiliza para implementar diferentes configuraciones de VRM, en el proceso de dimensionamiento de estos componentes se han seleccionado las configuraciones más críticas: mayor número de fases, mayor frecuencia de conmutación.

**Multiplexor de Selección de Ancho de Pulso (MSAP)** permite seleccionar la señal de entrada adecuada ya sean los pulsos  $P_{pulso}$  o  $M_{pulso}$  en función del periodo de conmutación seleccionado. Si el periodo de conmutación de las señales de control  $T_{sw}$  es igual al periodo de la señal PWM,  $T_{pwm}$  la señal seleccionada será la señal analógica sincronizada que proviene del control lineal ( $P_{pulso}$ ). En el caso en que el periodo de conmutación  $T_{sw}$  sea el doble del periodo de la señal PWM,  $T_{pwm}$ , se seleccionará la señal con el ancho de pulso equivalente al doble del ancho del pulso de entrada ( $M_{pulso}$ ).

**Multiplexor de Selección de dos Canales (MS2C)** sus salidas son función del número de fases y de la frecuencia de conmutación. Es reconfigurable y solo se utiliza para el caso en que  $T_{sw} = 2T_{pwm}$ . MS2C redirecciona la secuencia de pulsos de entrada hacia dos canales CH1, para los pulsos impares y CH2 para los pulsos pares de la secuencia de pulsos de la señal de entrada  $M_{pulso}$ .

**Registro de Desplazamiento de Fase (RDF)** está formado por dos registros idénticos con igual número de bits, RG1 y RG2. Es reconfigurable y depende tanto de la frecuencia de conmutación seleccionada como del número de fases. En dependencia de estos parámetros se selecciona el desfase ( $\phi$ ) entre cada una de las fases de las señales de disparo. El desfase se logra mediante retardos de una señal primaria (CH1 o CH2) obtenidos con registros de desplazamiento. La magnitud de  $T_\phi$  se puede determinar según la ecuación (6.15).

**Multiplexor de Modo de Control (MMC)** determina cuales son las señales de disparo para cada una de las fases del VRM en dependencia del modo de operación seleccionado, control lineal o control lineal no lineal. Para el caso en que sea seleccionado el modo de operación como control LnL las señales de disparo de cada una de las fases del VRM dependerán del estado de las señales de control  $S_0$  y  $S_1$ . Estas señales son asíncronas y provienen del bloque analógico.

Un detalle muy importante es que en el diagrama de bloques general, figura 6.12, no están incluidos una serie de elementos necesarios para el correcto funcionamiento del convertidor. Estos componentes adicionales no son necesarios para la comprensión del funcionamiento del diseño implementado aunque es importante caracterizarlos de forma general.

El bloque analógico y el digital funcionan con tensiones de alimentación diferentes (12V y 3,3V respectivamente), es por ello que es necesario incluir convertidores de nivel (*voltage level shifting*) que son los encargados de convertir los niveles de tensión y corrientes de las señales que provienen tanto del bloque digital hacia el bloque analógico, y viceversa, en señales de tensión y corrientes que garanticen el correcto funcionamiento de cada una de las partes.

Además, cuando se trabaja con señales digitales y analógicas asíncronas pueden aparecer otro tipo de problemas asociados a que los flancos (ejemplo de subida) de la señal analógica pueden no coincidir con los flancos de la señal de reloj del bloque digital. Estos fallos aleatorios se conocen como *metaestabilidad (Mean-Time-Between-Failure)* [Pat02], [Pet01], [Pet03].

De aquí, que el margen de fase del sistema se vea reducido por la introducción de retardos asociados tanto al sincronismo como a la adaptación de los niveles de tensión. Este factor hay que tenerlo en cuenta a la hora del diseño.

En la tabla 6.2 se resumen los parámetros de diseño del bloque digital del VRM con control lineal y control LnL mixto.

**TABLA 6.2**  
**RESUMEN DE LOS PRINCIPALES PARÁMETROS DE DISEÑO DEL BLOQUE DIGITAL**

<i>Parámetro</i>	<i>Tipo de Regulador mixto</i>		<i>Descripción</i>
	<i>Lineal</i>	<i>LnL</i>	
$\Delta V_o$	$\leq \frac{1}{k} \Delta V_{sal}$	$\leq \frac{1}{k} \Delta V_{umb}$	Resolución en tensión de la tensión de salida
$T_{Clk}$	$\frac{1}{k} T_{PWM} \frac{\Delta V_{sal}}{V_{ent}}$	$\frac{1}{k} T_{PWM} \frac{\Delta V_{umb}}{V_{ent}}$	Periodo de Reloj del sistema
$T_\varphi$	$\frac{T_{PWM}}{N_f}$		Tiempo equivalente al desfase entre cada una de las fases
$T_{TM}$	$k_{TM} \cdot T_{PWM}$		Tiempo equivalente al tiempo muerto (onda triangular del modulador)
$N_{RGD}$	$\frac{T_{PWM} - T_\varphi}{T_{ClkL}}$	$\frac{T_{PWM} - T_\varphi}{T_{ClkLnL}}$	Número de bits del registro de desplazamiento
$N_{RDB}$	$\frac{T_{PWM} - T_{TM}}{T_{ClkL}}$	$\frac{T_{PWM} - T_{TM}}{T_{ClkLnL}}$	Número de bits del registro de desplazamiento bidireccional

### 6.6.2 GENERACIÓN DE LAS SEÑALES DE DISPARO

Para explicar el proceso de generación de las señales de disparo, para cada una de las configuraciones de VRM, se partirá del diagrama de bloques de la figura 6.12. En los epígrafes anteriores se han definido y descrito cada uno de los bloques funcionales, ahora se comentará cómo se han generado las señales de disparo para cada una de las fases.

Un detalle muy importante a tener en cuenta es que el ciclo de trabajo se actualiza siempre con un periodo igual a  $T_{pwm}=1,6\mu s$  y es independiente del periodo de conmutación  $T_{sw}$ .

Para una mejor comprensión del funcionamiento del sistema se analizarán dos casos: uno cuando el periodo de conmutación es igual a  $T_{pwm}=1,6\mu s$  (frecuencia  $f_{sw}=600kHz$ ) y un segundo caso cuando el periodo de conmutación es igual  $T_{pwm}=3,3\mu s$  (frecuencia  $f_{sw}=300kHz$ ). Al igual que el epígrafe 6.5, se comenzará la explicación por la configuración menos compleja.

**Caso 1:** cuando el periodo de conmutación  $T_{sw}$  es igual a  $T_{pwm}=1,6\mu s$  (frecuencia  $f_{sw}=600kHz$ ).

En la figura 6.12, se muestra el diagrama de bloques general del VRM. En él se marcan cada una de las señales que intervienen en el proceso de generación de las señales de control del VRM. Como se analizó en el epígrafe 6.5, partiendo de que el periodo de actualización del ciclo de trabajo de la señal que proviene del bloque lineal es  $T_{pwm}=1,6\mu s$  (frecuencia  $f_{sw}=600kHz$ ), figura 6.13 (a).

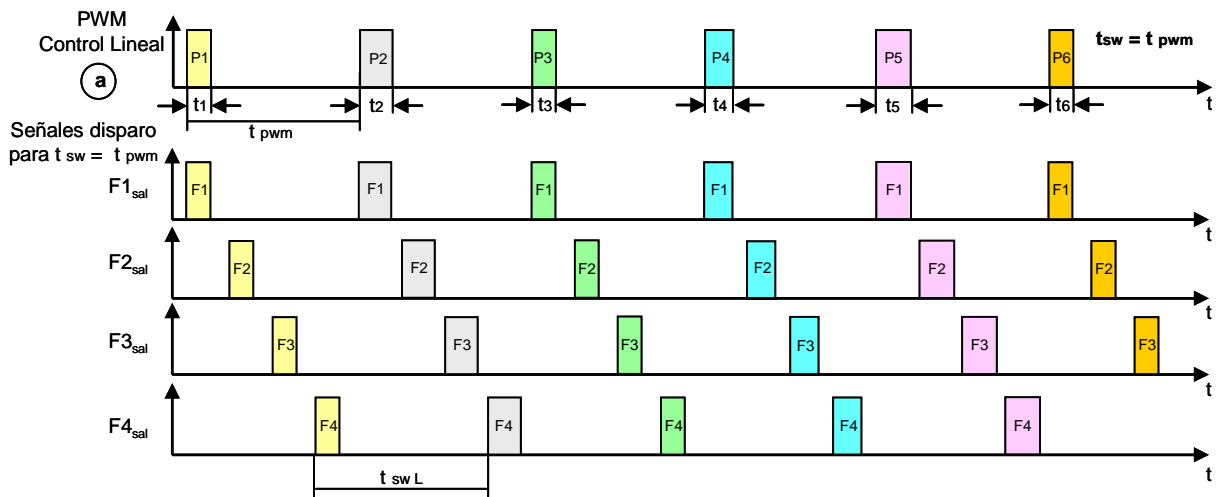


Fig. 6.13 Generación de las señales de disparo para un VRM de 4 fases y periodo de conmutación  $T_{sw} = T_{pwm}$ .

La señal que proviene del bloque lineal ( $P_{\text{pulso}}$ ) con periodo  $T_{\text{PWM}}$ , figura 6.13 (a), pasan directamente al registro de desplazamiento de  $n$  bits. En este registro se genera el retardo correspondiente entre cada una de las señales de control de cada una de las fases, F1, F2, F3 y F4. Para el caso de 8 fases, las señales de control de cada una de las fases restantes F5, F6, F7 y F8, se generan de forma similar mediante registro de desplazamiento.

En todos los casos, el ciclo de trabajo se actualiza al inicio de la fase F1 en cada periodo de conmutación con un periodo igual a  $T_{\text{PWM}}$ . Todas las fases restantes repiten el mismo ciclo de trabajo de la fase de referencia.

**Caso 2:** cuando el periodo de conmutación  $T_{\text{sw}}$  es igual a  $2T_{\text{pwm}}=3,3\mu\text{s}$  (frecuencia  $f_{\text{sw}}=300\text{kHz}$ ).

En la figura 6.12, se muestra el diagrama de bloques general del VRM. En él se marcan cada una de las señales que intervienen en el proceso de generación de las señales de control del VRM. Como se analizó en el epígrafe 6.5, partiendo de que el periodo de actualización del ciclo de trabajo de la señal que proviene del bloque lineal es  $T_{\text{pwm}}=1,6\mu\text{s}$  (frecuencia  $f_{\text{sw}}=600\text{kHz}$ ), figura 6.14 (a), es necesario convertir el ciclo de trabajo de los pulsos P,  $D_P = t_1/T_{\text{PWM}}$ , figura 6.14 (a), en un ciclo de trabajo equivalente  $D_M = 2 \cdot t_1/T_{\text{PWM}}$ , pulsos M, figura 6.14 (b). Como se puede ver los pulsos M generados, aunque mantienen el mismo período, tienen el doble del ancho que los pulsos P.

El DAP detecta el valor del ancho del pulso de la señal que proviene del bloque lineal y envía un código digital al RDB con la información del ciclo de trabajo. El RDB es el encargado de duplicar el ciclo de trabajo de la señal de entrada ( $P_{\text{pulso}}$ ) y generar a partir de esta la señal  $M_{\text{pulso}}$ . A la entrada del multiplexor de selección de ancho de pulso (MSAP) se tienen dos señales pulsantes con periodo igual a  $T_{\text{PWM}}$  ( $P_{\text{pulso}}$  y  $M_{\text{pulso}}$ ) pero de diferente ciclo de trabajo.

El MSAP es el encargado de seleccionar la señal que pasa al multiplexor de dos canales, en dependencia de la frecuencia de conmutación seleccionada. Para el caso, en que la frecuencia de conmutación del convertidor es 300kHz, el sistema genera una señal de control que permite el paso de la señal  $M_{\text{pulso}}$ , figura 6.14 (b), al MS2C.

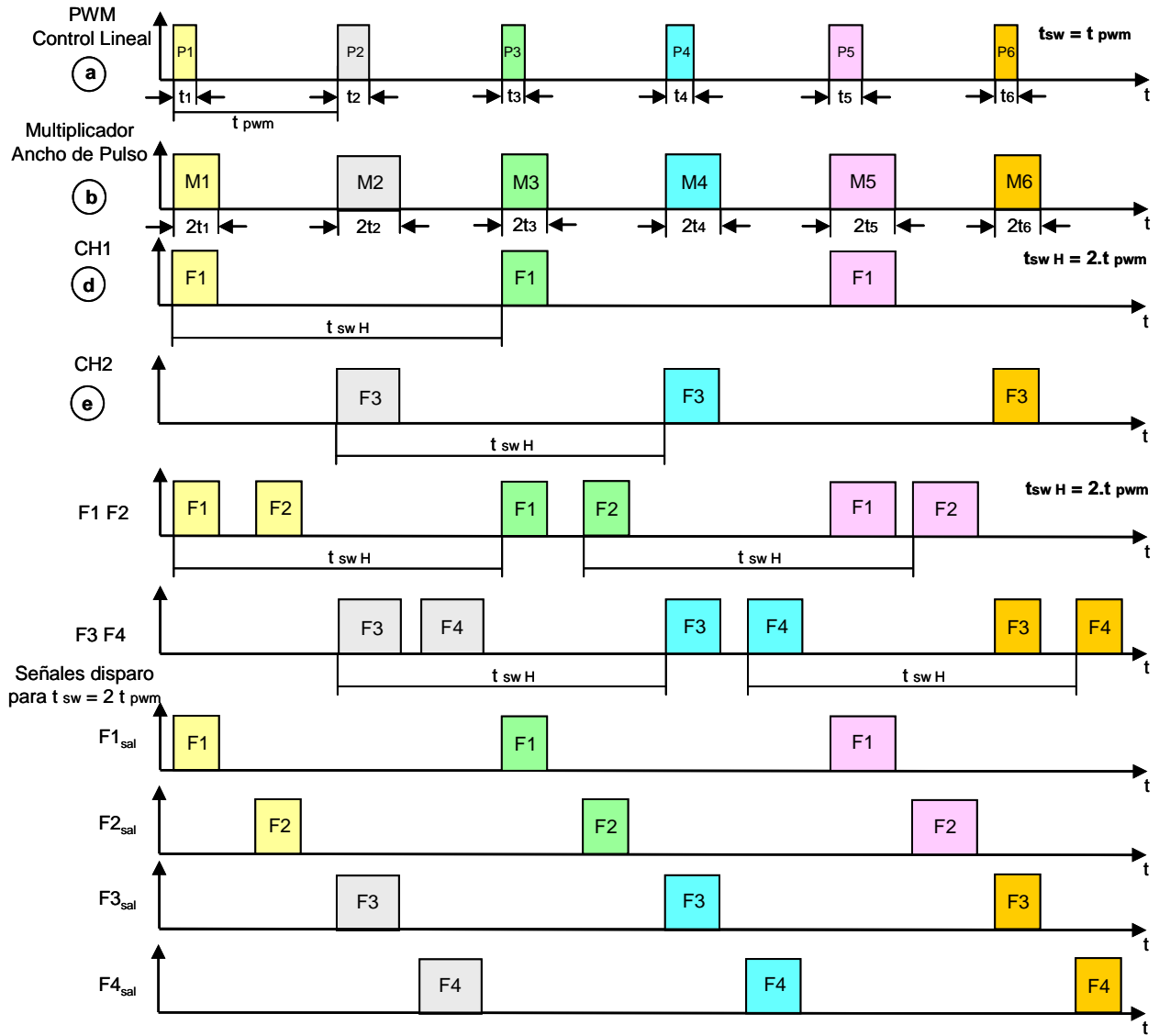


Fig. 6.14 Generación de las señales de disparo para un VRM de 4 fases y periodo de conmutación  $T_{sw} = 2T_{pwm}$ .

El MS2C redirecciona el primer pulso de la salida del MSAP al canal uno CH1 figura 6.14 (d) y el segundo al canal dos CH2 figura 6.14 (e) del multiplexor. El canal CH1 está asociado a la señal de control de la fase F1 y el canal CH2 está asociado a la señal de control de la fase F3, para el caso de que la configuración del VRM sea de 4 fases.

El registro de desplazamiento de fase (RDF), está formado por los registros de desplazamientos RG1 y RG2 y son los encargados de generar el desfase correspondiente a cada una de las señales de control de cada una de las fases. Para el caso de que la configuración del VRM sea de 4 fases, a partir de la señal del canal CH1, figura 6.14 (d), se



genera la señal F1-F2 (desplazando la señal figura 6.14 (d)) y del canal CH2 figura 6.14 (e), se genera la señal F3-F4 (desplazando la señal figura 6.14 (e)). Como resultado, se obtienen cada una de las señales de control para cada una de las fases. Este principio es válido para el caso de 8 fases solo con la diferencia que a partir de la señal CH1 figura 6.14 (d) se generan las señales de control de las fases F1-F4 y de la señal CH2 figura 6.14 (e) se generan las señales de control de las fases F5-F8.

En la figura 6.15, se muestra de forma simplificada el algoritmo de generación de las señales de control  $P_{pulso}$  y  $M_{pulso}$ , cuando el periodo de conmutación  $T_{sw}$  es igual a  $2T_{pwm} = 3,3\mu s$  (frecuencia  $f_{sw}=300kHz$ ), a partir de una señal generada en el bloque lineal con un periodo menor,  $T_{pwm} = 1,6\mu s$  (frecuencia  $f_{pwm}=600kHz$ ).

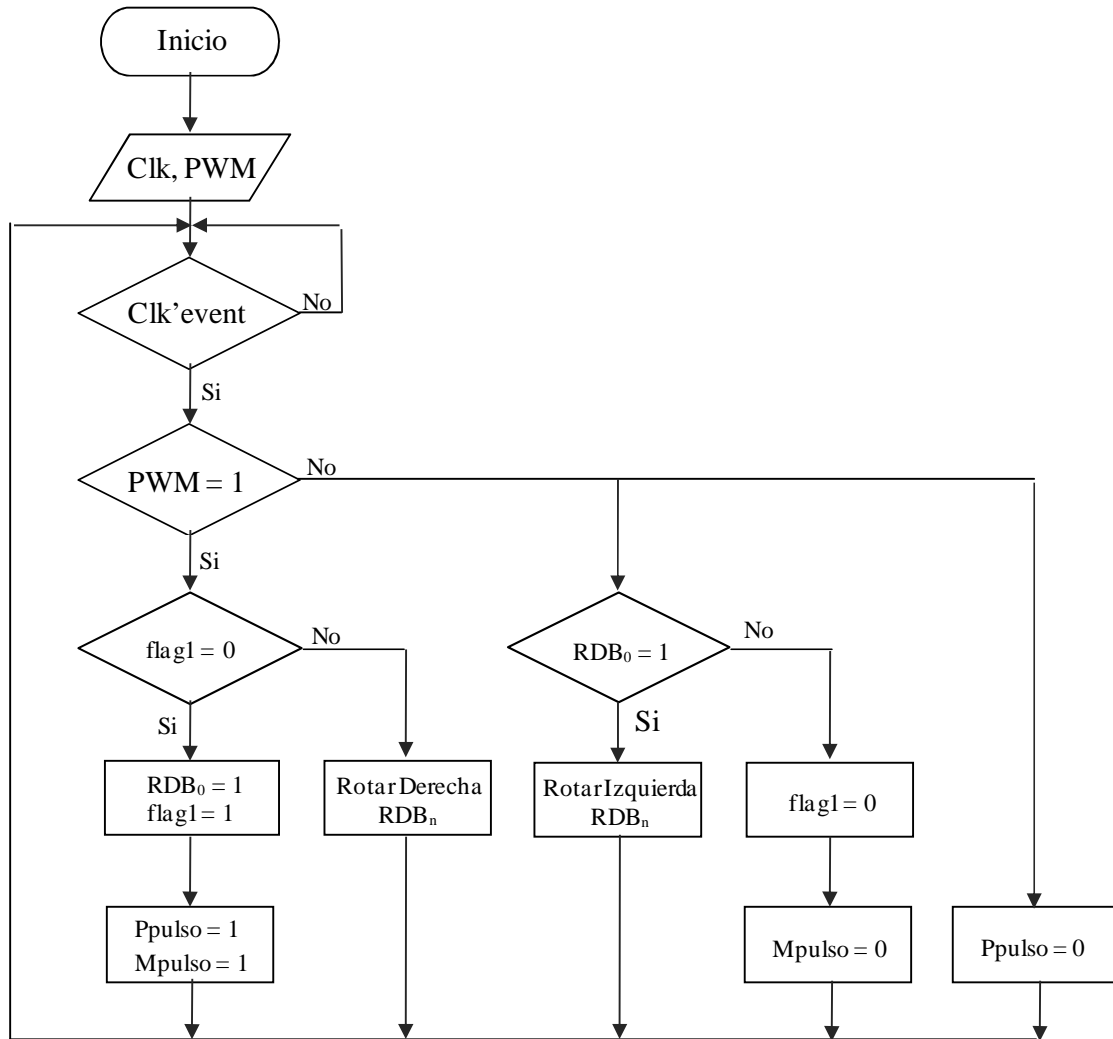


Fig. 6.15 Algoritmo de generación de las señales  $P_{pulso}$  y  $M_{pulso}$  del VRM con periodo de conmutación  $T_{sw} = 2T_{pwm}$ .

En el algoritmo se definen como señales de entrada la señal de reloj del sistema, Clk y la señal PWM generada en el bloque lineal. El estado *Clk'event* representa que ha llegado el flanco activo de la señal de reloj, este puede ser de subida o bajada. Los estados lógicos de las señales se representan con un '1' o un '0'.

Las señales de control de cada una de las fases, y esto es igual para todas las configuraciones de VRM, no pasan directamente a los *drivers* de la etapa de potencia, sino que pasan a través de un multiplexor de modo de control MMC. Este es el encargado de seleccionar cuál es la señal de salida del ciclo de trabajo en cada momento en dependencia por una parte de las señales de control  $S_0$  y  $S_1$  y por otra del tipo de control seleccionado.

En caso en que esté seleccionado el control lineal, la señal de salida del multiplexor son las señales a la salida del RDF y dependen solamente del ciclo de trabajo de la señal que proviene del bloque lineal.

Por otra parte, cuando el control seleccionado es el LnL, las señales de salida del MMC dependen de las señales asíncronas  $S_0$  y  $S_1$  que provienen del bloque no lineal en el bloque analógico. Estas señales analógicas están registradas con el objetivo de sincronizarlas con el resto de las señales del sistema. En función del estado de estas señales, el multiplexor de modo de control satura a '1' o a '0' el ciclo de trabajo de todas las fases al mismo tiempo (modo de operación no lineal).

Este diseño exige de forma general, que sea necesario la utilización de circuitos analógicos rápidos, en este caso comparadores, capaces de detectar variaciones de tensión con grandes derivadas.

Por otra parte, la plataforma digital debe funcionar a frecuencias de reloj relativamente altas, para minimizar los retardos en la generación y reproducción de las señales de control. Para garantizar un correcto funcionamiento de los bloques analógico y digital, es necesario que ambos funcionen sincronizados. La señal de sincronismo debe ser generada por el bloque digital.

## 6.7 ANÁLISIS CUALITATIVO DEL CONTROL MIXTO MEDIANTE SIMULACIONES

Para el estudio del comportamiento del control LnL aplicado a los VRM se han diseñado varias configuraciones de VRM. El objetivo es realizar un análisis cualitativo de las aportaciones de esta estrategia de control, en cuanto a mejora de las características dinámicas del convertidor: *reducción del número de fases y reducción de la frecuencia de conmutación*, en comparación con la estrategia de control lineal.

Con el fin de mostrar las posibilidades que brinda el control LnL con relación a la reducción del número de fases y la frecuencia de conmutación, se ha diseñado y simulado en el programa PSIM un conjunto de VRM, basado en convertidores reductores síncronos, con distinto número de fases y frecuencia de conmutación.

### 6.7.1 VRM CON CONTROL MIXTO. PRINCIPALES CARACTERÍSTICAS

En la tabla 6.3, se muestran los principales parámetros y especificaciones de diseño del VRM. El punto clave de este diseño es cómo obtener estas especificaciones a partir de un solo regulador.

Es evidente que al cambiar la configuración (por ejemplo el número de fases), cambian las características del filtro de salida de la etapa de potencia. Por otra parte, variar la frecuencia de actualización del ciclo de trabajo, también implica variaciones en las características generales del lazo de control.

De aquí, que para mantener el mismo regulador (mismo ancho de banda), por una parte, se deberá mantener la frecuencia de actualización del ciclo de trabajo, y por otra parte, se deberá escoger un filtro de salida tal que, la variación de sus características, (función de transferencia), entre una configuración y otra, sea despreciable.

El método utilizado para la generación de las señales de disparo de cada una de las fases es mediante registros de desplazamiento (ver capítulo 6, epígrafe 6.4.1).

**TABLA 6.3**  
**CARACTERÍSTICAS PRINCIPALES DEL VRM CON CONTROL MIXTO**

<i>Parámetro</i>	<i>Valor</i>
Tensión de entrada [V]	5
Tensión de salida [V]	1,5
Tolerancias de la tensión de salida [mV]	$\pm 30$
Banda de umbrales (control LnL) [mV]	min $\pm 2$
Inductancia de la bobina por fase [nH]	300
Inductancia de la bobina equivalente (4/8 fases) [nH]	75/37,5
Capacidad del condensador de salida [mF]	1,2
Resistencia serie equivalente del condensador de salida [m $\Omega$ ]	0,035
Escalón de carga de la corriente de salida [A]	50
Derivada máx. de la corriente de salida [A/ $\mu$ s]	40
Frecuencias de conmutación por fase [kHz]	300/600
Frecuencias de salida del modulador lineal ( $f_{PWM}$ ) [kHz]	600
Modo de control del regulador lineal	Tensión
Tipo de modulación	PWM
Número de fases	4/8
Tipo de control en modo tensión	Lin/LnL

La idea consiste, en que a partir de un mismo regulador lineal a frecuencia de salida constante, ( $f_{PWM}$ ), sin tener que cambiar los parámetros del regulador, se pueda obtener un convertidor que permita seleccionar entre dos frecuencias de conmutación. Una frecuencia igual a la frecuencia de salida del bloque lineal analógico ( $f_{sw} = f_{PWM}$ ) y otra frecuencia cuyo valor sea la mitad de ésta, ( $f_{sw}/2 = f_{PWM}$ ). Además, debe permitir seleccionar el número de fases del VRM, entre 4 u 8 fases entrelazadas.

El diseño de la etapa de potencia es modular y consta de dos módulos (*Mod 1* y *Mod 2*, ver figura 6.9 y 6.12). Cada uno de estos módulos se ha diseñado con cuatro fases. Esto permite configurar todas las etapas de salida de cada una de las configuraciones a analizar.

Para el análisis, se ha definido la banda de variación máxima de la tensión de salida como  $V_{\text{ref}} \pm 30\text{mV}$ . El ancho de banda de cada uno de los VRM diseñados se ha escogido igual a  $1/10$  de la frecuencia de conmutación equivalente, es decir  $0,1 \cdot f_{\text{sw eq}}$  o lo que es lo mismo,  $0,1 \cdot f_{\text{sw}} \cdot N_f$ . Teniendo en cuenta que la respuesta dinámica del convertidor depende del ancho de banda del regulador lineal en el caso de los convertidores con control lineal, se analiza la respuesta del convertidor con control LnL para diferentes anchos de banda del bloque lineal. Para caracterizar la respuesta ante los escalones de carga se utilizará el concepto de tiempo de retorno. Se entiende por *tiempo de retorno* de la tensión de salida,  $T_{\text{ret}}$ , el tiempo que transcurre desde el momento en que se ha producido el escalón y el momento en el que la tensión de salida entra por última vez dentro de la banda que define la variación máxima permisible de la tensión de salida es decir, la banda definida por las tensiones  $V_{\text{ref}} \pm 30\text{mV}$ .

Los convertidores diseñados para el análisis se han sometido a escalones de carga positivo de 50A con una derivada de la corriente de 40A/ $\mu\text{s}$ .

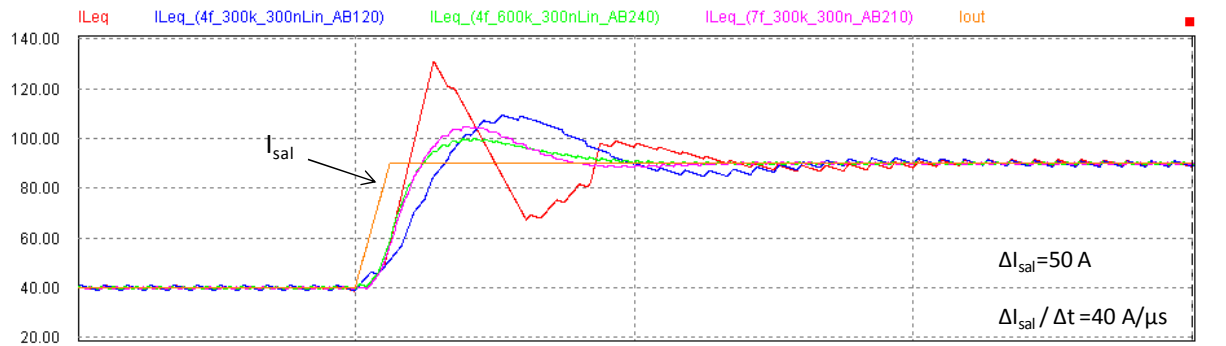
A continuación, se muestran una serie de resultados de simulación, donde se comparan de forma detallada cada una de las configuraciones estudiadas. Además, se analiza la influencia de la frecuencia de conmutación, el número de fases y el ancho de banda del bloque lineal sobre las características dinámicas de los VRM multifase con control lineal y control LnL.

Para ello, se hace el estudio de varias combinaciones posibles de comparación entre el control lineal y el control LnL:

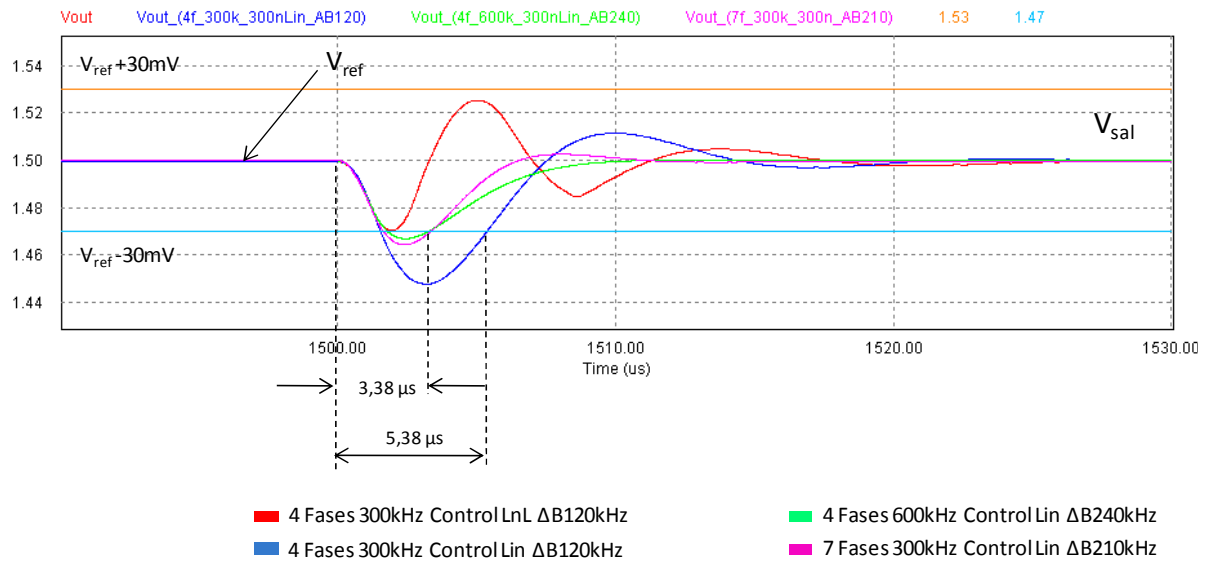
1. Igual frecuencia de conmutación e igual número de fases;
2. Igual frecuencia de conmutación y diferente número de fases;
3. Diferente frecuencia de conmutación e igual número de fases.

La comparación se realiza tomando como referencia un convertidor VRM multifase con control LnL con los parámetros de diseño más desfavorables: mínimo número de fases (4 fases) y mínima frecuencia de conmutación (300kHz).

Los principales resultados se muestran en la figura 6.16. En la figura 6.16 (a) se representa la variación de la tensión de salida del convertidor. Las líneas por encima y por debajo de la tensión de referencia definen la banda de variación de la tensión de salida según las especificaciones de partida.



(b) Corriente total equivalente



(a) Tensión de salida del VRM

Fig. 6.16 Resultados de las simulaciones de la respuesta transitoria del VRM para un escalón de corriente de salida  $\Delta I_{sal}=50A$ . Tensión de umbral  $V_{ref} \pm 15mV$ .

En la figura 6.16 (b), se muestra el escalón de la corriente de salida y la corriente total por la bobina equivalente. Analizando los resultados que se muestran en la figura 6.16, se puede deducir que un VRM de 4 fases y frecuencia de conmutación igual a 300kHz con control LnL (VRM1), presenta mejor respuesta dinámica que un VRM con las mismas características pero con control lineal (VRM2).

Esto se debe, a que el convertidor responde con una mayor derivada de la corriente de salida, lo que permite colocar el valor de la tensión de salida dentro de la banda de tolerancia más rápidamente, ver figura 6.16. En este caso, los anchos de banda de los reguladores lineales son los mismos, es decir 1/10 de la frecuencia de conmutación equivalente.

Otro resultado a destacar es que el VRM de 4 fases y frecuencia de conmutación igual a 300kHz con control LnL (VRM1), presenta una mejor respuesta dinámica que el VRM con control lineal, con mayor número de fases (7 fases) y mayor ancho de banda del bloque lineal (VRM4).

En la tabla 6.3, se resumen los principales resultados de las simulaciones para el caso de los VRM con igual frecuencia de conmutación y diferente número de fases. Aquí se puede apreciar que el incremento del número de fases, manteniendo el mismo valor de inductancia por fase, permite mejorar la respuesta dinámica del convertidor.

**TABLA 6.4**  
**COMPARATIVA DE VRM CON DIFERENTES ESTRATEGIAS DE CONTROL (DIFERENTE NÚMERO DE FASES E IGUAL FRECUENCIA DE CONMUTACIÓN).**

<i>Estrategia de Control</i>	<i>Frecuencia de conmutación [kHz]</i>	<i>Número de Fases</i>	<i>Ancho de Banda (Bloque Lineal) [kHz]</i>	<i>Tiempo de Retorno de la Tensión de Salida</i> $T_{ret\ pos}$ [μs]	<i>Variación máxima de la Tensión de Salida</i> $-\Delta V_{sal\ max}$ [mV]
Lineal	300	4	120	5,38	52,1
Lineal	300	7	210	3,38	35,6
LnL	300	4	120	-	29

Por otra parte, la variación de la tensión de salida disminuyó con el aumento del número de fases, así como los tiempos de recuperación. Aunque el VRM con mayor número de fases se encuentra más cerca del modo de conducción discontinuo, donde la ganancia del convertidor es menor.

Comparando los resultados de la tabla 6.4, es posible apreciar que la respuesta dinámica de un VRM con cuatro fases y control LnL es más rápida que la obtenida en un VRM de siete fases con control lineal. Esta es una conclusión muy importante, si se tiene en cuenta que el ancho de banda del regulador lineal del convertidor de siete fases, es casi el doble que el que presenta el convertidor de cuatro fases.

En la tabla 6.5, se resumen los principales resultados de las simulaciones para el caso de los VRM con igual número de fases y diferente frecuencia de conmutación.

TABLA 6.5

COMPARATIVA DE VRM CON DIFERENTES ESTRATEGIAS DE CONTROL (IGUAL NÚMERO DE FASES Y DIFERENTE FRECUENCIA DE CONMUTACIÓN).

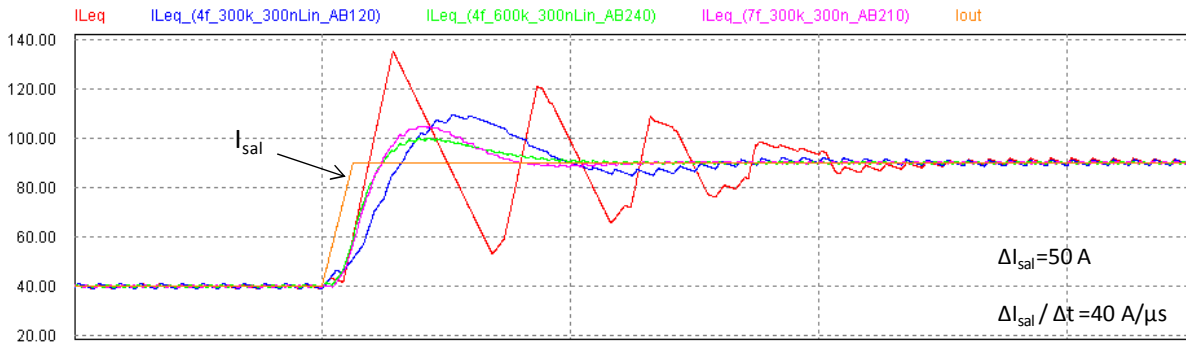
<i>Estrategia de Control</i>	<i>Frecuencia de conmutación</i> [kHz]	<i>Número de Fases</i>	<i>Ancho de Banda (Bloque Lineal)</i> [kHz]	<i>Tiempo de Retorno de la Tensión de Salida</i> $T_{ret pos}$ [μs]	<i>Variación máxima de la Tensión de Salida</i> $-\Delta V_{sal max}$ [mV]
Lineal	600	4	240	3,38	33
LnL	300	4	120	-	29

En este caso se compara un VRM de cuatro fases con control lineal y frecuencia de conmutación de 600kHz (VRM3), con un VRM de cuatro fases con control LnL y frecuencia de 300kHz (VRM1), como se puede apreciar en la figura 6.16, la respuesta del VRM con control LnL sigue siendo mejor que la conseguida por el control lineal, incluso con menor frecuencia de conmutación y ancho de banda.

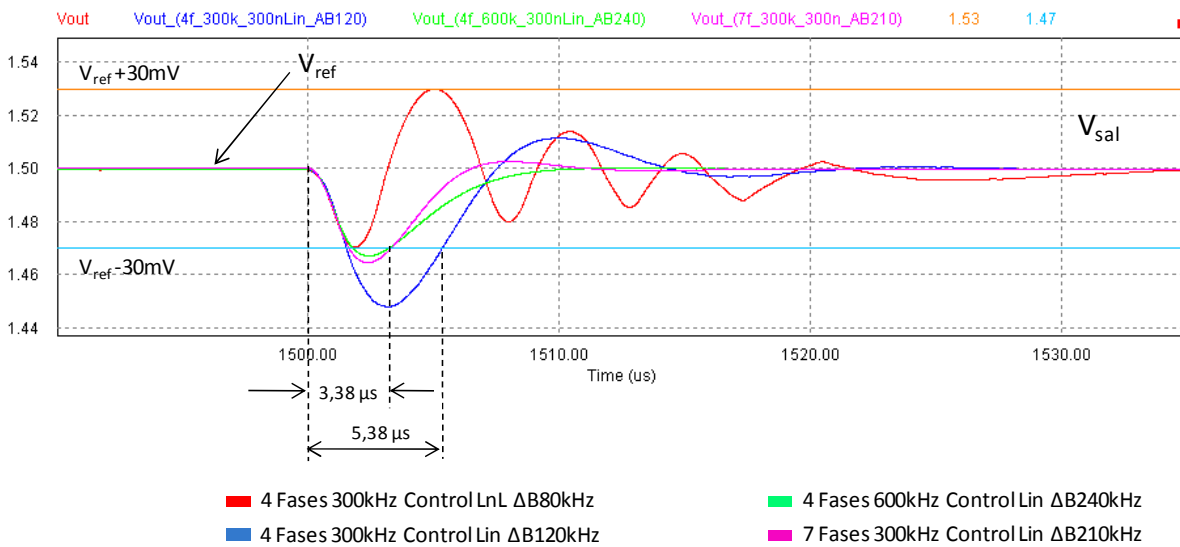
Es importante destacar, como se puede observar en la figura 6.16, que el control LnL presenta mayores oscilaciones de la corriente por fase durante el transitorio, aunque este apartado puede ser mejorado como se muestra en el capítulo 8.



Un resultado muy importante se obtiene cuando se disminuye el ancho de banda del bloque lineal del control LnL. Los resultados de las simulaciones se muestran en la figura 6.17. En este caso el VRM con el control  $\text{LnL}_{80\text{kHz}}$ , donde el ancho de banda del bloque lineal se ha reducido a 80kHz, se obtiene que la respuesta sigue siendo mejor que los dos VRM analizados con control lineal.



(b) Corriente total equivalente



(a) Tensión de salida del VRM

Fig. 6.17 Resultados de las simulaciones de la respuesta transitoria del VRM con ancho de banda del bloque lineal del control LnL igual a 80kHz ( $\Delta I_{sal}=50\text{A}$ ). Tensión de umbral  $V_{ref}-10/+3\text{mV}$ .

La diferencia entre ambos diseños con control LnL, radica en que el tiempo que tarda en alcanzar el régimen permanente es mayor para el caso del VRM con control LnL y menor

ancho de banda, ver figura 6.17 (b). Como se comentó para los resultados mostrados en la figura 6.16, el control LnL presenta mayores oscilaciones de la corriente por fase durante el transitorio.

En la tabla 6.6, se resumen los principales resultados de las simulaciones para el caso del VRM con control LnL y menor ancho de banda del bloque lineal ( $\Delta B=80\text{kHz}$ ).

**TABLA 6.6**  
COMPARATIVA DE VRM CON DIFERENTES ESTRATEGIAS DE CONTROL (DIFERENTE NÚMERO DE FASES, DIFERENTE FRECUENCIA DE CONMUTACIÓN Y ANCHO DE BANDA DEL BLOQUE LINEAL DEL CONTROL LNL REDUCIDO).

<i>Estrategia de Control</i>	<i>Frecuencia de conmutación</i> [kHz]	<i>Número de Fases</i>	<i>Ancho de Banda (Bloque Lineal)</i> [kHz]	<i>Tiempo de Retorno de la Tensión de Salida</i> $T_{ret\ pos}$ [μs]	<i>Variación máxima de la Tensión de Salida</i> $-\Delta V_{sal\ max}$ [mV]
Lineal	300	4	120	5,38	52,1
Lineal	300	7	210	3,38	35,6
Lineal	600	4	240	3,38	33
LnL <sub>60kHz</sub>	300	4	60	-	29

Por lo tanto, de los resultados de las simulaciones realizadas se puede concluir, que la utilización del control LnL permite la reducción del número de fases y de la frecuencia de conmutación, sin que esto empeore las características dinámicas del convertidor. Esto es debido a que el control LnL, hace posible desacoplar, en cierta manera, el ancho de banda del regulador lineal y la respuesta dinámica del convertidor.

Como consecuencia de los resultados obtenidos se puede deducir, que la inductancia total equivalente en un VRM multifase con control LnL, puede ser mayor que si se utiliza como estrategia de control lineal, manteniendo en ambos casos las mismas especificaciones dinámicas.

Una consecuencia de esta afirmación es la posibilidad de aumentar la inductancia por fase, reducir el número de fases, o reducir la frecuencia de conmutación del convertidor VRM. A

partir de estas conclusiones, en el capítulo 8 se plantea un análisis donde se demuestra matemáticamente el comportamiento del control LnL y se define la metodología para la optimización de estos parámetros de diseño.

A continuación, se valida experimentalmente, la influencia del control LnL en la *reducción del número de fases y de la frecuencia de conmutación*.

## **6.8 VALIDACIÓN EXPERIMENTAL DEL CONTROL MIXTO APLICADO A VRM**

Con el fin de validar las ventajas del control LnL aplicado a VRM, se ha diseñado y construido un prototipo de convertidor VRM reconfigurable según el diagrama de bloques de la figura 6.9. El diseño del control está basado en un control mixto analógico/digital según la figura 6.12.

El diseño permite seleccionar entre ocho posibles configuraciones topológicas. En función de los parámetros del VRM, se puede fijar diferente número de fases, 4 y 8 fases y diferentes frecuencias de conmutación, 300kHz y 600kHz. Todas ellas con los dos tipos de control estudiados, con control lineal y control LnL. El control LnL se toma como referencia, respecto del cual se comparan todas las configuraciones a analizar experimentalmente.

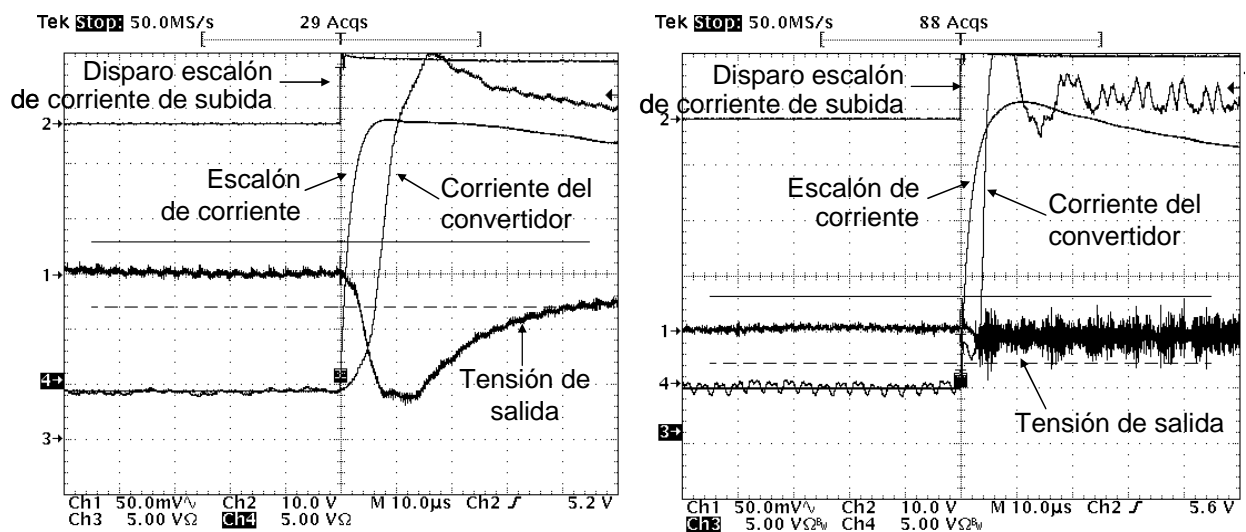
Los componentes comunes del bloque de potencia son los mismos para todas las configuraciones que se analizan. De esta manera, se trata de minimizar la dispersión de los resultados, a causa de diferencias en el diseño del circuito impreso y en el montaje.

### **6.8.1 COMPARACIÓN ENTRE EL CONTROL LINEAL Y EL CONTROL LnL**

En primer lugar, se analiza la respuesta dinámica de las diferentes configuraciones de VRM, con ambas estrategias de control. En la figura 6.18 (a) y la figura 6.18 (b), se muestran las respuestas dinámicas de un VRM de 4 fases y frecuencia de conmutación de 300kHz con control lineal y otro con control LnL, respectivamente, ante el mismo escalón de carga.

Puede comprobarse que el convertidor que incorpora el bloque no lineal responde con una pendiente mayor que el convertidor con control lineal. Por otro lado, también se puede observar un retraso entre la corriente correspondiente al escalón de carga y la corriente de salida del convertidor. Esto se debe principalmente al método utilizado para la generación de las señales de disparo de cada una de las fases.

El método utilizado está basado en registros de desplazamiento. Estas señales sufren un retardo adicional debido a que la actualización del ciclo de trabajo ocurre una vez en cada período de conmutación.



(a) Con control lineal

(b) Con control LnL

Fig. 6.18 Detalle del transitorio ante un escalón de corriente VRM de 4 fases y  $f_{sw}$  de 300kHz (escalón de corriente de 30 A, y derivada de la corriente de 10A/ $\mu$ s).

En la figura 6.19 (a), se observa la respuesta transitoria medida sobre el VRM cuando se ha seleccionado el control lineal (bloque no lineal está inactivo). En estas dos figuras, 6.19 (a) y 6.19 (b), las líneas horizontales marcadas con el cursor del osciloscopio representan los límites de la banda de tolerancia de la tensión de salida, ( $\pm 30$ mV), impuestos por las especificaciones de partida, ver tabla 6.6.

En cada gráfica, la señal representada en la parte superior corresponde con la señal de control del escalón de corriente. Es decir, el instante en el que se aplica el escalón, pero no el escalón de corriente en sí mismo. Para este diseño en particular, el ancho de banda del bloque

lineal ha sido fijado en 2kHz. Como se observa en la figura 6.19 (a), para la frecuencia de conmutación fijada, 300kHz, y considerando la implementación con registro de desplazamiento en la FPGA, las especificaciones no se satisfacen, la tensión de salida se sale de los umbrales máximos permitidos en las especificaciones.

Sin embargo, la figura 6.19 (b) muestra los resultados de los mismos experimentos, pero cuando el bloque no-lineal está habilitado. El bloque lineal y la etapa de potencia que se han empleado son los mismos que en el caso anterior, pero puede observarse que en este caso la tensión de salida siempre permanece dentro de los límites impuestos en las especificaciones (líneas horizontales).

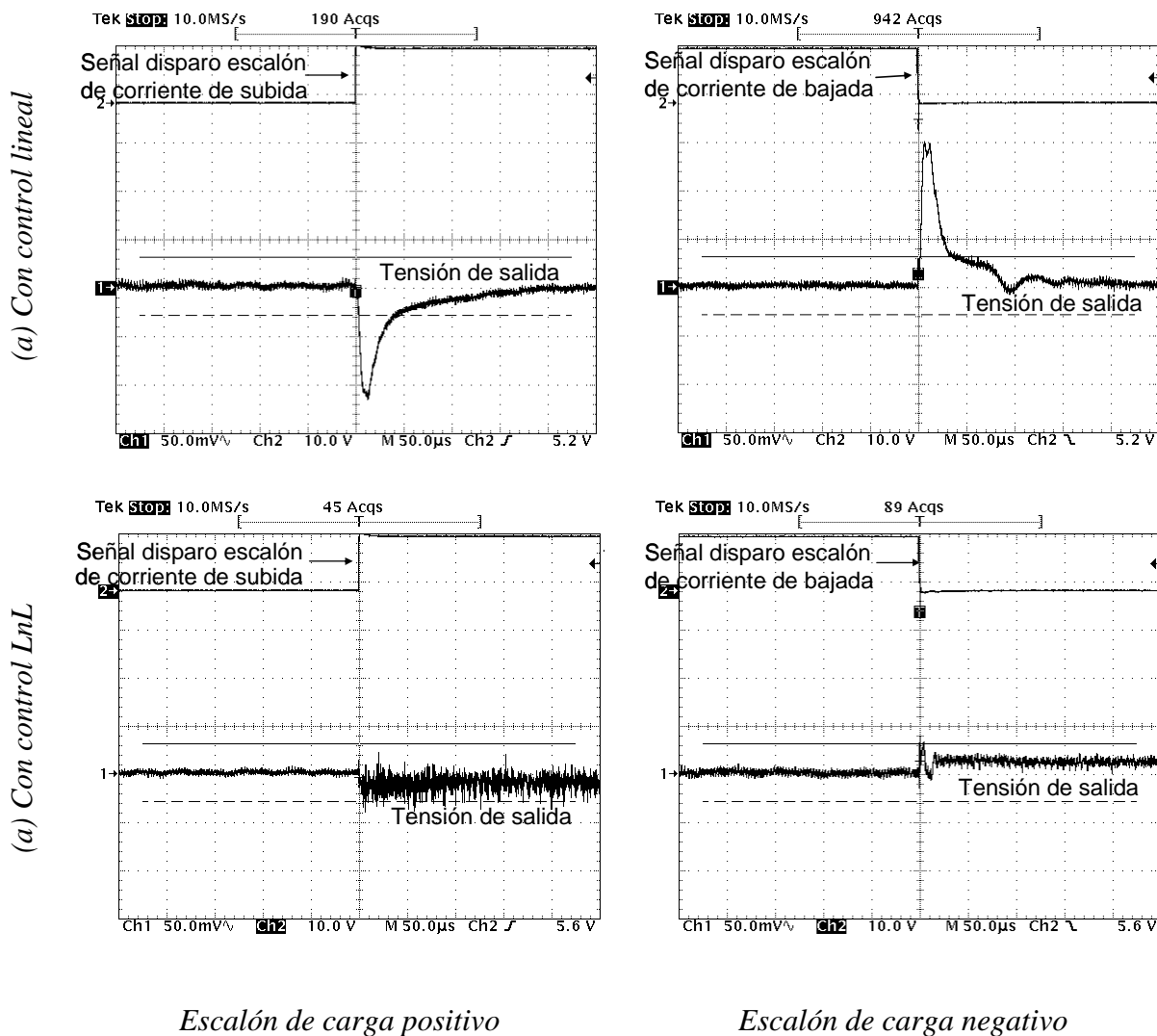


Fig. 6.19 Detalle del transitorio ante escalones de corriente VRM de 4 fases y  $f_{sw}$  de 300kHz: a) con control lineal y b) con control LnL (escalón de corriente de 30A, y derivada de la corriente de 10A/ $\mu$ s).

Como se hace referencia en el capítulo 4, en la implementación del control LnL propuesto es muy importante conocer cómo se determinan los niveles máximo y mínimo de la banda de umbral. Es evidente, que el valor de las tensiones de umbral, determinan la dinámica del sistema ante escalones de la corriente de salida, debido a que determinan el instante de tiempo en que entra en funcionamiento el bloque no lineal. En este caso, las tensiones de umbral  $V_{HT}$  y  $V_{LT}$ , se han fijado de modo experimental aproximadamente en  $V_{ref} \pm 15\text{mV}$ , de tal forma que la respuesta del VRM con control LnL pueda satisfacer las especificaciones dinámicas y de estabilidad, ver tabla 6.6.

En la figura 6.20, se muestra la respuesta dinámica del VRM multifase con control lineal (a) y con control LnL (b), ante escalones sucesivos de la corriente de carga.

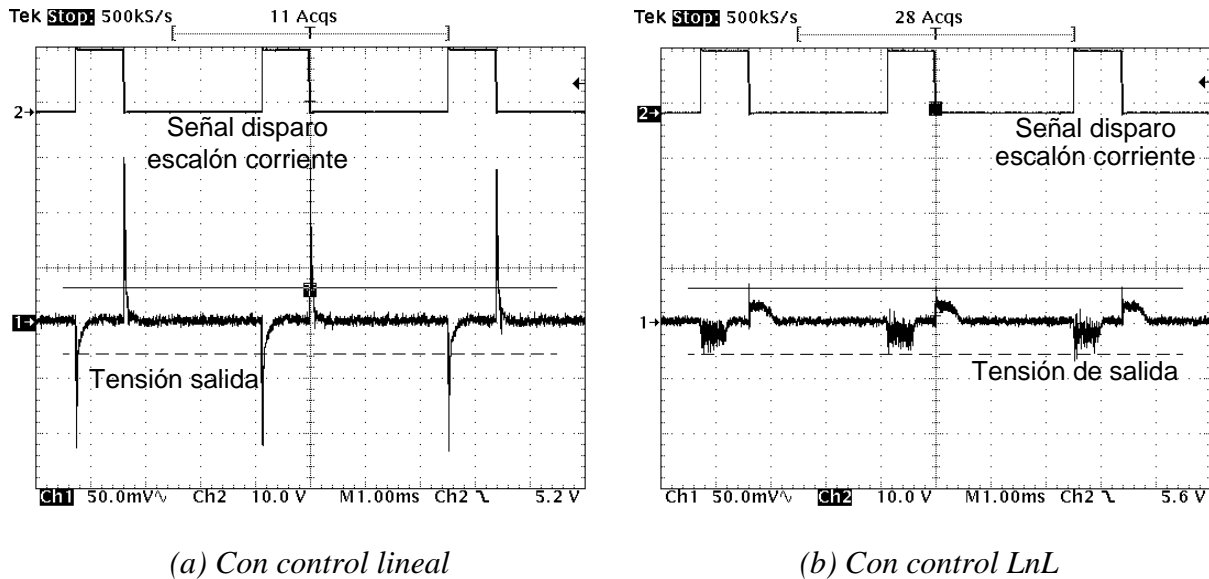


Fig. 6.20 Respuesta ante sucesivos escalones de corriente de subida y bajada VRM de 4 fases y  $f_{sw}$  de 300kHz (escalón de corriente de 30A, y derivada de la corriente de 10A/ $\mu$ s).

Como se puede observar, la respuesta dinámica del VRM con control LnL, caso (b), es mucho mejor que la del VRM con control lineal, caso (a). De aquí, se puede concluir que gracias al bloque no lineal, un control lineal que no cumple con determinadas especificaciones dinámicas, puede llegar a satisfacerlas, incluso con anchos de banda muy reducidos.

Mediante estas medidas experimentales se ha comprobado que el control LnL aplicado a los convertidores multifase con entrelazado proporciona múltiples ventajas respecto al control

lineal. Además, se ha mostrado que la utilización del control LnL permite que el mismo VRM pueda cumplir con las especificaciones iniciales exigidas.

Por lo tanto, comparando dos convertidores, uno con control lineal y otro con control LnL, se puede deducir que este último puede permitirse una inductancia equivalente mayor que el convertidor que utiliza control lineal. Esto significa, que puede adoptarse una de las siguientes opciones:

1. *Reducir el número de fases: se aumenta la simplicidad y se reduce el tamaño y los costes del convertidor;*
2. *Reducir la frecuencia de conmutación: se disminuyen las pérdidas en los interruptores y como resultado una mejora del rendimiento.*

### **6.8.2 REDUCCIÓN DE LA FRECUENCIA DE CONMUTACIÓN Y DEL NÚMERO DE FASES EN LOS VRM CON CONTROL LN<sub>L</sub>. RESULTADOS EXPERIMENTALES**

El objetivo de este grupo de experimentos es validar de forma experimental las conclusiones obtenidas como resultado del análisis de las simulaciones. Con el fin de demostrar, con mayor claridad, la capacidad que posee el control LnL de *desacoplar la respuesta dinámica y el ancho de banda*, se ha elegido, para el conjunto de pruebas a realizar, un regulador lineal idéntico, tanto para el control lineal como para el control LnL, y con un ancho de banda igual a 2kHz. El escalón de la corriente de salida es de 50A con una derivada de 40A/μs.

El conjunto de convertidores diseñados y los diferentes experimentos a analizar, se muestran en la figura 6.21. El convertidor “❶” corresponde a un convertidor de cuatro fases con entrelazado que funciona a una frecuencia de 300kHz y que utiliza un control LnL. El convertidor “❷” corresponde a un convertidor de cuatro fases con entrelazado que funciona a una frecuencia de 300kHz y que utiliza un control lineal.

El convertidor “❸” corresponde a un convertidor de cuatro fases con entrelazado que funciona a una frecuencia de 600kHz y que utiliza un control lineal. El convertidor “❹” corresponde a un convertidor de ocho fases con entrelazado que funciona a una frecuencia de 300kHz y que utiliza un control lineal. El convertidor “❺” corresponde a un convertidor de

ocho fases con entrelazado que funciona a una frecuencia de 600kHz y que utiliza un control lineal.

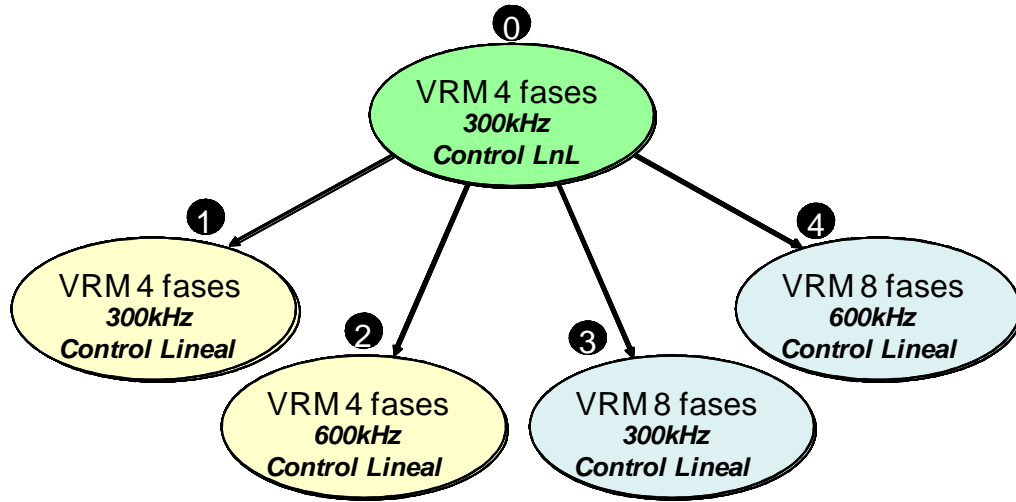


Fig. 6.21 Topologías reductoras multifase para el análisis.

Los resultados obtenidos se muestran en las figuras 6.22 a 6.26. En todas ellas se representa en la traza superior la señal de control que indica la activación y desactivación del escalón de la corriente de carga.

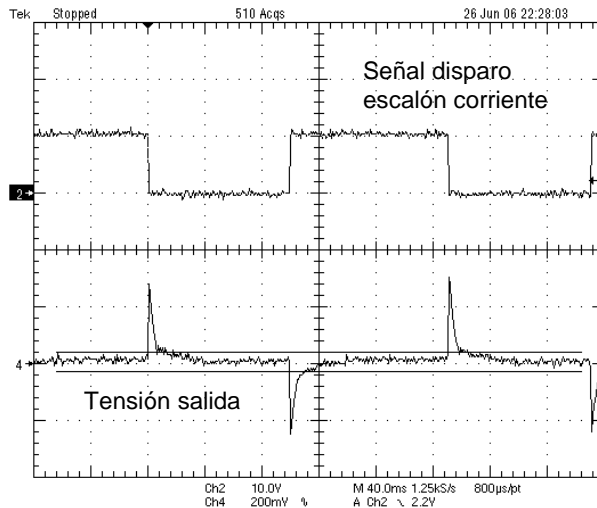


Fig. 6.22 Convertidor “0”, 4 fases, 300kHz y control lineal,  $\Delta B=2\text{kHz}$ .

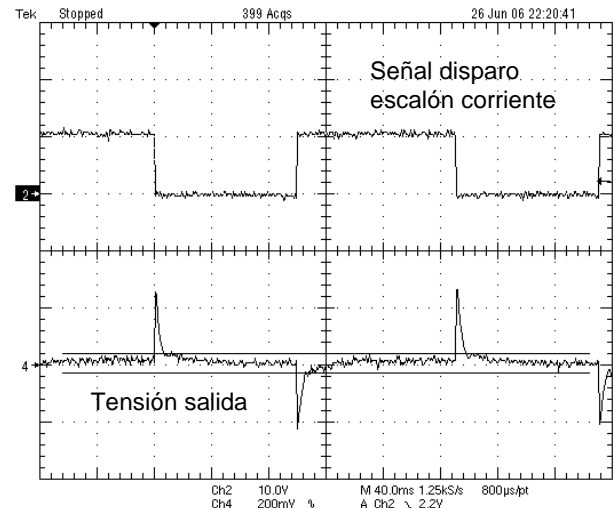


Fig. 6.23 Convertidor “2”, 4 fases, 600kHz y control lineal,  $\Delta B=2\text{kHz}$ .



En la traza inferior se representa la variación de la tensión de salida. También, junto a la traza inferior, se indican dos líneas horizontales que marcan los límites superior e inferior permitidos por la especificación ( $V_{ref} \pm 30$  mV). La tensión de salida tiene que mantenerse en un rango de variación del 2%, es decir entre  $1,47 \div 1,53$  voltios. En la figura 6.22 a 6.26, se representa la respuesta del convertidor “❶”, convertidor “❷”, convertidor “❸”, convertidor “❹”, y finalmente convertidor “❺”, respectivamente.

La primera conclusión que se puede obtener a la vista de las figuras 6.22 a 6.26, es que debido al reducido ancho de banda con el que se ha diseñado el regulador lineal, ninguna de los convertidores (❶ a ❹) cumplen con las especificaciones de variación máxima de la tensión de salida. En cualquier caso, se puede apreciar que un incremento de la frecuencia de conmutación de 300kHz (❶) a 600kHz (❷), a igualdad de número de fases, produce una mejora en la respuesta de la convertidor, ver figuras 6.22 y 6.23.

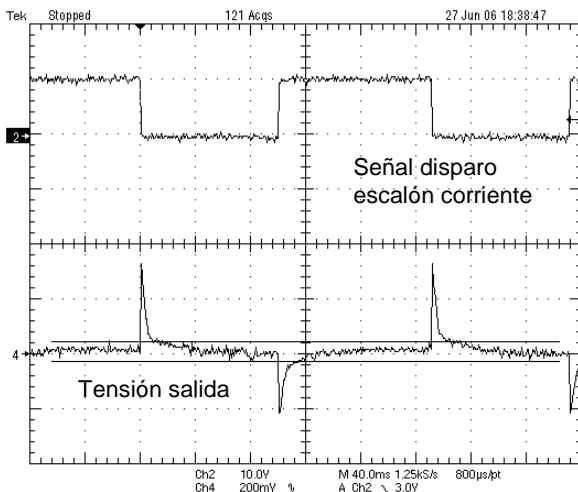


Fig. 6.24 Convertidor “❸”, 8 fases, 300kHz  
y control lineal,  $\Delta B=2$ kHz.

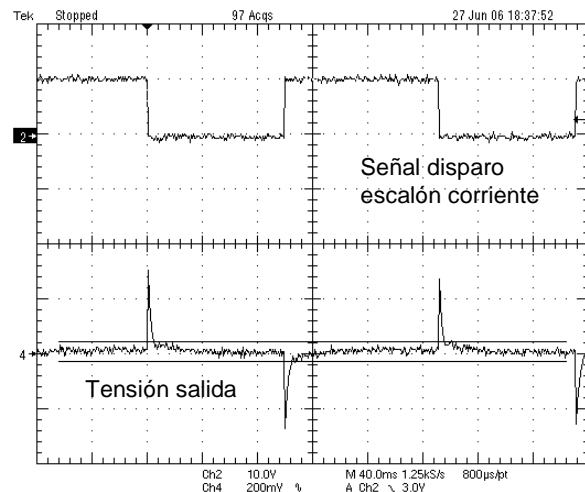


Fig. 6.25 Convertidor “❹”, 8 fases, 600kHz  
y control lineal,  $\Delta B=2$ kHz.

De la misma manera, un aumento del número de fases de cuatro (❶) a ocho (❸), a igualdad de frecuencia, 300kHz, también produce una mejora de la respuesta del convertidor, figuras 6.22 y 6.24. En ninguno de los dos casos la mejora es suficiente para cumplir especificaciones.

Incluso un aumento del número de fases de cuatro a ocho y de la frecuencia de 300kHz a 600kHz, (❶ y ❹), no consigue cumplir con las especificaciones, aunque se aprecia una clara

mejora en la respuesta del convertidor, ver figuras 6.22 y 6.25. Únicamente, cuando el control LnL es utilizado, incluso para la peor de las configuraciones, menor número de fases y menor frecuencia, (●), se consigue cumplir con las especificaciones impuestas, ver figura 6.26.

Es importante hacer hincapié que tanto el control lineal como el control LnL, utilizan el mismo regulador lineal. De esta manera se demuestra cómo el control LnL permite mejorar la respuesta dinámica de los convertidores reductores VRM, o en su defecto, utilizar sus ventajas para reducir el número de fases o la frecuencia de conmutación. Los experimentos anteriores fueron realizados para el caso en que el control lineal tuviese un ancho de banda igual a 2kHz.

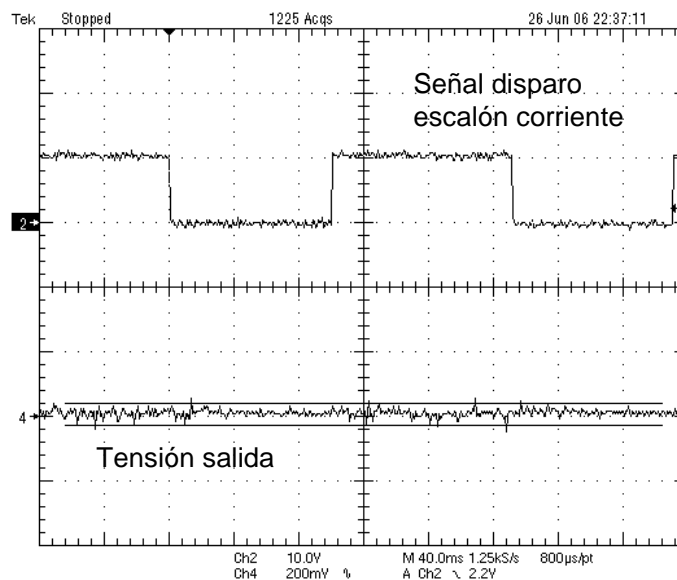
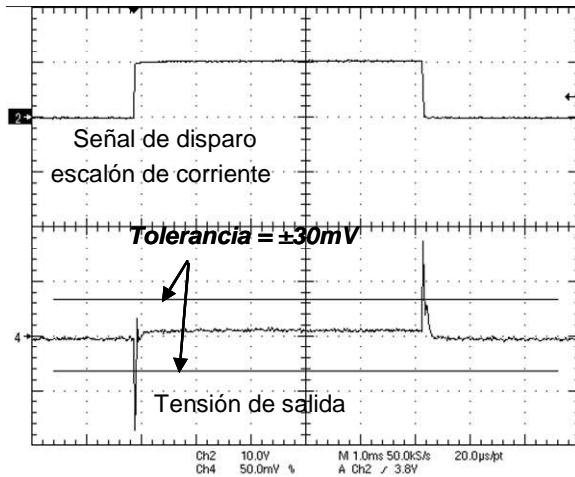


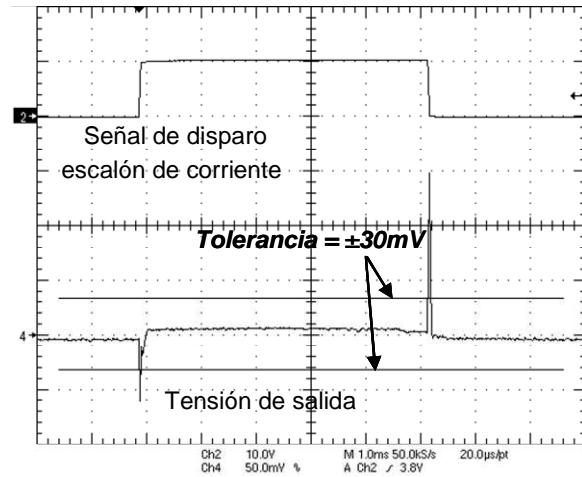
Fig. 6.26 Convertidor “●”, 4 fases, 300kHz y control LnL,  $\Delta B=2\text{kHz}$ .

En la figura 6.27 y figura 6.28, se muestran los resultados de las mediciones experimentales de la respuesta transitoria de los VRM multifase con control lineal y un ancho de banda de 40kHz, para 4 fases y 8 fases y diferentes frecuencias de conmutación.

Como era de esperar, si se comparan estos resultados, (figuras 6.27 y 6.28), con los mostrados en las figuras 6.22, 6.23, 6.24 y 6.25, se puede concluir, que la respuesta del convertidor mejora considerablemente al aumentar el ancho de banda del control lineal pero todos los convertidores analizados siguen sin cumplir las especificaciones.



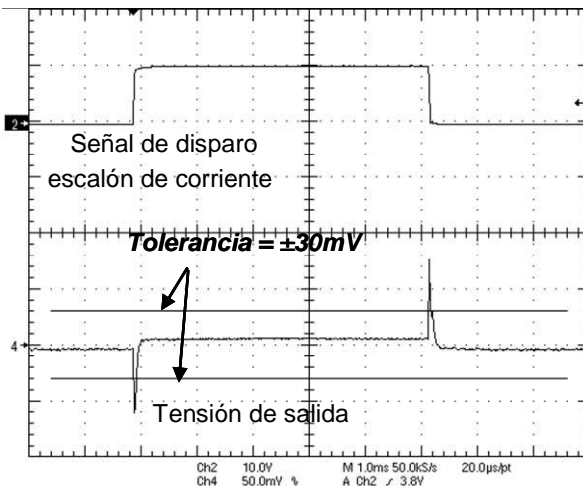
(a) 4 fases 300kHz



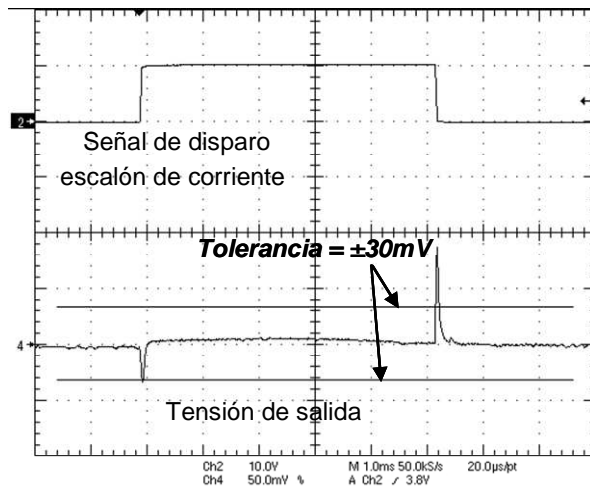
(b) 4 fases 600kHz

Fig. 6.27 Respuesta transitoria de un VRM multifase con control lineal (50A escalón de corriente y  $40A/\mu s$  derivada de la corriente,  $\Delta B=40kHz$ ).

Realizando un análisis similar cuando el VRM está implementado con control LnL, los resultados experimentales demuestran, que tanto para el caso en que el control lineal tiene menor ancho de banda (2kHz), ver figura 6.26, como para el caso con mayor ancho de banda (40kHz), ver figura 6.29, el convertidor cumple con las especificaciones. Es decir, el control LnL es capaz de mantener la tensión de salida del convertidor dentro de las especificaciones.



(c) 8 fases 300kHz



(d) 8 fases 600kHz

Fig. 6.28 Respuesta transitoria de un VRM multifase con control lineal (50A escalón de corriente y  $40A/\mu s$  derivada de la corriente,  $\Delta B=40kHz$ ).

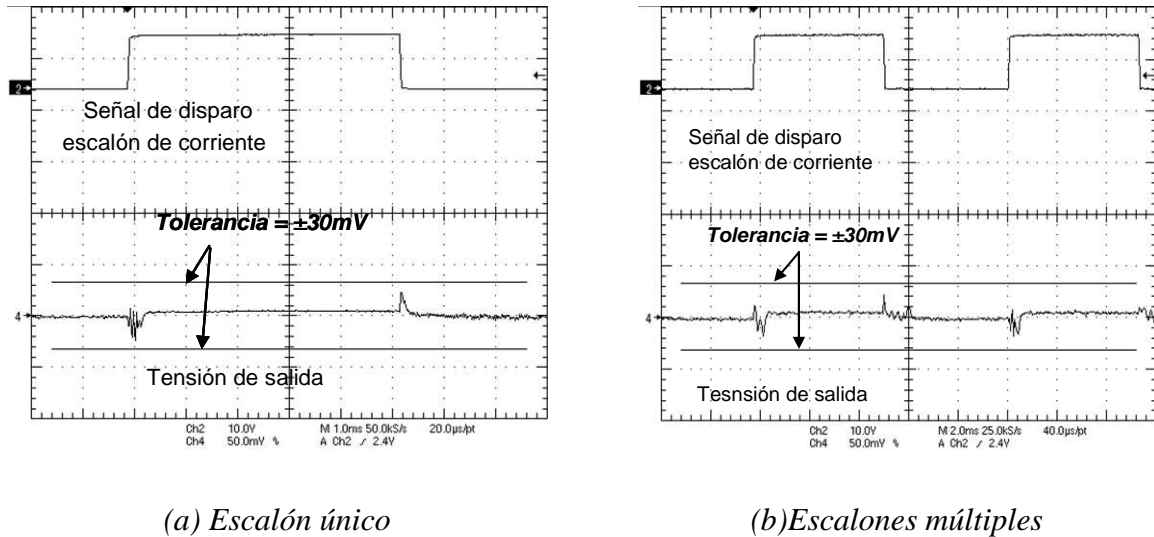


Fig. 6.29 Respuesta transitoria de un VRM de 4 fases 300kHz con control LnL (50 A escalón de corriente y 40A/ $\mu$ s derivada de la corriente,  $\Delta B=40$ kHz).

De los resultados antes expuestos se puede concluir, que el control LnL proporciona múltiples ventajas a los VRM multifase, en comparación con el control lineal. Implementando el control LnL se puede obtener las mismas especificaciones dinámicas que usando control lineal, pero con una inductancia equivalente mayor ( $L_{eq}$ ). Esto permite:

1. Seleccionar un valor de inductancia mayor por fase, por lo que el rizado de la corriente y las pérdidas de potencia disminuyen;
2. Elegir un número menor de fases, disminuir costes, sin reducir la respuesta dinámica con relación al control lineal;
3. Elegir una frecuencia de conmutación menor, que implica una reducción de las pérdidas en conmutación.

En todos los casos, estas ventajas se deben a que el control LnL permite, de cierta manera, independizar el ancho de banda de la respuesta dinámica del convertidor. Por otra parte, los VRM con control LnL y un menor número de fases, permite satisfacer las mismas especificaciones dinámicas que un convertidor VRM con entrelazado de mayor número de fases, y control lineal. Además, aplicando el control LnL a convertidores reductores multifase, se ha demostrado que es posible reducir la frecuencia de conmutación y el ancho de banda, sin afectar su respuesta dinámica.

## CONCLUSIONES

En este capítulo se han expuesto las principales características de la implementación del VRM multifase con control mixto analógico/digital, tanto para control lineal como para control LnL. Además, se resumen cada una de las especificaciones que debe cumplir el diseño, teniendo en cuenta las características de cada uno de los bloques que lo forman.

En este sentido, se ha mostrado la estructura completa de un VRM multifase con control lineal mixto y control LnL mixto. Se han descrito sus configuraciones de funcionamiento, la generación de las señales de control y el diagrama de bloques detallado que permite su implementación práctica.

Especialmente, el bloque digital se ha explicado de forma detallada y se han definido cuáles son los puntos clave del diseño: seleccionar el ciclo de trabajo y la frecuencia de funcionamiento del bloque lineal.

La plataforma de diseño digital basada en FPGA, permite una gran flexibilidad y posibilita una fácil y rápida configuración del convertidor. Por otra parte, permite utilizar frecuencias de reloj relativamente altas, lo que da la posibilidad de minimizar los retardos en el proceso de generación de las señales de control. Esto posibilita reproducir con mucha mejor exactitud los pulsos que provienen del bloque lineal analógico y generar los desfases entre cada una de las fases con una mayor precisión.

Se han analizado mediante simulaciones y validado por medio de los resultados experimentales las ventajas que aporta el control LnL. Se han estudiado teniendo en cuenta diferentes tipos de control: lineal y LnL y con varias configuraciones topológicas de convertidor multifase con entrelazado en modo tensión. De los resultados obtenidos se puede concluir que:

1. El incremento del número de fases en un convertidor con entrelazado con control lineal mejora la respuesta dinámica, pero los VRM con control LnL y menor número de fases presentan una mejor respuesta dinámica. El control LnL permite reducir el número de fases del convertidor manteniendo la misma respuesta dinámica. Como resultado, se obtiene un convertidor más sencillo y de menor tamaño;

2. El incremento de la frecuencia de conmutación en un convertidor multifase con entrelazado y control lineal mejora la respuesta dinámica del convertidor presenta una respuesta dinámica más lenta que un convertidor multifase con control LnL y menor frecuencia. El control LnL permite reducir la frecuencia de conmutación del convertidor manteniendo la misma respuesta dinámica. Como resultado, se obtiene un convertidor más eficiente (menos pérdidas en los interruptores) y con menos emisiones electromagnéticas (EMI);
3. El convertidor multifase con control LnL proporciona una mejor respuesta dinámica que el control lineal, lo que permite incrementar la inductancia por fases para igualdad de especificaciones. Esto hace que disminuya el rizado de la corriente por fase que implica una reducción de las pérdidas en conmutación. Como resultado, se obtiene un convertidor más eficiente;
4. Se ha demostrado que un convertidor multifase con entrelazado y control LnL independiza el ancho de banda del regulador lineal de la respuesta dinámica del sistema. Esta conclusión es muy importante ya que con control LnL y reguladores simples (lentos) se pueden obtener las mismas características dinámicas e incluso en ocasiones mejores que con reguladores lineales complejos de mayor ancho de banda. Esto en cierta manera hace menos complejo el convertidor, e insensibiliza la estabilidad y respuesta dinámica de la selección del regulador y de la degradación de los componentes del sistema con el tiempo y la temperatura.

Finalmente, hay que indicar, que como inconveniente el control LnL aplicado a VRM multifase presenta mayores oscilaciones de la corriente por fase durante el transitorio. Este hecho se estudiará en el capítulo 8.



## CAPÍTULO 7

# IMPLEMENTACIÓN DIGITAL DEL CONTROL LnL

### 7.1 INTRODUCCIÓN

En los últimos tiempos existe un creciente interés en la implementación digital de los reguladores. Esto se debe a las ventajas que ofrece este tipo de implementación en comparación con los reguladores analógicos. Si bien es cierto, que los reguladores analógicos encuentran su espacio en determinadas aplicaciones, su generalización está limitada debido a lo difícil que resulta implementar leyes complejas de control. De aquí, que la implementación digital ha encontrado su espacio en muchas aplicaciones que requieren de cierto grado de complejidad, tanto en la implementación de complejas señales de control, como pueden ser las señales de disparo de los convertidores multifase con entrelazado, como en la aplicación de complejas leyes de control, algunas prácticamente imposibles de implementar por métodos analógicos.

Por otra parte, el procesamiento digital de las señales permite no sólo implementar leyes más complejas de control, sino que permite reconfigurar fácilmente los parámetros del sistema, presenta una alta inmunidad al ruido y un bajo consumo de potencia, [Fra98], [Xia99], [Xia01], [Sot02], [Alo03], [Ca03a], [Ca03b], [Vaz03], [Abu04], [Mak04], [Sot04], [Xin04], [Zha04], [Luk05], [Car06], [Gar06], [Gua06], [Mak06], [Sot06], [Ste06], [Tak06], [You06], [Ala07], [Cas07], [Cha07], [Fun07], [Gua07], [Lip07], [Liu07], [Me07a], [Me07b], [Moh07], [You07], [Zhe07], [Cos08], [Jak08], [Lar08], [Me08a], [Me08b], [Me08c], [Sin08], [Sun08], [Yan08], [Yo08a], [Yo08b], [You08], [Wal08], [Bab09], [Mey09].

En este capítulo se describe la implementación digital del control LnL y se detallan las particularidades de cada uno de los bloques que forman parte del control: conversor análogo/digital (A/D), regulador digital y el modulador PWM digital (DPWM). Además, se hace el diseño del sistema aplicado a los VRM y se valida con ayuda de los resultados experimentales obtenidos, el correcto funcionamiento del mismo.



Por otra parte es evidente, que cada uno de los bloques que forman el lazo de control, influyen directamente en la respuesta del sistema. El incremento de los requisitos impuestos a los convertidores, en cuanto a respuesta dinámica y regulación de la tensión de salida, hacen que aumenten las exigencias hacia el control.

El incremento de la frecuencia de conmutación y la necesidad de detectar y corregir variaciones (magnitud del error respecto al valor de referencia) cada vez más rápidas de la tensión de salida durante los transitorios, hacen que muchas líneas de investigación estén dirigidas por una parte, a desarrollar nuevas estrategias de control [Sot02], [Sot03], [Sot04], [Gua06], [Sot06], [Zha06], [Gua07], [Me07a], [You07], [Cos08], [Roz08], [Sag08], [Sim08], [Yo08b], [Yan08], [Zhe08], [Bab09], [Coh09], [Mey09], etc. y por otra al diseño de nuevas soluciones topológicas para solucionar las limitaciones principalmente de los conversores A/D y de moduladores DPWM, [Wu99], [Pat00], [Pen01], [Pet01], [Pet03], [Mal04], [Sot04], [Sye04], [Fol05], [Luk05], [Gar06], [Wan06], [You06], [Ala07], [Fun07], [Pen07], [San07], [Sun08].

También, en este capítulo, se analiza la relación que existe entre cada uno de los parámetros del convertidor y los requisitos que deben cumplir cada uno de los bloques digitales que forman el control para garantizar ciertas especificaciones técnicas del diseño.

Por último, optimizar el regulador minimizando los recursos (mayor grado de integración de sus componentes), los costes y aumentando la densidad de potencia de los mismos, es la tendencia que marca el desarrollo actual de nuevas tecnologías. Es evidente, que desarrollar nuevas tecnologías que permitan optimizar no sólo el control, sino también el filtro de salida, han encontrado su aplicación en las fuentes de alimentación dentro de un mismo encapsulado (PSiP, de sus siglas en inglés *Power Supply in Package*). Un nivel superior de desarrollo en la evolución de estas estructuras, son las fuentes de alimentación en un *chip* (PSoC, de sus siglas en inglés *Power Supply on Chip*), [Bri08].

Este tipo de soluciones marcan las tendencias actuales hacia una integración total del convertidor. Aumentar el grado de integración desde el punto de vista tecnológico, implica desarrollar nuevas tecnologías que impliquen, no sólo aumentar el número de componentes por área de chips, sino también desarrollar o adaptar nuevas estrategias de control, como se

propone en este capítulo, que permitan obtener las mismas prestaciones funcionales con menor número de recursos.

## 7.2 IMPLEMENTACIÓN DIGITAL DEL CONTROL LINEAL

La implementación digital del control LnL es un paso más en su desarrollo y evolución, en este caso aplicado a convertidores reductores multifase. Es evidente que la implementación totalmente digital del control para muchas aplicaciones, está justificada. Ella permite implementar nuevas estrategias de control mucho más complejas. En el caso particular del VRM con control LnL, se propone una integración total del control utilizando como base para el diseño tecnologías de bajo coste y alta funcionalidad, como pueden ser las matrices de puertas programables por campo eléctrico (FPGA).

Para comprender mejor en qué consiste la implementación digital del control LnL, se analiza el funcionamiento de un convertidor con control lineal digital en modo tensión. En la figura 7.1, se muestra el diagrama en bloques básico de un convertidor multifase con control digital en modo tensión.

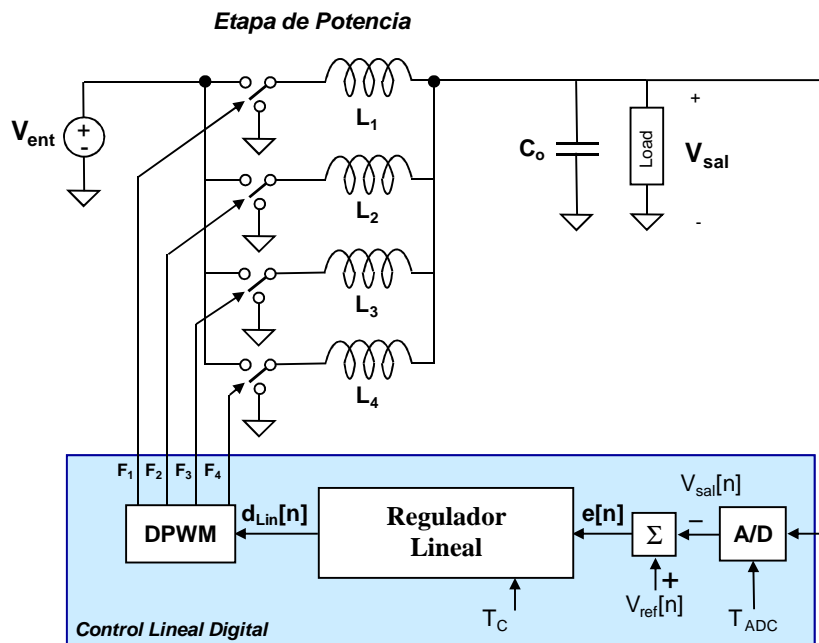


Fig. 7.1 Diagrama de bloques del VRM con control lineal implementado de forma digital.

La señal de salida del convertidor,  $V_{sal}$ , se convierte en un código digital,  $V_{sal}[n]$ , con ayuda del conversor A/D para su posterior procesamiento. Este código se compara con una

señal de referencia,  $V_{ref}[n]$ , obteniéndose como resultado una señal de error,  $e[n]$ . Esta señal pasa a un regulador lineal discreto en el tiempo, que es el encargado de generar la señal de ciclo de trabajo,  $d_{Lin}[n]$ , acorde con la ley de control implementada. Finalmente, el modulador digital de ancho de pulso (DPWM), es el encargado de generar las señales de disparo, ( $F1$ ,  $F2$ ,  $F3$  y  $F4$ ), en éste caso síncronas, para cada uno de los interruptores de cada una de las fases.

Es importante destacar que los períodos de muestreo tanto del conversor A/D,  $T_{ADC}$ , como del regulador,  $T_C$ , son parámetros de diseño y existe una relación muy estrecha entre cada uno de ellos. El período de muestreo del regulador  $T_C$ , se escoge de acuerdo con la función de transferencia deseada del regulador, de tal forma que garantice los criterios de estabilidad y regulación del convertidor. Por otra parte, y se cumple en la mayoría de las aplicaciones, el período de muestreo del conversor A/D,  $T_{ADC}$ , se selecciona igual al período de muestreo del regulador  $T_C$ , [Fra98], [Pat02], [Sot02], [Gar06], [Mak06], [Ste06], [Fun07], [Lar08]. En los VRM el período de actualización del ciclo de trabajo depende del número de fases del convertidor. Es habitual que se actualice al inicio de cada fase, aunque existen soluciones que actualizan el ciclo de trabajo, más de una vez por cada período de conmutación, [Pet01], [Xia99], [Xia01].

Existen otros parámetros muy importantes a tener en cuenta a la hora de diseñar, como pueden ser la selección del número de bits del conversor A/D o la selección de la resolución del ciclo de trabajo del DPWM. Ello debe garantizar, tanto los criterios de estabilidad, como que la regulación de la tensión de salida del convertidor se encuentre dentro de los límites establecidos en las especificaciones.

A continuación, se analizan en detalle cada uno de los bloques que forman el regulador digital y se enumeran cada una de las principales características que deben cumplir cada uno de éstos componentes. Además, se establecen los criterios de selección de cada uno de éstos parámetros.

### 7.2.1 CONVERSOR ANALÓGICO DIGITAL (A/D)

Para muestrear la tensión de salida del convertidor se utiliza un conversor A/D. Éste es el encargado de cuantificar todo el rango posible de variación de la tensión de salida, es decir desde cero voltios hasta la tensión de entrada,  $V_{ent}$ . Por ejemplo, si se necesita una resolución

de 5mV, en un convertidor con  $V_{ent}=5V$  y  $V_{sal}=1,5V$ , se necesita un conversor A/D de 10 bits. Esta solución no es la más adecuada para las aplicaciones de baja tensión, ya que requiere de una elevada resolución en todo el rango de la tensión de entrada.

Teniendo en cuenta que la tensión de salida en régimen permanente no presenta grandes variaciones alrededor de la tensión de referencia,  $V_{ref}$ , la tensión de salida puede ser cuantificada solamente dentro del rango de regulación. Este tipo de conversor A/D se le denomina, conversor A/D de ventana propuesto en [Xia01], [Pet02]. Este concepto se aplica en implementaciones con DPWM basados en líneas de retardo, osciladores de anillos, o en soluciones híbridas (contador-líneas de retardo), [Pat00], [Wei00], [Pet03], [Mal04], [Xia04], [Sye04], [Wan06], [You06].

Otro parámetro a tener en cuenta en los conversores A/D, es la sensibilidad al ruido. Los convertidores conmutados son un medio ruidoso por naturaleza, con grandes derivadas y rizados de corriente. Los ruidos de conmutación pueden producir un efecto *aliasing* en el proceso de cuantificación. Por ejemplo, habitualmente el conversor A/D muestrea a la frecuencia de conmutación, por lo tanto el ruido de conmutación puede provocar un *offset* de corriente continua. Con el objetivo de prevenir éste fenómeno y mejorar la resolución en la regulación, la señal muestreada (tensión de salida) es promediada en el tiempo.

Para las aplicaciones, donde se exige una respuesta dinámica muy rápida, los reguladores que tienen comportamiento no lineal (saturación del ciclo de trabajo), como es el caso del control LnL asíncrono, se hace necesario muestrear la tensión de salida a frecuencias muy superiores a la frecuencia de conmutación. Es evidente, que un incremento de la frecuencia de conmutación y del número de fases con el objetivo de mejorar la dinámica del convertidor, hace que la frecuencia equivalente en el condensador de salida, aumente proporcionalmente con el número de fases.

Como consecuencia, las frecuencias de muestreo de los diferentes bloques del regulador se incrementan, por lo que son necesario conversores A/D de alta velocidad para poder detectar rápidamente las variaciones de la tensión de salida. Topológicamente los más utilizados para este tipo de aplicaciones son los tipo *flash window* (conversores A/D de ventana tipo *flash*). La mayoría de las aplicaciones de baja potencia que utilizan este tipo de conversor, requieren de un circuito integrado de uso específico, [Pat00], [Pet01], [Pet03], [Mak06], [Pen07].

### 7.2.1.1 PRINCIPALES CARACTERÍSTICAS DE LOS CONVERSORES A/D.

En la figura 7.2, se representa la función de transferencia de un conversor A/D ideal. De aquí, se pueden definir las especificaciones estáticas del conversor A/D.

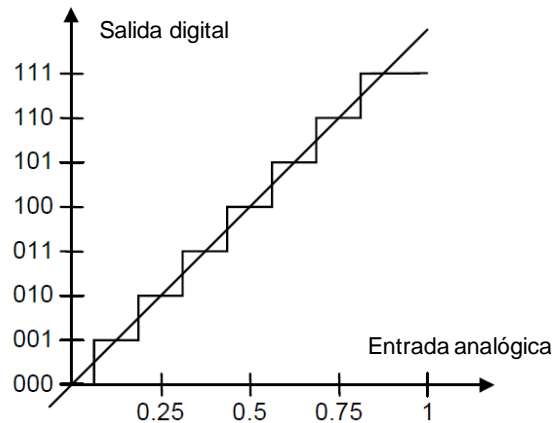


Fig. 7.2 Cuantificador ideal.

Los conversores A/D tienen varias fuentes de error que hacen que su función de transferencia difiera del caso ideal. Entre ellas, se pueden diferenciar dos grupos de errores: los estáticos y los dinámicos. Estos errores son intrínsecos para cualquier proceso de conversión analógico-digital.

Los *errores estáticos* se clasifican en:

- error de *offset*;
- error de ganancia;
- error de no-linealidad. Éste a su vez, se subdivide en *no-linealidad diferencial* (DNL) e *integral* (INL);

En la figura 7.3 (a) y (b), se muestra la influencia del error de *offset* y de la ganancia del conversor, respectivamente, sobre el código digital de salida respecto a su forma ideal.

Estos errores pueden ser calibrados mediante *hardware*, *software* o la combinación de ambos. La calibración consiste en ajustar la ganancia y el *offset* del conversor A/D con el objetivo de obtener la función de transferencia deseada. Estos parámetros dependen además,

de la temperatura, por lo que para conversores A/D con un número de bits mayor de 16, es necesario que sean recalibrados en función de las condiciones de funcionamiento. Es evidente, que el error en la ganancia del conversor influye más en aquellos conversores con mayor número de bits.

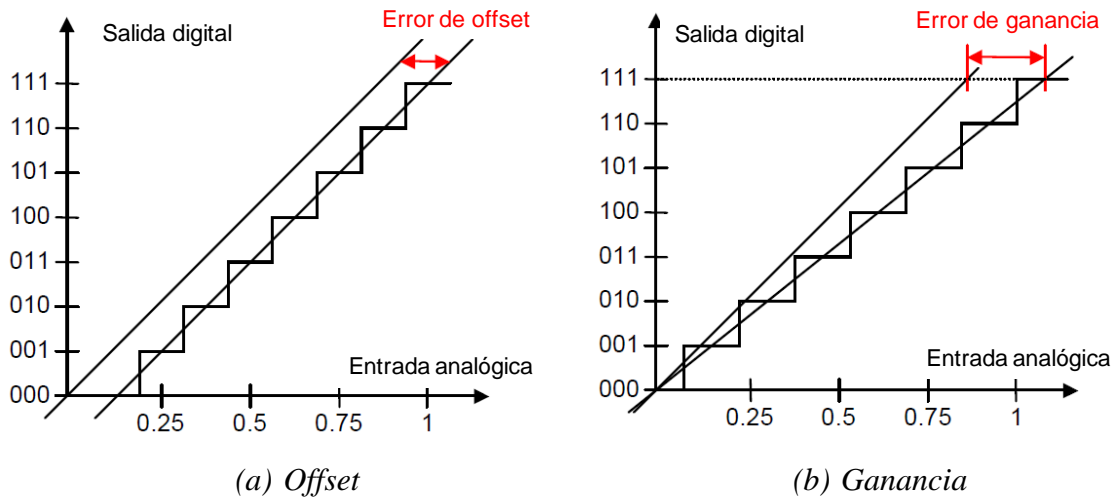


Fig. 7.3 Errores estáticos del cuantificador.

Todos estos errores se deben a las imperfecciones físicas de fabricación, y se denominan errores de no-linealidad. Ellos hacen que la salida del conversor se desvíe de su función lineal (o de otra función). De aquí, que existan dos parámetros muy importantes que definen la linealidad del conversor: la *no-linealidad integral* (INL), y la *no-linealidad diferencial* (IND).

En la figura 7.4, se muestra la función de transferencia del conversor A/D, teniendo en cuenta los errores de no-linealidad. El error de *no linealidad diferencial*, es la desviación que existe entre el valor del código ideal y el valor del código real. Mientras, que la *no linealidad integral* es la desviación que existe entre el centro del código y su valor ideal, y está determinado por las transiciones de los códigos, ver figura 7.4.

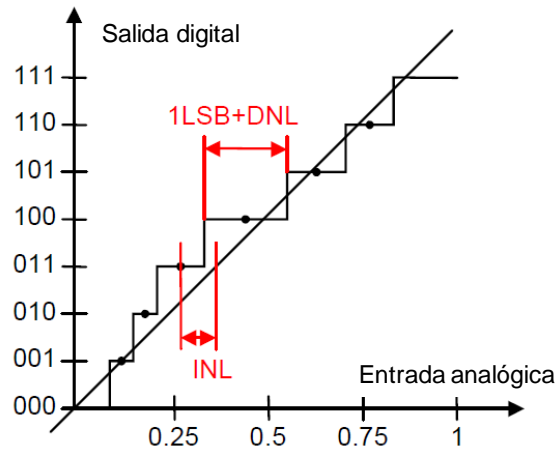


Fig. 7.4 Errores de no linealidad diferencial e integral.

Debido a la resolución finita del conversor, existe el error de cuantificación. La magnitud del error de cuantificación en el instante de muestreo, se encuentra entre 0 y la mitad del valor del bit menos significativo (LSB). En general, si la señal es mucho mayor que un LSB, el error de cuantificación no está correlacionado con la señal y tiene una distribución uniforme. Su valor eficaz es igual a:

$$\frac{1}{\sqrt{12}} LSB \approx 0,289 LSB \quad (7.1)$$

Para señales pequeñas, el error de cuantificación se hace dependiente de la señal de entrada analógica, provocando distorsiones no deseadas. Existen métodos para reducir parcial o completamente éstas distorsiones, como es el sumar a la señal un ruido de amplitud 1. Esto se conoce como *dither*.

Entre las especificaciones dinámicas más importantes de un conversor A/D se pueden citar:

- Relación señal ruido del conversor (SNR);
- Número efectivo de bits del conversor (ENOB);
- Error de apertura o *jitter*.

La relación señal ruido de un conversor está determinada por la siguiente expresión:

$$SNR = 6,02 \cdot N_{AD} + 1,76 \quad [db] \quad (7.2)$$

donde:  $N_{AD}$ , es el número de bits del conversor.

De la ecuación (7.2), se puede obtener el número efectivo de bits del conversor:

$$ENOB = \frac{SNR - 1,76}{6,02} \quad [db] \quad (7.3)$$

El *error de apertura* del reloj del sistema, aparece cuando la señal de digitalización temporal (reloj) no es constante en el tiempo. Esto genera un máximo de incertidumbre en el muestreo de la señal analógica, según se muestra en la figura 7.5.

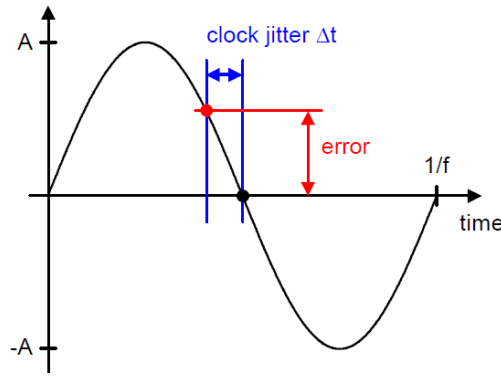


Fig. 7.5 Error dinámico producido por jitter en la señal de muestreo.

Si la señal analógica varía entre  $A$  y  $-A$ , ver figura 7.5, entonces el valor del bit menos significativo del conversor dependerá del número de bits que tenga el conversor, es decir:

$$LSB = \frac{2A}{2^{N_{AD}}} \quad (7.4)$$

Entonces, debe cumplirse que la máxima incertidumbre de la tensión analógica que se puede tener, es para variaciones de la tensión  $\Delta V$ , menores que la equivalente al bit menos significativo, es decir:

$$\Delta V < 1LSB \quad (7.5)$$



Para el caso particular de una señal sinusoidal, el tiempo máximo de incertidumbre queda definido como:

$$\Delta t < \frac{2^{-N_{AD}}}{\pi} T_{clk} \quad (7.6)$$

Esto quiere decir, que para satisfacer una determinada precisión en la medición de la señal analógica, es necesario que el *jitter* del reloj de la señal de muestreo del conversor, no debe ser mayor que  $\Delta t$ , ecuación (7.6).

Es evidente, que para aplicaciones de electrónica de potencia, las exigencias sobre muchos de los parámetros, tanto estáticos como dinámicos, son menos restrictivas. Esto se debe, a que no se requiere de una reproducción fiel de la señal analógica muestreada, como suele ocurrir en otras aplicaciones, como las relacionadas con la transmisión y procesamiento de imágenes, voz, etc. Esto es un factor muy importante a tener en cuenta a la hora de diseñar fundamentalmente sistemas empotrados, ya que puede representar una disminución de los costes de fabricación del conversor A/D.

### 7.2.2 REGULADOR LINEAL. PRINCIPALES CARACTERÍSTICAS

En este epígrafe se hace referencia a las principales características de los reguladores lineales, en particular de los reguladores lineales discretos. La estructura más habitual utilizada como ley de control en los sistemas realimentados, es la proporcional integral derivativa (PID), o una combinación de ella. La forma discreta de representación de ésta ley, es la siguiente:

$$D[n+1] = k_p e[n] + k_d(e[n] - e[n-1]) + k_i D_i[n] \quad (7.7)$$

donde:  $k_p$ ,  $k_d$  y  $k_i$ , son los coeficientes que determinan la ganancia proporcional, derivativa e integral, respectivamente.

$D[n]$ , es el valor del ciclo de trabajo en el tiempo discreto  $n$ ;

$e[n]$ , es el valor digitalizado del error;

$D_i[n]$ , es el estado del integrador;

Los coeficientes de cada una de las ganancias ( $k_p$ ,  $k_d$  y  $k_i$ ), en la práctica pueden ser redondeados a potencias de 2. Esto hace, que su implementación sea sencilla mediante desplazamientos binarios.

Esta ley de control puede ser implementada mediante ecuaciones en diferencias, *look-up tables*, o directamente calculados con ayuda de microprocesadores con altas prestaciones. Es habitual que el ciclo de trabajo se actualice una vez por período de conmutación. Sin embargo, si se requiere de una respuesta dinámica más rápida, se puede actualizar más de una vez por período de conmutación, [Pet01], [Xia99], [Xia01]. Para el caso, de los VRM multifase con entrelazado, el ciclo de trabajo se actualiza un número de veces por período de conmutación igual al número de fases.

Aunque en ésta tesis doctoral, el diseño del regulador no es objetivo directo de la misma, a continuación se resume su principio de funcionamiento y sus principales características. Además, se definen las particularidades (ventajas y desventajas), que presenta su diseño para su implementación con *hardware* específico, en éste caso particular con FPGA.

#### 7.2.2.1 FUNCIÓN DE TRANSFERENCIA EN EL DOMINIO DISCRETO

La función de transferencia del regulador puede ser calculada en el dominio continuo  $H(s)$ , y después ser discretizada con ayuda de la transformación bilineal (no es la opción más óptima), o puede ser calculada directamente en el dominio discreto  $H(z)$ , [Ca03a], [Ca03b], [Gar06], [Mak06], [Zha06], [Zu06a], [Zu06b], [Yo08a].

La principal diferencia entre los sistemas discretos y continuos, es que los sistemas discretos tienen definidas sus entradas y salidas por series (conjunto de muestras), en lugar de funciones continuas.

Para el análisis de los sistemas continuos, se utilizan la transformada discreta de Fourier y de Laplace. Sin embargo, para los sistemas discretos se utiliza la transformada  $z$ , y se define según la siguiente expresión:

$$X(z) = \sum_{k=-\infty}^{\infty} x_k \cdot z^{-k} = Z(\{x_k\}) \quad (7.8)$$

En la figura 7.6, se representa la función de transferencia del regulador de forma discreta.

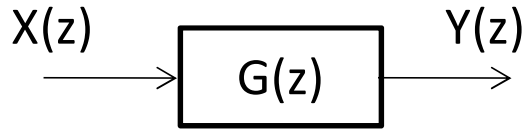


Fig. 7.6 Representación de la función de transferencia discreta.

Una vez determinada la transformada  $z$  de la salida, la serie que ésta representa, se puede obtener calculando la transformada inversa. Para ello, existen tres métodos fundamentales: el método de los residuos, el de descomposición en fracciones simples y el de división larga. Dado que la mayoría de las transformadas  $z$  son funciones racionales, se puede realizar la división del numerador entre el denominador para llegar a una representación equivalente en un único polinomio, según la siguiente expresión:

$$X(z) = \frac{N(z)}{D(z)} = a_0 + a_1 \cdot z^{-1} + a_2 \cdot z^{-2} + \dots + a_n \cdot z^{-n} \quad (7.9)$$

Teniendo en cuenta la expresión de la transformada  $z$ , ecuación (7.8), la función de transferencia se puede representar como:

$$G(z) = \frac{Y(z)}{X(z)} = \frac{b_0 + b_1 \cdot z^{-1} + b_2 \cdot z^{-2} + \dots + b_n \cdot z^{-k}}{a_0 + a_1 \cdot z^{-1} + a_2 \cdot z^{-2} + \dots + a_n \cdot z^{-k}} \quad (7.10)$$

La función de transferencia obtenida, se presenta como la relación entre dos polinomios, con sus respectivos coeficientes,  $a_k$  y  $b_k$ .

### 7.2.2.2 REPRESENTACIÓN MEDIANTE ECUACIONES EN DIFERENCIA

Si se analiza la expresión de la función de transferencia obtenida en (7.10), la misma se puede representar mediante la siguiente igualdad:

$$\begin{aligned}
 (a_0 + a_1 \cdot z^{-1} + a_2 \cdot z^{-2} + \dots + a_n \cdot z^{-k}) \cdot Y(z) = \\
 = (b_0 + b_1 \cdot z^{-1} + b_2 \cdot z^{-2} + \dots + b_n \cdot z^{-k}) \cdot X(z)
 \end{aligned}
 \tag{7.11}$$

La implementación física de la función de transferencia, se realiza convirtiéndola a su ecuación en diferencias. Esta conversión es directa y se basa en que  $z^{-1}$  equivale a un retardo de un período de muestreo, entonces la relación entre los elementos de la serie de salida  $\{y_n\}$  y de entrada  $\{x_n\}$ , se pueden representar en función del número de muestras  $n$ , donde se cumple que:

$$a_0 \cdot y_n + a_1 \cdot y_{n-1} + \dots + a_k \cdot y_{n-k} = b_0 \cdot x_n + b_1 \cdot x_{n-1} + \dots + b_k \cdot x_{n-k} \tag{7.12}$$

La expresión obtenida, ecuación (7.12), se denomina ecuación en diferencias. Esta ecuación es de fácil implementación en los sistemas digitales. Por lo que se puede implementar cualquier función de transferencia de forma simple.

En la práctica, es habitual que se divida el numerador y el denominador entre  $a_0$ . Entonces, de la ecuación (7.12), se puede obtener el valor actual de la señal de salida:

$$y_n = \frac{b_0}{a_0} \cdot x_n + \frac{b_1}{a_0} \cdot x_{n-1} + \dots + \frac{b_k}{a_0} \cdot x_{n-k} - \frac{a_1}{a_0} \cdot y_{n-1} - \dots - \frac{a_k}{a_0} \cdot y_{n-k} \tag{7.13}$$

Para el caso particular en que  $a_0=1$ , entonces la expresión (7.13) se puede expresar de forma general como:

$$y_n = \sum_{k=0}^N b_k \cdot x_{n-k} - \sum_{k=1}^M a_k \cdot y_{n-k} \tag{7.14}$$

En la ecuación 7.14, se pueden diferenciar dos tipos de términos: los que dependen de la señal de entrada,  $x$ , (señal de error) y los que dependen de la señal de salida,  $y$ , (señal de ciclo de trabajo), y su representación directa se muestra en la figura 7.7. El cálculo del regulador consiste en determinar el valor de cada uno de los coeficientes,  $a_k$  y  $b_k$ .

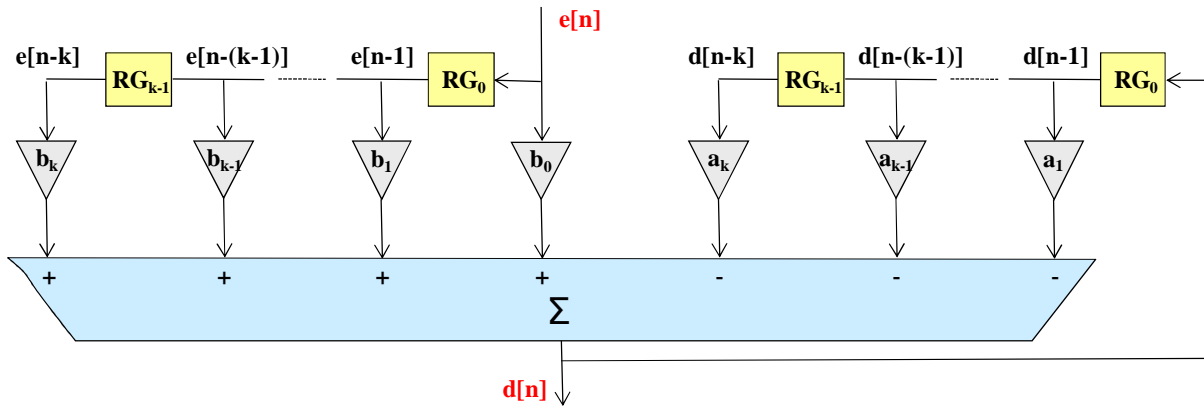


Fig. 7.7 Representación directa de la ecuación en diferencias.

El algoritmo obtenido puede ser implementado de varias formas, utilizando microprocesadores (DSP) y FPGA. Para el primer caso, las instrucciones de programa se ejecutan de forma secuencial. El tiempo que tarda el microprocesador en resolver el algoritmo, depende del número de términos de la función de transferencia. El código del *software* es simple, por lo que no constituye una limitación por complejo que sea el algoritmo, pero sí lo es el tiempo de ejecución.

Esta desventaja se minimiza cuando se propone utilizar dispositivos de *hardware* específico como las FPGA. Por ser éstos dispositivos concurrentes, toda su lógica se ejecuta simultáneamente. Esto permite incrementar notablemente la velocidad de ejecución del algoritmo. En cambio, los recursos necesarios se incrementan proporcionalmente al número de términos de la función de transferencia, [Ca03b].

Teniendo en cuenta, estas consideraciones, el proceso de diseño del regulador consiste en obtener la función de transferencia del regulador optimizada por cualquiera de los métodos existentes, (por ejemplo el método directo o método Truxal y el método basado en el lugar de las raíces), y ajustar sus coeficientes a potencias de 2.

Una de las principales desventajas de este tipo de implementación con *hardware* específico, es que ajustar los coeficientes de la ecuación, conlleva cometer errores de redondeo. Existen diferentes propuestas que minimizan éste tipo error, como el escalado de los coeficientes, [Zu06b].

### 7.2.3 MODULADOR DPWM. PRINCIPALES CARACTERÍSTICAS

Las aplicaciones de baja potencia con elevados requerimientos de regulación y de respuesta dinámica, demandan un incremento de la frecuencia de conmutación y una mayor densidad de potencia. Esto quiere decir, que la tendencia es tratar de integrar el mayor número de componentes del convertidor. Con ello, han aparecido las fuentes de alimentación dentro de un mismo encapsulado (*Power Supply in Package*, PSiP) y las empotradas en un mismo chip (*Power Supply on Chip*, PSoC), [Bri08]. Éstos requieren de soluciones que permitan incrementar la densidad de potencia, minimizando, tanto su consumo de potencia, como el área del chip.

La estructura de modulador DPWM más utilizada es la basada en contador-comparador binario. Estos se caracterizan por utilizar un área pequeña de chip, pero requieren de un elevado consumo de potencia debido a la frecuencia de funcionamiento.

Para otras aplicaciones específicas, como son las PSiP y las PSoC, es frecuente la utilización de líneas de retardo o osciladores de anillos. Éstos consumen menos potencia ya que funcionan a la frecuencia de conmutación, para el caso de los VRM, a la frecuencia de conmutación equivalente, pero sin embargo requieren de un área mayor de chip.

Como conclusión, existe un compromiso entre el área de chip y la potencia consumida. Así, surgen los sistemas híbridos que combinan lo mejor de cada una de las implementaciones: el menor consumo de potencia de los PSiP y las PSoC, [Bri08], y el menor área de chip del contador-comparador, [Pat00], [Pet01], [Pet03], [Mak04], [Mal04], [Mak06], [You06]. Existen otros métodos más complejos que pueden ser aplicados a los anteriores y que se utilizan para incrementar la resolución del ciclo de trabajo, como es el *dither*, [Pet01], [Pet03], [Mak06]. Éste consiste, en generar un pulso de alta frecuencia o aleatorio, el cual posteriormente es filtrado respecto de  $n$  periodos, y genera un nivel de tensión de corriente continua promedio, equivalente a un incremento de la resolución efectiva del DPWM.

Como es lógico, este tipo de solución es muy compleja de implementar mediante métodos analógicos.

### 7.3 IMPLEMENTACIÓN DEL CONTROL LnL

En la figura 7.8, se muestra el diagrama en bloques básico de un convertidor multifase con control LnL digital.

Si se compara con el diagrama de bloques de la figura 7.1, se puede concluir que son bastante similares. La diferencia radica en el tipo de regulador implementado y en las especificaciones que deben cumplir cada uno de los bloques para garantizar el funcionamiento óptimo del control con ambas estrategias de control.

Al igual que en el caso mostrado en la figura 7.1, con ayuda del conversor A/D la señal de salida del convertidor,  $V_{sal}$ , se convierte en un código digital,  $V_{sal}[n]$ , para su posterior procesamiento.

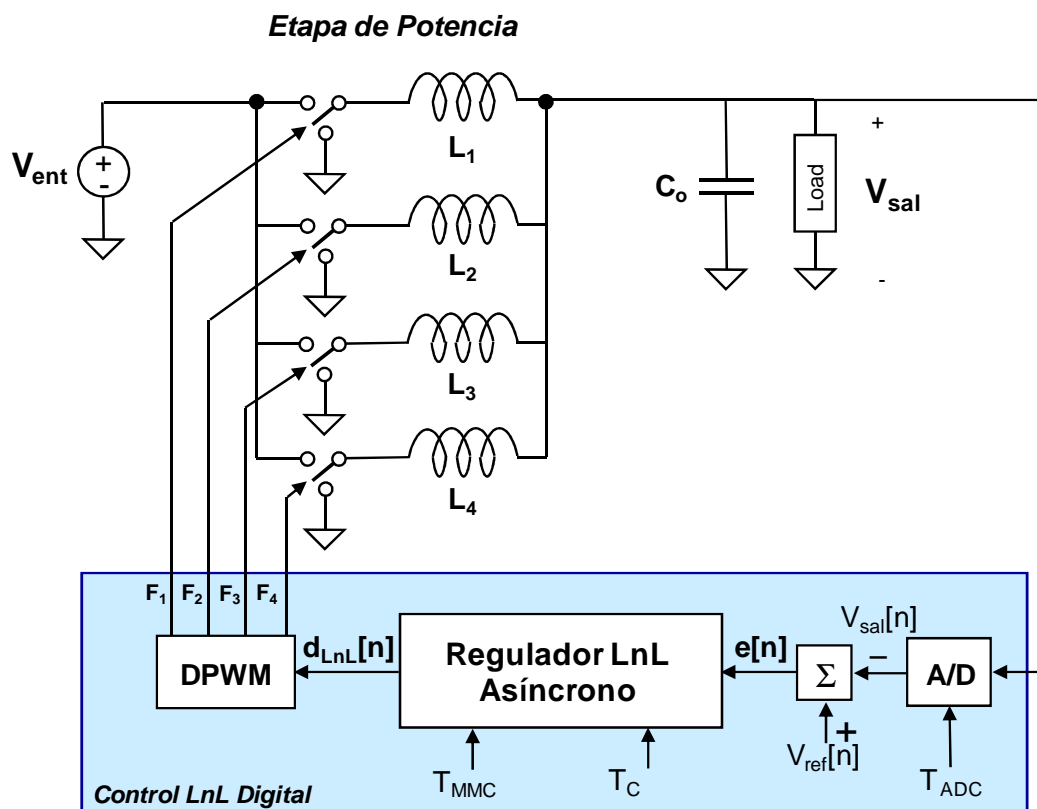


Fig. 7.8 Diagrama de bloques del VRM de 4 fases con control  $L_nL$  implementado de forma digital.

Esta señal se codifica y se compara con la señal de referencia,  $V_{ref}[n]$ , obteniéndose como resultado una señal de error,  $e[n]$ .

Esta señal pasa a un regulador lineal no lineal asíncrono discreto en el tiempo, que es el encargado de generar la señal de ciclo de trabajo,  $d_{LnL}[n]$ , acorde con la ley de control implementada. Finalmente, el modulador digital de ancho de pulso (DPWM), es el encargado de generar las señales de disparo, en este caso síncronas, para cada uno de los interruptores de cada una de las fases.

En el epígrafe anterior, se han analizado cada uno de los bloques que forman parte del regulador lineal. La diferencia más importante entre ambas implementaciones radica en el tipo de regulador implementado. El regulador LnL asíncrono, figura 7.8, garantiza el funcionamiento lineal del control durante el régimen permanente. Mientras que su parte asíncrona (no lineal), garantiza el funcionamiento no lineal del control durante los transitorios.

En la figura 7.9, se muestra el diagrama de bloques del regulador LnL asíncrono. El mismo consta de dos bloques: un regulador lineal y un multiplexor de modo de control (MMC). El regulador lineal se diseña siguiendo los criterios, tanto la estabilidad, como de regulación de la tensión de salida en régimen permanente. Por otra parte, el MMC es el encargado de seleccionar el ciclo de trabajo adecuado, ya sea durante el funcionamiento lineal o no lineal del control, de tal manera que garantice la mejor respuesta dinámica.

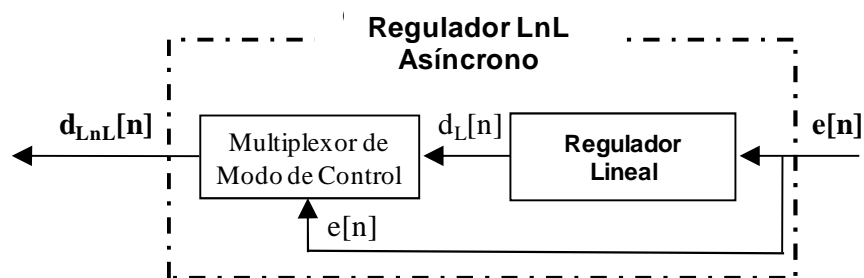


Fig. 7.9 Diagrama de bloques regulador LnL asíncrono.

En la figura 7.10, se muestran las gráficas de las funciones de transferencia del regulador lineal y el regulador LnL asíncrono. Esta comparativa permite comprender el principio de



funcionamiento del regulador LnL y la relación que existe entre los diferentes parámetros del convertidor funcionando con control lineal o LnL.

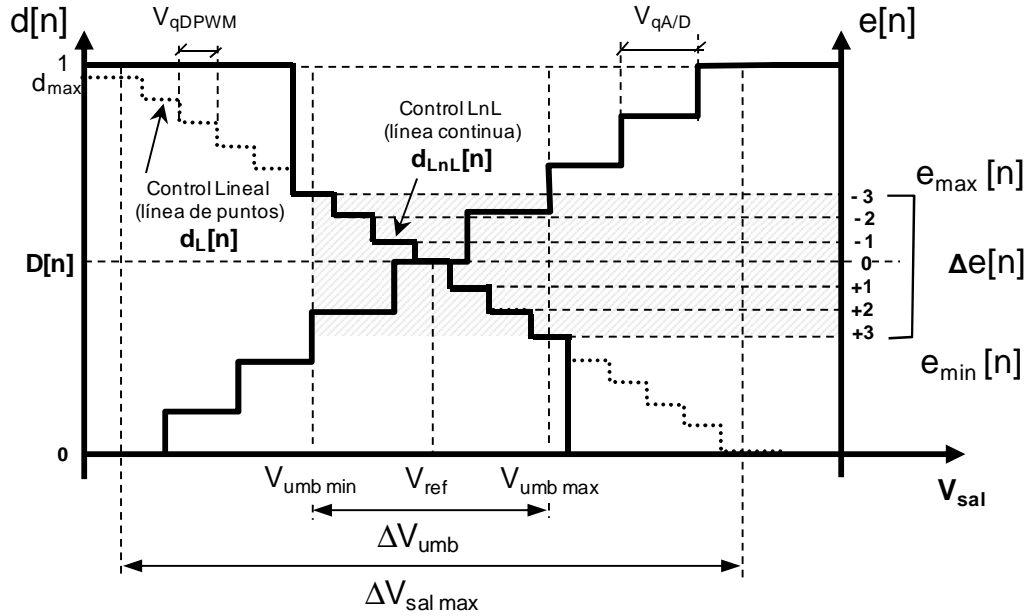


Fig. 7.10 Principio de funcionamiento del regulador LnL asíncrono.

El control LnL basa su funcionamiento en definir una banda de umbrales centrada alrededor del valor nominal de la tensión de salida (tensión de referencia). En la figura 7.10, se muestran las gráficas de las funciones de transferencia del regulador lineal (con línea de punto) y el regulador LnL asíncrono (línea continua). Como en la implementación analógica, la clave del control está en definir dos tensiones, una por encima y otra por debajo de la tensión de referencia ( $V_{umb\ max}$  y  $V_{umb\ min}$ ) respectivamente.

Estas tensiones a su vez definen la banda de error,  $\Delta e[n]$ . Si el valor absoluto del error,  $|e|$ , se encuentra dentro de la banda de umbral,  $|e| < \Delta V_{umb}$ , la señal de error digital se encuentra dentro de la banda de error,  $e[n] < \frac{1}{2}\Delta e[n]$ . En este caso, el multiplexor de modo de control (MMC) selecciona el ciclo de trabajo impuesto por el control lineal,  $d_{LnL}[n] = d_{Lin}[n]$  (modo de funcionamiento lineal). Si  $|e| > \Delta V_{umb}$ , la señal de error digital se encuentra fuera de la banda de error,  $e[n] > \frac{1}{2}\Delta e[n]$ . En este caso, el MMC satura el ciclo de trabajo (modo de funcionamiento no lineal) a su máximo valor,  $d_{LnL}[n] = 1$  en caso de que error sea negativo. Para el caso contrario, cuando el error es positivo, el MMC satura el ciclo de trabajo a su valor mínimo,  $d_{LnL}[n] = 0$ .

Una particularidad del regulador asíncrono, es que sólo necesita para su funcionamiento una ventana de conversión alrededor de la tensión de referencia. Esta banda está definida por la banda de error,  $\Delta e[n]$ , y depende de las tensiones de umbral,  $V_{umb\ max}$  y  $V_{umb\ min}$ .

A continuación, se analiza la influencia de la tensión de umbral sobre la resolución del conversor A/D, para el caso del convertidor con control LnL en comparación con el control lineal.

Para un regulador lineal clásico, la resolución del conversor A/D expresado en tensión,  $V_{q\ A/D}$ , está dada por el bit menos significativo, LSB y se selecciona menor que la cuarta parte de la tensión que define los límites dados en las especificaciones,  $\Delta V_{sal\ max}$ , es decir:

$$V_{q\ AD} \leq \frac{\Delta V_{sal\ max}}{4} \quad (7.15)$$

Esta relación evita los ciclos límites del control, [Ca03a], [Ca03b], [Pet03], [Sot04], [Gar06], [Mak06]. Analizando la figura 7.10, se puede ver que la banda de umbral está definida dentro de la banda de tolerancia permitida por las especificaciones,  $\Delta V_{umb} < \Delta V_{sal\ max}$ . Esto quiere decir, que el máximo valor de  $V_{q\ A/D}$ , del regulador propuesto está determinado, no por el valor de la variación de la banda de tolerancia,  $\Delta V_{sal\ max}$ , sino por el valor de la variación de la banda de umbral,  $\Delta V_{umb}$ , es decir:

$$V'_{q\ AD} \leq \frac{\Delta V_{umb}}{4} \quad (7.16)$$

Esto significa, que el regulador debe ser capaz de detectar rápidamente, si la tensión de salida sobrepasa los límites prefijados por las tensiones de umbral, con el objetivo de alcanzar una dinámica más rápida.

Una vez obtenido el valor de la resolución mínima necesaria,  $V'_{q\ AD}$ , y teniendo en cuenta el comportamiento no lineal del regulador, para valores del error que se encuentran dentro de la banda,  $-\frac{1}{2}\Delta e[n] > e[n] > \frac{1}{2}\Delta e[n]$ , se puede limitar el número de bits del conversor A/D de manera significativa.

Por ejemplo, según la ecuación (7.17), el número mínimo de bits necesario, para un conversor A/D tipo ventana, se define como:

$$N_{ADV LnL} = \text{int} \left[ \log_2 \left( \frac{\Delta V_{umb}}{V'_{q AD}} \right) \right] \quad (7.17)$$

En el caso de un conversor A/D sin ventana la expresión del número de bits queda definida como:

$$N_{AD LnL} = \text{int} \left[ \log_2 \left( \frac{\Delta V_{ent}}{V'_{q AD}} \right) \right] \quad (7.18)$$

Se demuestra que el menor número de bits necesarios para manejar el umbral es  $N_{AD}=2$ . Esto significa, que con sólo un conversor A/D de ventana de *dos bits* se garantiza el funcionamiento del control LnL. Para el caso, del control LnL sin ventana, se necesita un mayor número de bits, determinado por la tensión de entrada, ver ecuación (7.18). Una vez obtenida la señal de error  $e[n]$ , el valor del ciclo de trabajo  $d_{LnL}[n]$  se genera de acuerdo con la figura 7.11.

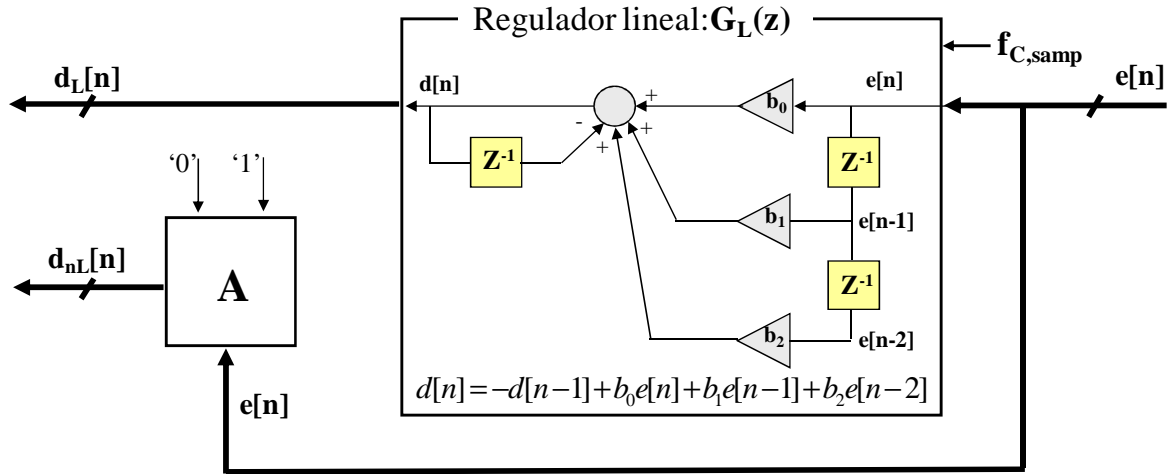


Fig. 7.11 Modos de funcionamiento del regulador LnL asíncrono: lineal ( $d_L[n]$ ) y no lineal ( $d_{nL}[n]$ ).

Si el error se encuentra dentro de la banda de error,  $-\frac{1}{2}\Delta e[n] < e[n] < \frac{1}{2}\Delta e[n]$ , el control LnL funciona en modo lineal. Esto quiere decir, que el ciclo de trabajo está impuesto por el

regulador lineal,  $d_{LnL}[n]=d_{Lin}[n]$  cuyo valor depende de su función de transferencia  $G_{Lin}(z)$ . El regulador lineal es un regulador diseñado en el dominio  $Z$  de tiempo discreto, [Alo03], [Gar06], [Mak06], [Zha06], [Yo08a], cuya ley de control responde a los criterios de estabilidad y regulación establecidos.

Si el error se encuentra fuera de la banda de error,  $-\frac{1}{2}\Delta e[n] > e[n] > \frac{1}{2}\Delta e[n]$ , el control LnL funciona en modo no lineal. Esto quiere decir, que el ciclo de trabajo estará impuesto por el bloque A, de tal forma que  $d_{LnL}[n]=d_{nL}[n]$ . La función de transferencia del bloque A es no lineal, en este caso se ha implementado una función simple, que satura a '0' o a '1' el ciclo de trabajo una vez que la señal de error sobresalga de los límites superior e inferior, definidos por la banda de error.

Este bloque es muy importante ya que interviene directamente en la dinámica del convertidor durante los transitorios, por lo que sólo se hará referencia al funcionamiento descrito anteriormente. Hay que destacar que este bloque permite, implementar cualquier otra ley de control no lineal más compleja como, por ejemplo, la propuesta de optimización del control LnL basado en el tiempo mínimo, sin necesidad de modificar el control lineal (ver capítulo 8).

En la figura 7.12, se muestra el algoritmo de funcionamiento simplificado del bloque no lineal A, del control LnL asíncrono. El algoritmo tiene como señales de entrada el periodo de reloj del sistema,  $Clk$ , que es el encargado de sincronizar todas las señales, el periodo de muestreo del conversor A/D,  $T_{AD}$ , y el código equivalente a la señal de error,  $e[n]$ .

El funcionamiento consiste en que en cada ciclo muestreo del conversor A/D se verifica si la señal de error se encuentra fuera de la banda de error, es decir,  $-\frac{1}{2}\Delta e[n] > e[n] > \frac{1}{2}\Delta e[n]$ . En dependencia de ello, el algoritmo satura a '0' o a '1' el ciclo de trabajo del convertidor. Los puntos marcados en el algoritmo con las letras A y B, son puntos a los que se harán referencia en el capítulo 8.

El algoritmo implementado es simple y no requiere de un *hardware* complejo. Aunque la función de control no lineal representada es simple, como se ha comentado antes, la implementación digital del control y en particular del bloque no lineal, permite ejecutar funciones no lineales más complejas.

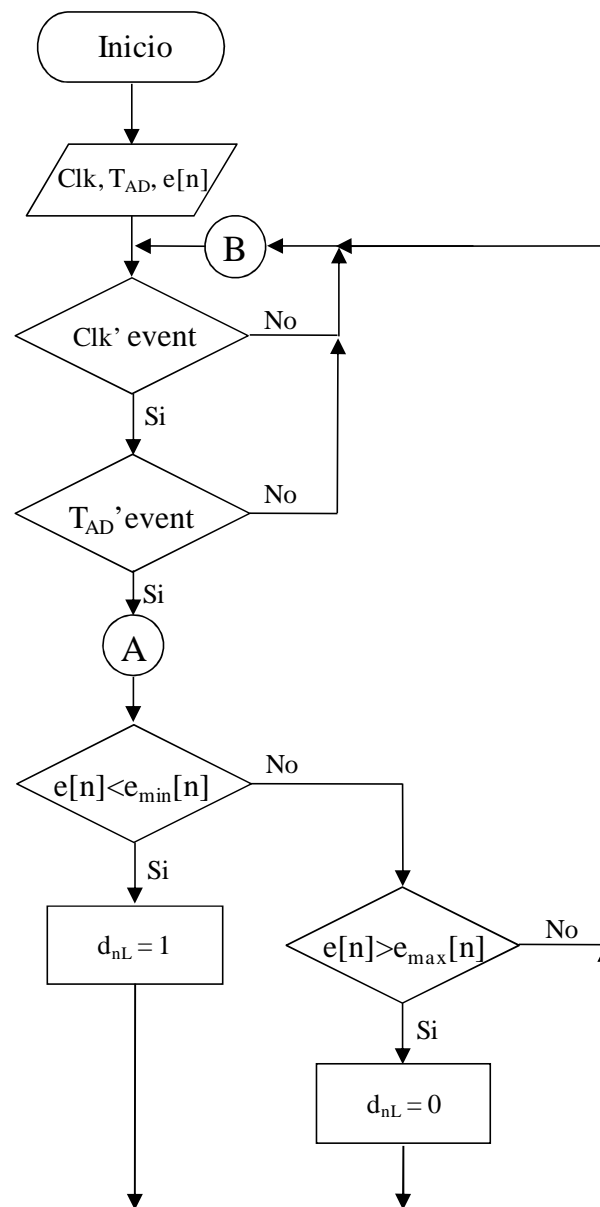


Fig. 7.12 Algoritmo de funcionamiento del bloque no lineal A del regulador LnL asíncrono.

En función de la complejidad de la ley de control no lineal, el algoritmo de control consumirá mayor o menor cantidad de recursos de *hardware*. Un algoritmo no lineal más complejo que optimiza la respuesta dinámica del convertidor, para unos parámetros dados, se propone en el capítulo 8.

Una vez que se ha obtenido el valor del ciclo de trabajo, teniendo en cuenta el modo de funcionamiento del control, el modulador de ancho de pulso digital (DPWM), genera las

señales de control con el desfase adecuado, para cada una de las fases (F1, F2, F3 y F4) que forman la etapa de potencia.

El DPWM genera las señales de disparo de cada una de las fases durante el modo de funcionamiento lineal. El principio de generación se basa en una estructura básica de contadores binarios, figura 7.13.

El registro del ciclo de trabajo almacena el dato correspondiente al ciclo de trabajo actual, actualizándose al menos, una vez al inicio de cada fase. Esto se realiza con un período igual a:

$$T_{dup} = \frac{T_{sw}}{N_f} \quad (7.19)$$

El comparador no solo es necesario para convertir el código del ciclo de trabajo de la fase correspondiente,  $d_{N, Lin}[n]$ , en una señal pulsante de frecuencia constante y ciclo de trabajo variable, sino que también recibe la referencia del desfase entre cada una de las fases, indicando así el instante de tiempo en que comienza el periodo de conmutación de cada fase.

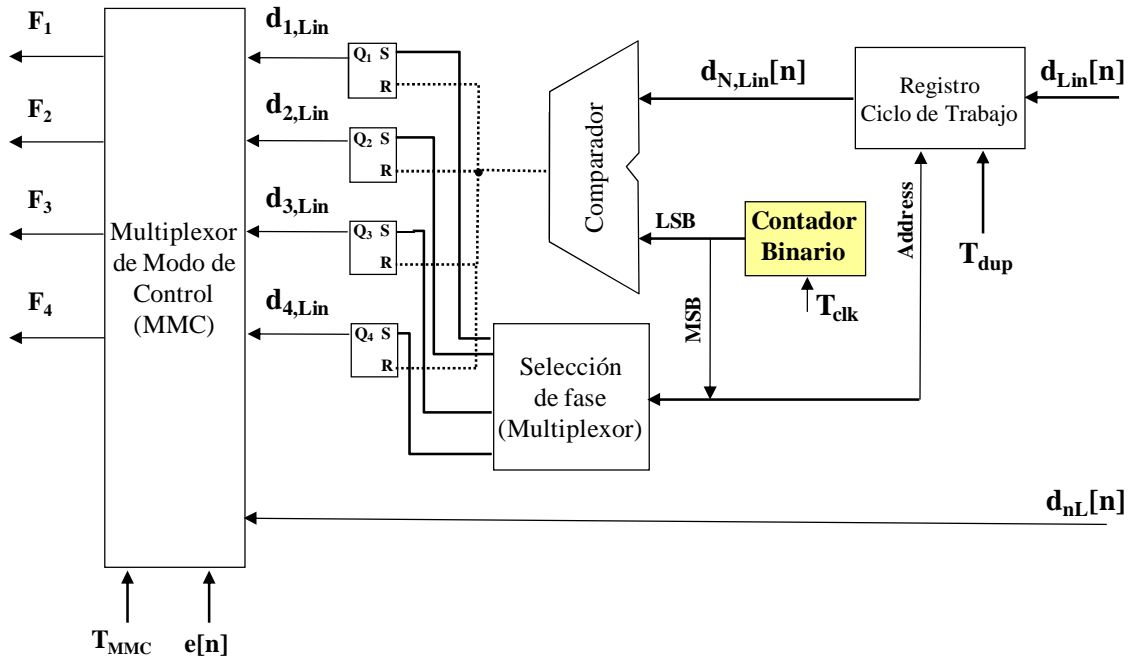


Fig. 7.13 Estructura DPWM basada en contador binario y Multiplexor de Modo de Control.

La referencia de fase, indica el inicio de cada una de las fases, de tal forma que garantice un desfase uniforme entre cada una de las fases. Una diferencia mínima en el desfase, puede provocar un desbalance considerable entre las corrientes que circulan por cada una de las fases del convertidor [Gar06].

El multiplexor de selección de fase, (MSF), obtiene la información sobre el desfase a partir del código correspondiente a la dirección (*address*) obtenida de los bits más significativos (MSB) del contador. Mientras, que los bits menos significativos (LSB) del contador, son comparados con el valor del ciclo de trabajo, con el objetivo de generar el ancho de pulso requerido de la señal de disparo de cada una de las fases.

Durante el modo de operación no lineal, ( $-\frac{1}{2}\Delta e[n] > e[n] > \frac{1}{2}\Delta e[n]$ ), en dependencia del valor de la señal de error,  $e[n]$ , el MMC selecciona el valor del ciclo de trabajo,  $d_{LnL}[n] = d_{nL}[n]$ , ver figura 7.13.

Un parámetro muy importante es la resolución del ciclo de trabajo del DPWM,  $V_{q \text{ DPWM}}$ . En los reguladores digitales no lineales, la resolución del ciclo de trabajo se selecciona de acuerdo a las condiciones de ciclo límite, [Pet01], como se analizó en el epígrafe anterior y está determinada por la siguiente expresión:

$$V_{q \text{ DPWM}} \geq \frac{V'_{q \text{ AD}}}{2^n} \quad (7.20)$$

Para  $n=1$ , se obtiene que:

$$V_{q \text{ DPWM}} \geq \frac{V'_{q \text{ AD}}}{2} \quad (7.21)$$

De aquí, que el número de bits del DPWM,  $N_{\text{DPWM LnL}}$ , para un conversor AD tipo ventana, se aproxima al valor entero superior y múltiplo de  $2^n$ , según lo describe la siguiente expresión:

$$N_{\text{DPWM LnL}} = N_{\text{ADV}} + 1 = \text{int} \left[ \log_2 \left( \frac{V_{umb}}{V'_{q \text{ AD}}} \right) + 1 \right] \quad (7.22)$$

Si se comparan las ecuaciones (7.18) y (7.22), se puede concluir que implementar un regulador L<sub>n</sub>L asíncrono, trae consigo un incremento de las exigencias, tanto para el

convertor A/D, como para el modulador DPWM, respecto a las requeridas por el regulador lineal.

### 7.3.1 INFLUENCIA DE LOS DIFERENTES PERÍODOS DE ACTUALIZACIÓN DEL SISTEMA EN LA DINÁMICA DEL CONVERTIDOR.

La dinámica de un convertidor con cualquier tipo de regulador, ya sea lineal o LnL, para una planta dada, está determinada por los períodos en que las señales del sistema son actualizadas. Es evidente que para el caso de un regulador lineal, tanto el período de muestreo del convertor A/D,  $T_{ADC}$ , el período de muestreo del regulador,  $T_C$ , y el período de actualización del ciclo de trabajo,  $T_{dup}$ , se seleccionan en función de la dinámica.

Para un VRM multifase, el período de actualización del ciclo de trabajo se define como:

$$T_{dup} = \frac{T_{sw}}{N_f} \quad (7.23)$$

Es evidente, que el regulador lineal debe generar un nuevo código,  $d_{Lin}[n]$ , al menos con un período de actualización,  $T_C = T_{dup}$ . En la figura 7.14, se muestra de manera cuantitativa la diferencia que existe entre el período de conmutación,  $T_{sw}$ , y el período de actualización del ciclo de trabajo,  $T_{dup}$ , para un VRM de 4 fases entrelazadas.

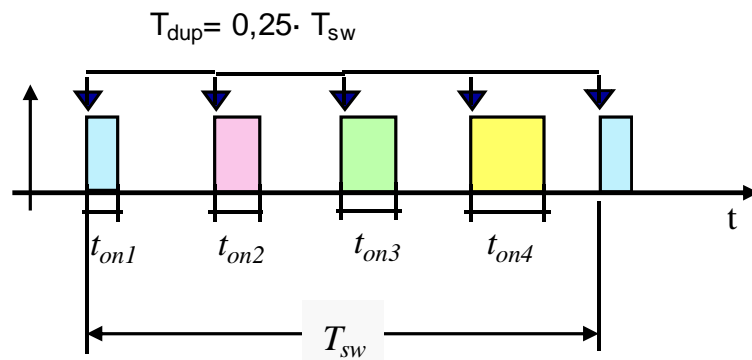


Fig. 7.14 Período de conmutación y el período de actualización del ciclo de trabajo.

Como se ha definido anteriormente, en el principio de funcionamiento del regulador asíncrono, la respuesta del convertidor durante los transitorios está determinada por el modo



de operación no lineal del regulador. El modo asíncrono de funcionamiento, relaciona los períodos de actualización del ciclo de trabajo,  $T_{dup}$ , y el período de actualización del MMC,  $T_{MMC}$ , ver figura 7.15.

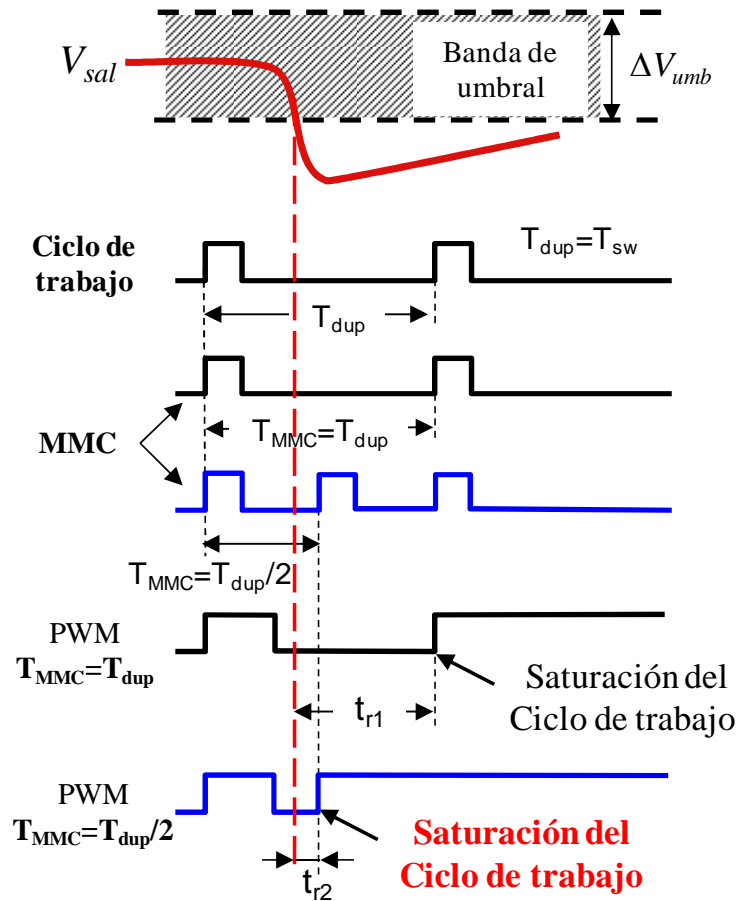


Fig. 7.15 Funcionamiento asíncrono del regulador LnL en función de  $T_{dup}$ .

Hay que destacar que los sistemas digitales por su naturaleza son síncronos respecto al período de reloj del sistema.

Para conocer cómo influye este parámetro ( $T_{MMC}$ ), sobre la respuesta del convertidor, en la figura 7.15, se analiza a modo de ejemplo, la respuesta del convertidor ante un mismo escalón de carga positivo, para diferentes períodos de muestreo del MMC. El tiempo que el convertidor tarda en saturar el ciclo de trabajo, una vez que la tensión de salida se ha hecho menor que la tensión de umbral mínima,  $V_{umb\ min}$ , se ha definido como tiempo de retardo inicial,  $t_{ri}$ .

Del análisis de la figura 7.15, se puede concluir que una disminución del período de muestreo del MMC,  $T_{MMC}$ , permite detectar más rápidamente una variación de la tensión de salida. Esto se debe, a que el tiempo que tarda el regulador en responder es menor,  $t_{r2} < t_{r1}$ , por lo que es capaz de saturar más rápidamente el ciclo de trabajo. Como resultado, la respuesta del convertidor es más rápida.

Antes de resumir los principales parámetros de diseño de cada uno de los reguladores, es necesario indicar la relación que existe entre cada uno de los periodos del sistema:

- el periodo de reloj  $T_{Clk}$ , es el más pequeño y permite sincronizar todas las señales del sistema. A partir de él se generan el resto de los periodos;
- el periodo de conmutación  $T_{sw}$ , define el periodo de conmutación de cada una de las fases del VRM;
- el periodo de muestreo del conversor A/D  $T_{AD}$ , en el regulador lineal, se selecciona igual al periodo de conmutación entre el número de fase del VRM. Para el caso del regulador LnL, se selecciona lo más pequeño posible ya que de su velocidad de muestreo y conversión depende la rapidez en la respuesta del bloque no lineal;
- el periodo de actualización del regulador  $T_C$ , es el periodo en que se actualiza el regulador lineal. Tanto en el control lineal como en el control LnL se selecciona igual (o menor) al periodo de conmutación entre el número de fase del VRM, y afecta a la función de transferencia del regulador;
- el periodo de muestreo del multiplexor de modo de control  $T_{MMC}$ , es el periodo de muestreo del multiplexor de modo de control. Está presente solo en el regulador LnL. Se selecciona igual al periodo de muestreo del conversor A/D ya que de ello dependerá la dinámica del convertidor durante el modo no lineal de funcionamiento del convertidor;
- el periodo de actualización del ciclo de trabajo  $T_{dup}$ , es el periodo en que se actualiza el ciclo de trabajo de cada una de las fases. Tanto en el control lineal como en el control LnL se selecciona igual (o menor) al periodo de conmutación entre el número de fase del VRM;

En la tabla 7.1, se resumen los principales parámetros de diseño y las condiciones que deben cumplir para garantizar el funcionamiento del convertidor con ambos reguladores: lineal y LnL asíncrono.

**TABLA 7.1**  
**RESUMEN COMPARATIVO DE LOS PRINCIPALES PARÁMETROS DE DISEÑO**

<i>Parám.</i>	<i>Tipo de Regulador</i>		<i>Descripción</i>
	<i>Lineal</i>	<i>Asíncrono LnL</i>	
$V_{q\ AD}$	$\frac{\Delta V_{sal\ max}}{4}$	$\frac{\Delta V_{umb}}{4}$	Resolución en tensión del conversor A/D
$N_{AD}$	$int \left[ \log_2 \frac{V_{ent}}{V_{q\ AD}} \right] =$ $int \left[ \log_2 \frac{4V_{ent}}{\Delta V_{sal\ max}} \right]$	$int \left[ \log_2 \frac{V_{ent}}{V'_{q\ AD}} \right] =$ $int \left[ \log_2 \frac{4V_{ent}}{\Delta V_{umb}} \right]$	Número de bits del conversor A/D (normal)
$N_{ADV}$	$int \left[ \log_2 \frac{\Delta V_{sal\ max}}{V_{q\ AD}} \right] =$ $int \left[ \log_2 \frac{4\Delta V_{sal\ max}}{\Delta V_{sal\ max}} \right]$	$int \left[ \log_2 \frac{\Delta V_{umb}}{V'_{q\ AD}} \right] =$ $\log_2 \frac{4\Delta V_{umb}}{\Delta V_{umb}} = 2$	Número de bits del conversor A/D tipo ventana
$T_{AD}$	$T_{AD} = T_C$	$T_{AD} < T_C$ $T_{AD} = T_{MMC}$	Período de muestreo del conversor A/D
$V_{q\ DPWM}$	$\frac{\Delta V_{sal\ max}}{8}$	$\frac{\Delta V_{umb}}{8}$	Resolución en tensión del modulador DPWM
$N_{DPWM}$	$N_{ADL}+1$	$N_{ADLnL}+1$	Número de bits del Modulador DPWM
$N_{DPWMV}$	$N_{ADL}+1$	$N_{ADLnL}+1$	Número de bits del Modulador DPWM (con conversor A/D tipo ventana)
$T_{MMC}$	NA	$T_{MMC} = T_{AD}$	Período de muestreo del MMC

Se han definido dos números de bits diferentes:  $N_{AD}$  y  $N_{ADV}$ . El primero está relacionado con las aplicaciones que utilizan conversores A/D convencionales, que cubren todo el rango de la tensión de entrada. Mientras que  $N_{ADV}$  está relacionado con aquellas aplicaciones, que

utilizan convertidores A/D tipo ventana y que utilizan como rango de conversión, la ventana definida por la variación máxima de la tensión de salida. Es evidente, que la segunda opción optimiza el uso del convertidor A/D, garantizando con un menor número de bits el correcto funcionamiento del convertidor.

Como se puede ver, el número mínimo de bits del convertidor A/D, para ambos reguladores es el mismo (2 bits), la diferencia radica en la resolución y el período de muestreo. Los convertidores A/D para aplicaciones con control LnL requieren de una resolución y un período de muestreo, mucho más exigente. Esto se debe a que la resolución depende la banda de umbral, ( $\Delta V_{umb}$ ), y no de la banda definida por la variación máxima de la tensión de salida, ( $\Delta V_{sal\ max}$ ).

Por otra parte, el período de muestreo del convertidor A/D,  $T_{AD}$ , está definido por el período de muestreo del MMC,  $T_{MMC}$ , y no por el período de muestreo del regulador,  $T_C$ , donde se cumple que  $T_{MMC} < T_C$ . Este tipo de convertidor es muy utilizado en los sistemas empotrados de uso específico.

A continuación, se valida el funcionamiento del control LnL implementado digitalmente. Además se analiza la influencia de cada uno de los parámetros antes descritos, sobre la dinámica del convertidor.

### 7.3.2 RESULTADOS EXPERIMENTALES

El análisis experimental se ha realizado sobre el VRM de referencia, cuyas características se definen en la tabla 6.6. El prototipo utilizado para las mediciones experimentales se muestra en el anexo I. Al prototipo se le han realizado un grupo de experimentos relacionados con el regulador LnL asíncrono, implementado digitalmente.

En las figuras 7.16, 7.17, 7.18, 7.19 y 7.20, se muestran con líneas discontinuas horizontales los niveles de tolerancia fijados en las especificaciones. En este caso particular, la máxima variación permisible de la tensión de salida debe ser de  $\pm 30\text{mV}$ , que corresponde con el 2% del valor nominal de la tensión de salida (1,5V). Todos los experimentos están realizados ante escalones de carga de 50A con una derivada de la corriente de 40A/ $\mu\text{s}$ . Para todos los casos, la forma de onda representada en la parte superior de la gráfica, corresponde

con la señal de control del escalón de la corriente de carga, y en la parte inferior, el valor de la tensión de salida del VRM.

Se ha analizado la influencia del ancho de banda del regulador lineal, del período de muestreo del conversor A/D y del período de actualización del ciclo de trabajo sobre la respuesta dinámica del convertidor. Gracias, a la capacidad de reconfiguración que ofrece la plataforma de diseño basada en FPGA, los parámetros del convertidor se pueden reconfigurar de una forma fácil y rápida.

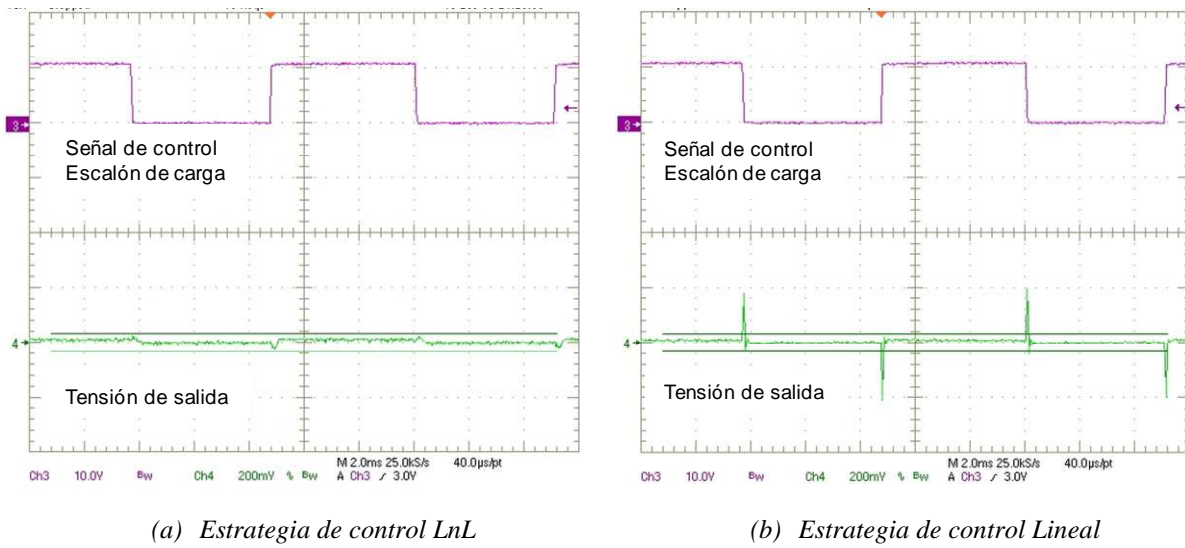
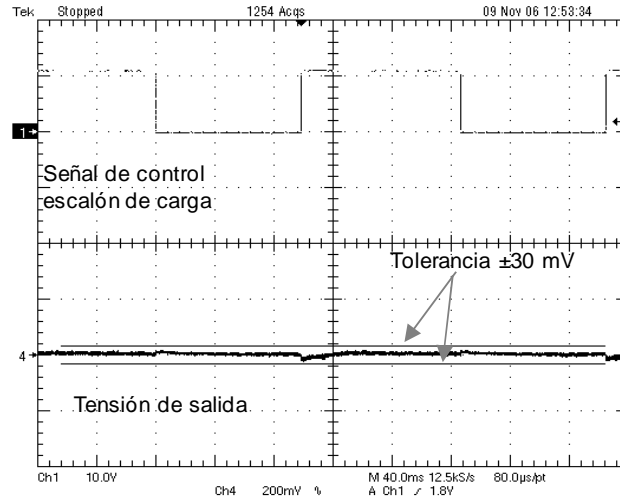


Fig. 7.16 Respuesta transitoria del VRM de 4 fases ante escalones de carga de 50A y derivada de 40A/ $\mu$ s y con ancho de banda del regulador lineal igual a 20kHz.

El objetivo que se persigue en éste epígrafe, es hacer una comparativa entre dos reguladores: uno lineal y otro LnL, considerando dos valores de ancho de banda ( $\Delta B$ ) del regulador: 20kHz, figura 7.16, y 40Hz, figura 7.17. La función de transferencia del regulador lineal,  $G_{Lin}(z)$ , se ha calculado seleccionando el período de muestreo del regulador adecuado para cada ancho de banda:  $T_C = T_{sw}/N_f$ , para  $\Delta B = 20\text{kHz}$ , y  $T_C = T_{sw}$ , para  $\Delta B = 40\text{Hz}$ . Los bloques de conversión de la tensión de salida, (conversor A/D), y el modulador DPWM, son los mismos para ambos casos. El conversor A/D utilizado funciona a frecuencia de muestreo asíncrona, igual a 15MHz, en modo de conversión continuo (*free-running conversion*).

Como se puede observar en la figura 7.16 (a), y en la figura 7.17, ambos VRM con control LnL digital cumple con las especificaciones dinámicas, incluso con un ancho de banda del regulador lineal muy pequeño (40Hz).



*Fig. 7.17 Respuesta transitoria de un VRM de 4 fases con control LnL digital, ante escalones de carga de 50A y derivada de 40A/ $\mu$ s. Ancho de banda del regulador lineal 40Hz.*

De aquí, se puede concluir que el regulador LnL es robusto desde el punto de vista del ancho de banda del regulador lineal. Además, se puede observar en la figura 7.16 (b), que el mismo VRM con control lineal digital y ancho de banda igual a 20kHz, tampoco cumple con las especificaciones. Esto significa que el regulador LnL propuesto es capaz de garantizar la estabilidad del sistema, cumpliendo además con las especificaciones dinámicas y permite desacoplar la respuesta dinámica del ancho de banda del regulador lineal.

### 7.3.2.1 PERÍODO DE MUESTREO DEL CONVERTOR A/D.

Otro análisis realizado es el relacionado con el período de muestreo del convertor A/D. Se valida mediante resultados experimentales la influencia del período de muestreo sobre la respuesta dinámica del convertidor. Hay que recordar que el período de muestreo del convertor A/D, ( $T_{AD}$ ), está determinado por el período de muestreo mínimo del regulador, en este caso el período de muestreo del MMC ( $T_{MMC}$ ). Esto quiere decir, que  $T_{AD} = T_{MMC}$ .

En la figura 7.18, se muestra la respuesta transitoria de la tensión de salida ante un escalón de carga positivo y otro negativo, para un VRM de 4 fases, con control LnL. Se han

considerado dos tipos diferentes de período de muestreo del conversor A/D y manteniendo constante el ancho de banda del regulador lineal.

La figura 7.18 (a), muestra la variación de la tensión de salida para un período de muestreo del conversor A/D, igual al período de muestreo del regulador lineal, es decir,  $T_{AD}=T_C=0,83\mu s$  (1,2MHz). En la figura 7.18 (b), se muestra la variación de la tensión de salida para un período de muestreo del conversor A/D, dos veces menor que el período de muestreo del regulador lineal, es decir,  $T_{AD}=T_C/2=0,41\mu s$  (2,4MHz).

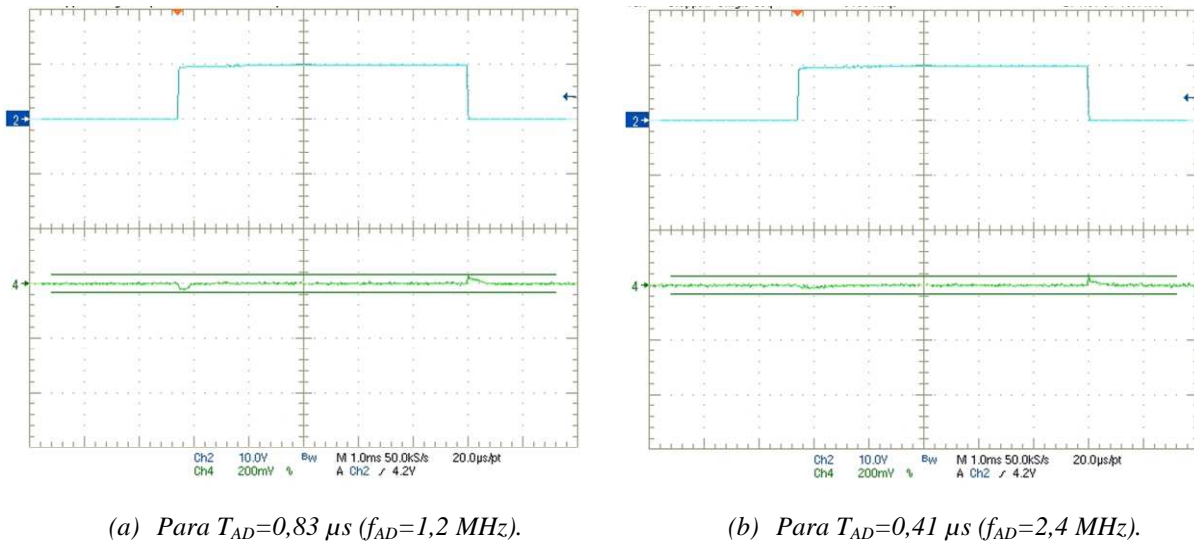


Fig. 7.18 Respuesta transitoria de un VRM de 4 fases con control LnL digital, ante escalones de carga de 50A y derivada de 40A/ $\mu s$ , para diferentes períodos de muestreo del conversor A/D.

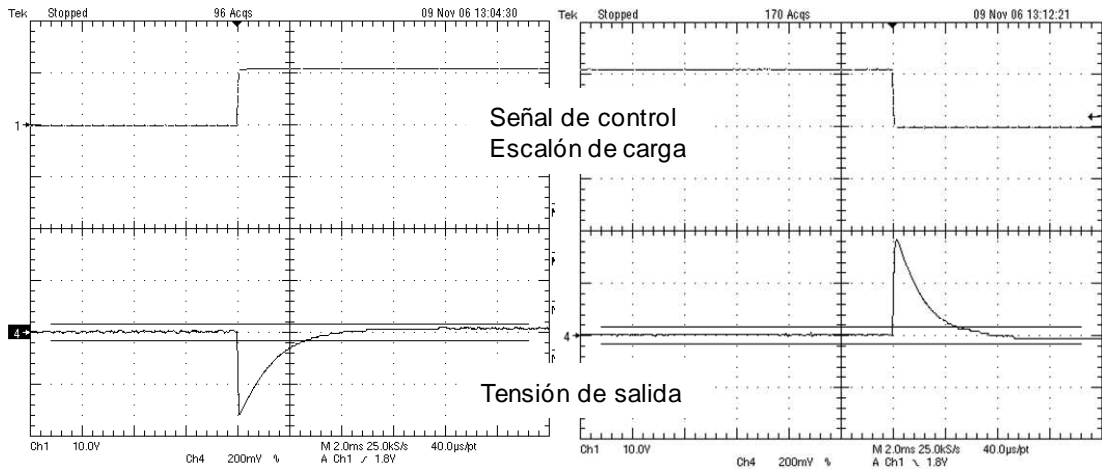
Del análisis de los resultados obtenidos se puede concluir, que si se disminuye el período de muestreo del conversor A/D, se mejora la respuesta transitoria del convertidor, gracias al funcionamiento asíncrono del regulador. A continuación, se analiza la influencia del período de actualización del ciclo de trabajo,  $T_{dup}$ , en la respuesta dinámica.

### 7.3.2.2 PERÍODO DE ACTUALIZACIÓN DEL CICLO DE TRABAJO.

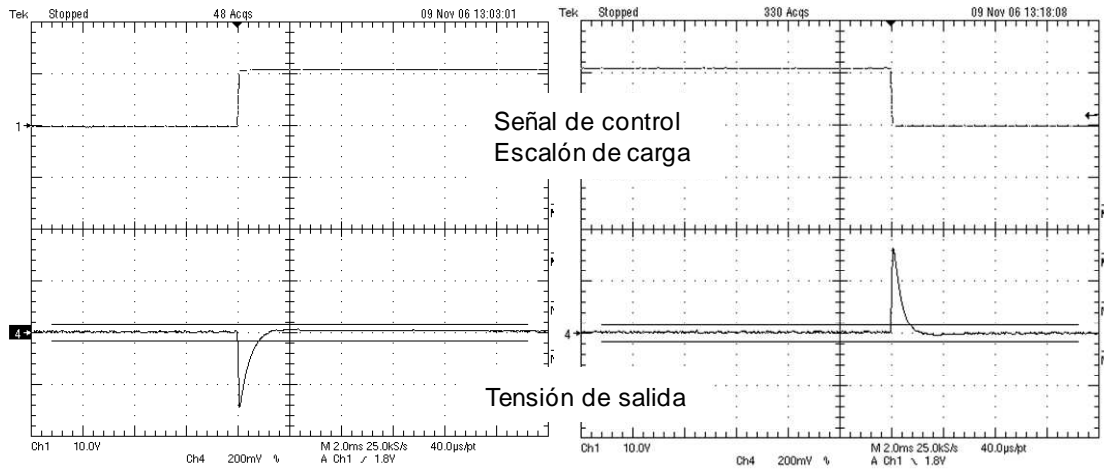
En las figura 7.19 y 7.20, se muestra la respuesta transitoria de la tensión de salida ante un escalón de carga positivo (gráfica de la izquierda) y otro negativo (gráfica de la derecha), para un VRM de 4 fases con regulador lineal y LnL respectivamente.

Para el análisis, se han considerado dos valores diferentes de período de actualización del ciclo de trabajo: uno cuando el período de actualización del ciclo de trabajo es igual al período de conmutación y otro igual a cuatro veces el período de conmutación. Hay que destacar, que el ancho de banda del regulador lineal para ambos casos es el mismo.

Como se puede observar, en la figura 7.19, el tiempo de recuperación del control se reduce considerablemente cuando el período de actualización del ciclo de trabajo disminuye.



(a) Para  $T_{dup}=T_{sw}=3,33\mu s$  ( $f_{dup}=300kHz$ ).

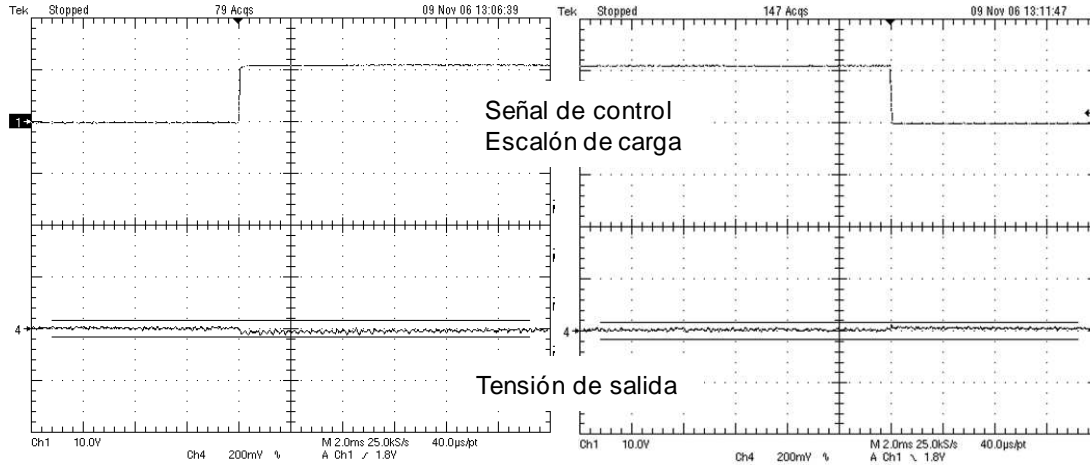


(b) Para  $T_{dup}=0,83\mu s$  ( $f_{dup}=1,2MHz$ ).

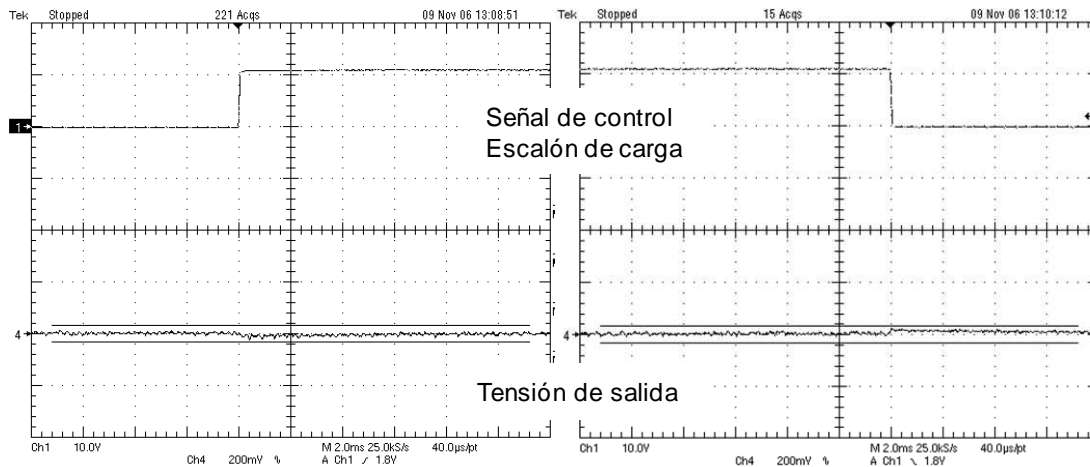
Fig. 7.19 Respuesta transitoria de un VRM de 4 fases con control lineal digital ante escalones de carga de 50A y derivada de 40A/μs, para diferentes períodos de actualización del ciclo de trabajo.



De aquí, se puede concluir que una disminución del período de actualización del ciclo de trabajo para un convertidor con control lineal conlleva a una mejora de la respuesta dinámica del convertidor. Esto se debe, a que el período de actualización del ciclo de trabajo influye sobre la función de transferencia del regulador.



(a) Para  $T_{dup}=T_{sw}=3,33\mu s$  ( $f_{dup}=300kHz$ ).



(b) Para  $T_{dup}=0,83\mu s$  ( $f_{dup}=1,2MHz$ ).

Fig. 7.20 Respuesta transitoria de un VRM de 4 fases con control LnL digital ante escalones de carga de 50A y derivada de 40A/μs, para diferentes períodos de actualización del ciclo de trabajo.

De los resultados que se muestran en la figura 7.20, se puede concluir que una disminución del período de actualización del ciclo de trabajo, para un mismo VRM, pero con control LnL, no afecta significativamente el transitorio de la tensión de salida.

De todo el análisis experimental realizado se puede concluir, que el control LnL es robusto desde el punto de vista del período de actualización del ciclo de trabajo.

## 7.4 IMPLEMENTACIÓN DEL CONVERTOR A/D DE ALTA VELOCIDAD

Teniendo en cuenta los requisitos que deben cumplir los convertidores A/D para aplicaciones de baja potencia, en cuanto a velocidad y resolución, se hace necesario diseñar nuevas soluciones que permitan mejorar sus prestaciones. La mayoría de los convertidores A/D propuestos en [Pet03], [Mak04], [Mak06], [Ste06], se diseñan empotrados en un *chip*, conjuntamente con los demás componentes del regulador, (regulador, DPWM), y se limitan sólo a aplicaciones de uso específico, [Pat00], [Pet03], [Mal04], [Sye04], [Car06], [Mak06], [You06].

Uno de los objetivos de éste trabajo es implementar un convertor A/D de alta velocidad de uso general, empotrado en una FPGA de bajo coste, utilizando la configuración de los puertos de entrada/salida (E/S) de la misma. Esta aplicación es válida para otros tipos de FPGA.

### 7.4.1 CONVERTOR A/D DE ALTA VELOCIDAD

El objetivo de éste epígrafe, es proponer una implementación de bajo coste de un convertor A/D para aplicaciones de electrónica de potencia, caracterizarlo y exponer sus principales ventajas y desventajas.

Si se analizan los resultados mostrados en la tabla 7.1, se puede concluir que la resolución mínima necesaria del convertor A/D para el caso de un convertidor con control LnL asíncrono, es mayor que para un convertidor con control lineal. Las condiciones de ciclo límite para el primer caso, están determinadas por el rango de tensión definido por la banda de umbrales,  $\Delta V_{umb}$ . Para el segundo caso, éstas condiciones están definidas por la banda de regulación, es decir por el rango máximo de variación de la tensión de salida,  $\Delta V_{sal\ max}$ .

El análisis posterior del convertor A/D, la definición de sus principales características y parámetros, se basan en un convertor tipo *flash-window* (ventana), como solución óptima para la implementación de ambos reguladores [Pat02], [Pet03], [Mak06]. El rango de conversión para este tipo de convertor A/D, para aplicaciones de electrónica de potencia, no está definido por el valor de la tensión de entrada, sino por el rango de variación de la tensión de salida, si el diseño está basado en un regulador. Para el caso del regulador LnL, el rango de conversión

está definido por la banda de umbral. El número de bits mínimo del conversor A/D para ambos casos puede ser el mismo, en este caso  $N_{AD}=2$ , ver tabla 7.1.

Esto quiere decir, que ambos conversores A/D tienen el mismo número de niveles de cuantificación. La diferencia radica en la resolución, es decir en el valor expresado en tensión del bit menos significativo de cada uno de ellos. Analizando el mismo ejemplo planteado anteriormente, para el caso de un convertidor con  $V_{ent}=5V$  y  $V_{sal}=1,5V$ , y una variación máxima de la tensión de salida especificada de  $\pm 2\%$   $V_{sal}=\pm 30mV$ , el peso del LSB del conversor A/D para el caso del convertidor con control lineal, (ver detalles tabla 7.1), es igual a  $\Delta V_{A/D \text{ Lin}}=15mV$ . Para el caso, del convertidor con control LnL asíncrono, el peso del LSB del conversor A/D, es igual a  $\Delta V_{A/D \text{ LnL}}=7,5mV$ . Es evidente que los ruidos de conmutación y el rizado de la tensión de salida van a influir más mientras menor sea el rango de tensiones que definen la banda de umbral. De aquí que la banda de umbral tenga un límite físico, determinado no sólo por éstos parámetros, sino además por la capacidad de respuesta que tenga el sistema para detectar y reaccionar ante una perturbación.

Los conversores A/D con arquitectura tipo *flash*, son los que ofrecen las mejores prestaciones en cuanto a velocidad de conversión. En la figura 7.21, se muestra el diagrama de bloques de este tipo de conversor A/D. El mismo basa su funcionamiento en la comparación de la señal de entrada analógica con una señal de referencia. La tensión de referencia,  $V_{ref}$ , determina el nivel más alto de cuantificación. Los diferentes niveles de cuantificación,  $V_0$  y  $V_{j-1}$ , de la señal de entrada analógica, se fijan con ayuda de un divisor resistivo. En este caso, de  $j+1$  elementos ( $R_0$  a  $R_j$ ), ver figura 7.21.

Cada comparador genera un '1' lógico cuando la señal analógica de entrada es mayor que la tensión de referencia. De lo contrario, la tensión de salida del comparador es igual a '0' lógico. Un registro (*latch*), es el encargado de almacenar el valor actual a la salida del comparador, en cada período de muestreo del conversor A/D,  $T_{AD}$ . Finalmente, el código digital termométrico obtenido de  $j$  bits, a la salida de cada registro, ( $q_0$  a  $q_{j-1}$ ), es codificado según la ley de control implementada.

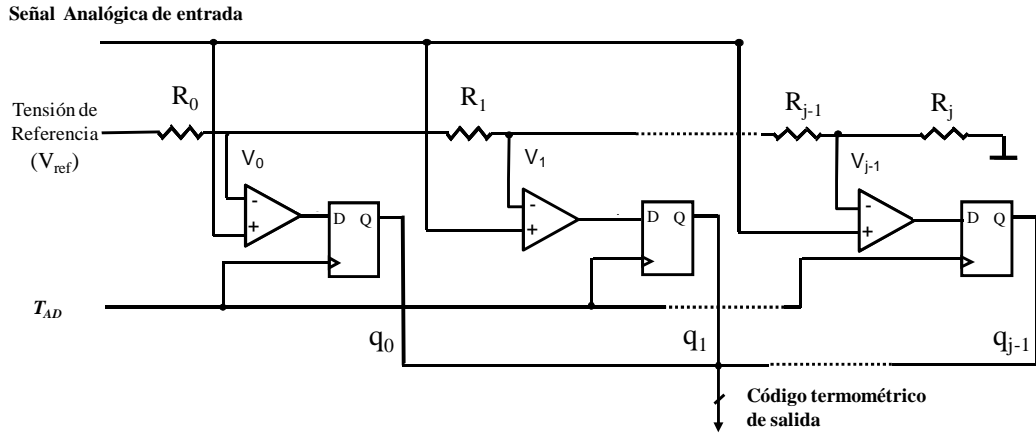


Fig. 7.21 Arquitectura del convertor A/D tipo flash.

Analizando la arquitectura mostrada en la figura 7.21, se puede concluir que el número de resistencias y comparadores, dependen del número de bits del convertor A/D. Este parámetro a su vez, depende de la resolución,  $V_{qAD}$ , con que se quiera reproducir la señal analógica de entrada, y de su rango máximo de variación.

De esta forma, para un convertor A/D de  $n$  bits, se necesitan  $2^n$  comparadores y un divisor resistivo de  $2^n+1$  resistencia.

Uno de los inconvenientes de los convertores A/D para aplicaciones de alta velocidad, es que los datos de salida del convertor A/D no se obtienen inmediatamente, sino que tienen un retardo equivalente a varios ciclos de reloj ( $N_{lat}$ ). Este fenómeno se conoce como latencia del convertor A/D. Este parámetro determina que el tiempo de conversión de datos del A/D es  $N_{ciclos}$  más grande que el periodo de muestreo del sistema ( $T_{clk AD}$ ).

De aquí, que el período mínimo de muestreo del convertor A/D esté estrechamente relacionado con la latencia del mismo, según la siguiente expresión:

$$T_{min AD} = N_{lat} T_{clk AD} \quad (7.24)$$

Por ejemplo, para el caso del convertor A/D comercial THS1230 el periodo de reloj mínimo es aproximadamente igual a 33ns (30MHz). El mismo tiene una latencia de 5 ciclos de reloj. Eso significa que el dato actual muestreado, puede ser leído a la salida del convertor A/D, sólo con un retraso de 5 ciclos de reloj. En la práctica, esta situación se puede analizar de la siguiente manera, se quiere diseñar un VRM de 4 fases entrelazadas. Para la conversión

de la señal analógica de salida del convertidor, se utiliza un conversor THS1230. ¿Cuál es el período de conmutación mínimo, si se tiene en cuenta que el ciclo de trabajo del convertidor se actualiza 4 veces por período de conmutación? Teniendo en cuenta la ecuación (7.24), el período mínimo de muestreo del conversor A/D es igual a 165ns (6MHz).

Por lo tanto, para un convertidor de cuatro fases con una estrategia de control lineal, la frecuencia de conmutación máxima está limitada a 1,5MHz, [Xia01], [Pet03], [Gar06], [Mak06]. Como consecuencia de las limitaciones del conversor A/D, es necesario seleccionar un dispositivo que permita disminuir el período de muestreo, de tal manera que se garanticen las características dinámicas del regulador.

Uno de los objetivos de este capítulo, es proponer una estructura de conversor A/D que permita mejorar sus prestaciones en cuanto a velocidad de conversión (minimizar su latencia). Para ello, se propone la implementación de un convertidor de tipo *flash-window*, usando los recursos proporcionados por una FPGA de bajo coste (por ejemplo la Spartan-3 de Xilinx).

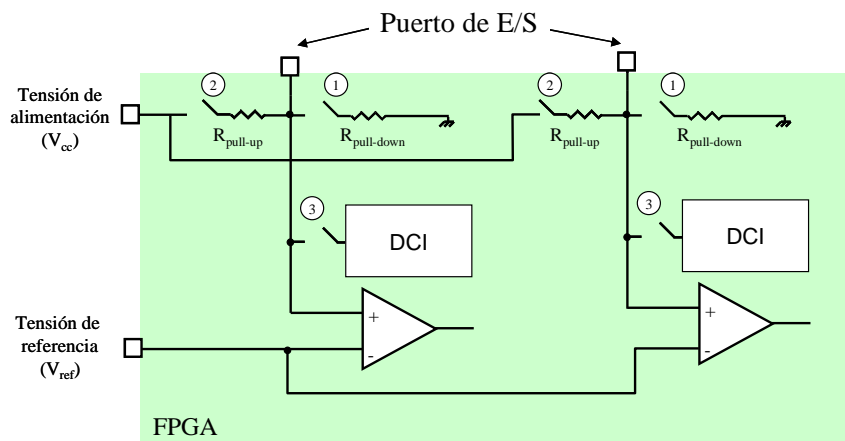


Fig. 7.22 Configuración de los pines de E/S de la FPGA de bajo coste.

De forma general, las FPGA de bajo coste permiten tres tipos de configuraciones diferentes de los puertos de entrada y salida (E/S). La figura 7.22, recoge el diagrama de bloques simplificado de las distintas configuraciones de los puertos.

A continuación, cuando en el texto se refiera al número de una configuración determinada, se asume que todos los interruptores que tengan ese número estarán cerrados, mientras que el

resto permanecerán abiertos. Además todos los pines representados con un cuadrado, son pines de acceso externo de la FPGA.

Se presentan tres tipos de configuraciones de los puertos de E/S:

1. Configuración ①. Consiste en conectar una resistencia de *pull-down*, ( $R_{\text{pull-down}}$ ), en el puerto de E/S de la FPGA.
2. Configuración ②. Consiste en situar un resistencia de *pull-up*, ( $R_{\text{pull-up}}$ ), en el puerto de E/S de la FPGA.
3. Configuración ③. Permite ajustar la impedancia del puerto de E/S por medio de un bloque específico disponible en la FPGA, que controla su impedancia (*Digital Controlled Impedance*, DCI).

El objetivo que se persigue en este epígrafe, es demostrar la validez de la arquitectura propuesta para aplicaciones de electrónica de potencia. Para la implementación del conversor A/D de tipo *flash-window*, se ha utilizado una de las configuraciones de los puertos de E/S de la FPGA cuyo funcionamiento sea similar al de la estructura descrita en la figura 7.21. Comparando la configuración representada en la figura 7.21 con la de la figura 7.22, se puede ver que aunque funcionalmente son equivalentes, existen unas pequeñas diferencias que se describen a continuación.

En la figura 7.23, se muestra la estructura del conversor A/D propuesto. La cuantificación de la señal de entrada analógica, a diferencia de la estructura convencional, ver figura 7.21, se realiza a tensión de referencia constante. Para lograr los diferentes niveles de cuantificación, la señal analógica de entrada se divide con ayuda de un divisor resistivo de tensión, ver figura 7.23. De ésta forma, se van a establecer los diferentes niveles de cuantización de la señal analógica de entrada ( $V_0$  a  $V_{j-1}$ ), en lugar de utilizar diferentes niveles de la tensión de referencia, como se hace en el conversor A/D tipo *flash* convencional. La tensión de referencia a través de un divisor resistivo, prefija los diferentes niveles de cuantificación de la señal analógica. El número de puertos de E/S a configurar como entrada, depende del número de bit del conversor a implementar.

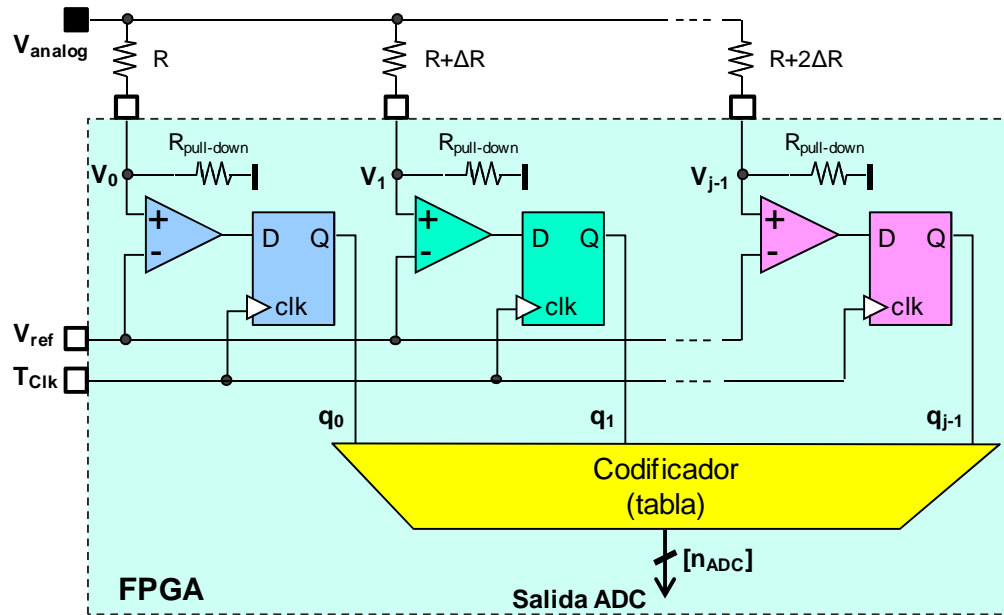


Fig. 7.23 Estructura del conversor AD propuesto utilizando las resistencias internas de pull-down.

Si se analizan las diferentes configuraciones de los puertos de E/S de la FPGA, ver figura 7.22, y se compara con la arquitectura de conversor tipo *flash* que se muestra en la figura 7.21, es necesario implementar el divisor de tensión. Esto es posible utilizando la configuración ② o la ③. En este caso, se ha seleccionado la configuración número ②, que consiste en la utilización de la resistencia de *pull-down* del puerto de E/S de la FPGA. Esto simplifica el número de componentes externos y además permite validar las prestaciones del conversor A/D implementado en una FPGA. La otra parte, de las resistencias que forman el divisor de tensión, se conectan externamente y sus valores son calculados en función del nivel de cuantificación y de la precisión que se desee.

Comparando la arquitectura del conversor A/D tipo *flash* comercial (figura 7.21), con la estructura propuesta, se puede concluir que el principio de operación de ambos conversores A/D, es similar. Por lo tanto, la solución propuesta es muy simple ya que para implementar un conversor A/D de  $n$  bits utilizando los recursos disponibles en la FPGA, sólo es necesario utilizar  $2^n$  puertos de E/S de la FPGA y la misma cantidad de resistencias externas. Además, el conversor A/D propuesto, presenta una ventaja muy importante desde el punto de vista de las especificaciones del convertidor.

Gracias a la capacidad de procesamiento en paralelo de la información que poseen las FPGA (conurrencia), se obtiene una velocidad de conversión de datos mayor del conversor A/D. La conversión se puede realizar incluso durante un sólo ciclo de reloj de la FPGA ( $T_{clk}$ ), por lo que el tiempo de conversión sólo depende del período del reloj utilizado. Para el caso particular de la FPGA de bajo coste utilizada, la frecuencia de reloj máxima puede ser hasta 300 MHz. Por lo tanto, el periodo de muestreo del conversor A/D se puede reducir considerablemente, sin incrementar el coste del dispositivo.

Por otra parte, gracias a la capacidad de reconfiguración que tienen este tipo de dispositivos, se pueden implementar leyes de codificación no solo lineales sino no lineales. Como por ejemplo, se pueden cuantizar las zonas de funcionamiento donde se necesite una mayor precisión en la medición con una resolución superior a otras, donde se requiere una menor precisión.

El algoritmo optimizado para seleccionar, tanto la resolución como el período de muestreo del conversor A/D para su aplicación en convertidores reductores con control LnL asíncrono, se detalla en el capítulo 8 de esta tesis.

El valor de las resistencias adicionales que forman parte del divisor de tensión ( $R$  y  $\Delta R$ , ver figura 7.23), dependen de la resolución requerida para el conversor A/D y del valor de la resistencia interna de *pull-down*, ( $R_{pull-down}$ ). No obstante, existen algunas restricciones de diseño del valor de las resistencias adicionales, debido a que el valor de la resistencia de *pull-down* depende de su tolerancia, por lo que se puede modificar el resultado de la conversión cuando la variación de la resistencia debido a la tolerancia es del orden del incremento de  $\Delta R$ . De la figura 7.23 se puede deducir que el valor de la resistencia  $R$  se puede representar como:

$$R = R_{pull-down} \left( \frac{V_{analog}}{V_{ref}} - 1 \right) \quad (7.25)$$

Por otra parte, la resolución del conversor A/D expresada en tensión,  $V_{q\ A/D}$ , para dos bits consecutivos, por ejemplo,  $q_0$  y  $q_1$  (ver figura 7.23), se puede representar como:

$$V_{q\ AD} = V_{analog}(q_1) - V_{analog}(q_0) \quad (7.26)$$



Teniendo en cuenta que la tensión de referencia es constante,  $V_{ref} = \text{const}$ , entonces la tensión analógica  $V_{analog}$ , que satisface esta condición para los bits  $q_0$  y  $q_1$  se pueden representar como:

$$V_{analog(q_0)} = V_{ref} \left( \frac{R_{pull-down} + R}{R_{pull-down}} \right) \quad (7.27)$$

$$V_{analog(q_1)} = V_{ref} \left( \frac{(R_{pull-down} + R) + \Delta R}{R_{pull-down}} \right) \quad (7.28)$$

Sustituyendo las ecuaciones (7.27) y (7.28) en (7.26), se puede determinar el incremento de la resistencia  $\Delta R$  como:

$$\Delta R = \frac{V_{qAD}}{V_{ref}} (R_{pull-down}) \quad (7.29)$$

En este tipo de aplicaciones la precisión del conversor A/D no es un requerimiento muy importante a tener en cuenta, ya que no se requiere de una medición precisa de la señal analógica para su posterior procesamiento. Por eso, se puede asumir que los errores dinámicos (ver epígrafe 7.3.2.2), aunque hay que tenerlos en cuenta, juegan un papel secundario en el diseño del conversor propuesto.

Por otra parte, los errores estáticos juegan un papel muy importante, principalmente los errores relacionados con las no-linealidades diferencial e integral. El uso de un circuito integrado específico no diseñado para este tipo de aplicaciones, hace que haya que tener en cuenta el valor de la tolerancia de los componentes internos del circuito, en este caso las resistencias de *pull-down*,  $R_{pull-down}$ , ver figura 7.23. Por ejemplo, para el caso de la FPGA, Spartan 3 de Xilinx, el valor de éstas resistencias, según los datos del fabricante y basado en los resultados de las mediciones experimentales realizadas a varios circuitos, es igual a  $1,8k\Omega$ , con una tolerancia del  $\pm 2\%$ , ( $\Delta R = \pm 36\Omega$ ). Para un convertidor con tensión de salida de  $1,5V$  y con un rango máximo de variación de la tensión de salida igual a  $\Delta V_{sal} = \pm 30mV$ , entonces si la tensión de referencia del conversor A/D es igual a  $1V$ , para el caso de un convertidor con control lineal con un conversor tipo *flash* con estructura de ventana de 2 bits, se puede

cumplir con las especificaciones [Pet01], [Pet03] [Gar06], [Mak06], si la resolución del conversor A/D según la ecuación (7.15), es igual a:

$$V_{q\ AD} = \frac{\Delta V_{sal\ max}}{2^{N_{AD}}} = \frac{60\ mV}{2^2} = 15\ mV \quad (7.30)$$

Según la arquitectura de conversor propuesta, ver figura (7.23), el valor de la resistencia externa, R, y su incremento,  $\Delta R$ , dependen tanto del valor de la tensión de entrada del convertidor como del tipo de conversor A/D. Para el caso de un conversor A/D tipo ventana, con una resolución definida de 15mV, y cuatro niveles de conversión (2 bits de salida) centrado en el valor de la tensión de referencia  $V_{ref}=1,5V$ , las tensiones analógicas  $V_0$  a  $V_3$ , que definen la ventana de conversión del conversor A/D tienen un valor mínimo y máximo que se determinan como:

$$V_{A/D\ min} = V_{ref} - \left( V_{q\ AD} + \frac{1}{2} V_{q\ AD} \right) \quad (7.31)$$

$$V_{A/D\ max} = V_{ref} + \left( V_{q\ AD} + \frac{1}{2} V_{q\ AD} \right) \quad (7.32)$$

Teniendo en cuenta los parámetros definidos anteriormente, el rango de conversión del conversor A/D se encuentra entre 1,4775V y 1,5225V con una resolución de 15mV. Entonces el valor de la resistencia R y del incremento  $\Delta R$  se calculan según las ecuaciones (7.25) y (7.29) respectivamente. Para el ejemplo que se analiza, los valores de las resistencias se muestran en la tabla 7.2.

Si se selecciona la resistencia externa con una tolerancia de un orden menor, es decir  $\pm 0,2\%$ , el error de no-linealidad está definido solamente por la tolerancia de la resistencia interna de *pull-down*,  $R_{pull-down}$ . Del análisis de la figura 7.23, se puede concluir que el error máximo entre dos códigos adyacentes se obtiene, cuando éstos tienen signos diferentes.

Esto implica que tanto el error diferencial, como el integral (ver definición epígrafe 7.2.2) deben cumplir que:

$$error < \frac{LSB}{4} \quad (7.28)$$

Es evidente, que el campo de aplicación de este conversor A/D está limitado por la tolerancia de las resistencias internas de los pines de E/S de la FPGA.

**TABLA 7.2**  
**RESUMEN DE LOS PARÁMETROS DE DISEÑO DEL CONVERTOR A/D**

<i>Parámetro</i>	<i>Tensión analógica</i>			
	$V_0 (q_0)$	$V_1 (q_1)$	$V_2 (q_2)$	$V_3 (q_3)$
$R_{pull-down}$	1,8k $\Omega$			
R	859,5 $\Omega$			
$\Delta R$	27 $\Omega$			
$R+n\cdot\Delta R$	-	$\Delta R$	$2\cdot\Delta R$	$3\cdot\Delta R$
	859,5 $\Omega$	886,5 $\Omega$	913,5 $\Omega$	940,5 $\Omega$

Para disminuir el error, existen varias soluciones:

1. Utilizar estructuras más complejas de cuantificación, teniendo en cuenta que se requiere un número no muy elevado de bits y de la disponibilidad de pines de E/S que tienen estos dispositivos. Por ejemplo, en la arquitectura que se muestra en la figura 7.24, se propone la conexión de cada una de las tensiones  $V_0$  a  $V_{j-1}$ , no a un sólo pin de entrada de la FPGA, como aparece en la figura 7.23, sino a varios pines alternos dentro de la misma FPGA. Esto hace que la dispersión del error debido a la tolerancia de las resistencias de *pull-down*, sea más uniforme y se centren alrededor de su valor nominal.

En este caso, el consumo de recursos de la FPGA depende del método de codificación utilizado.

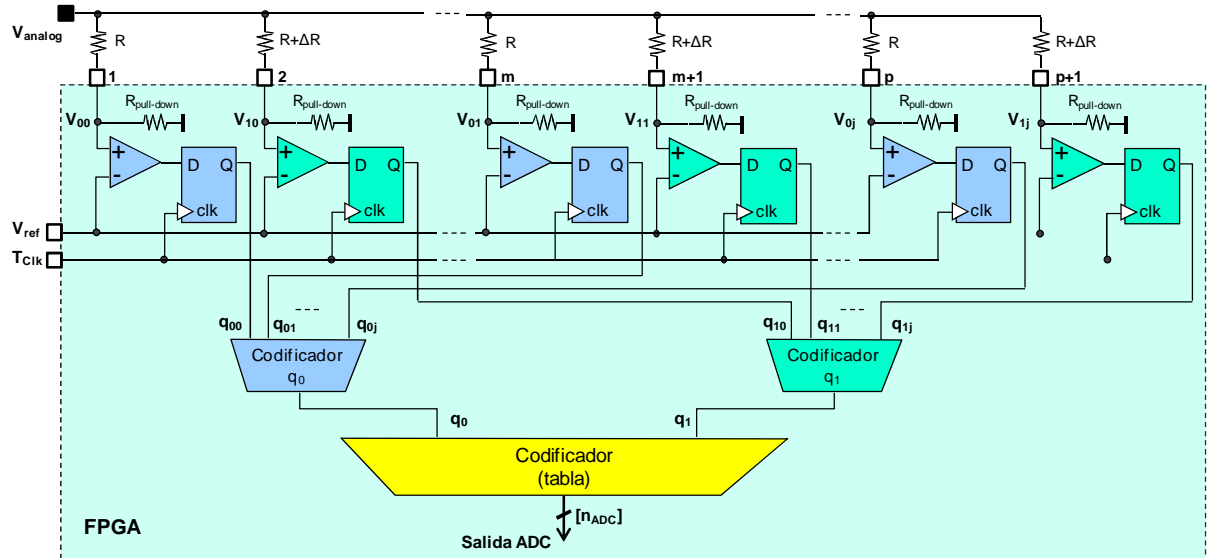


Fig. 7.24 Estructura del conversor A/D propuesto utilizando codificación compleja.

- Utilizar sólo resistencias externas con una tolerancia menor. En este caso, la solución es más sencilla aunque se incrementa el número de resistencias en una unidad. Para ello, es necesario deshabilitar todas las configuraciones de los pines de E/S y conformar un divisor resistivo serie con resistencias externas, como se muestra en la figura 7.25.

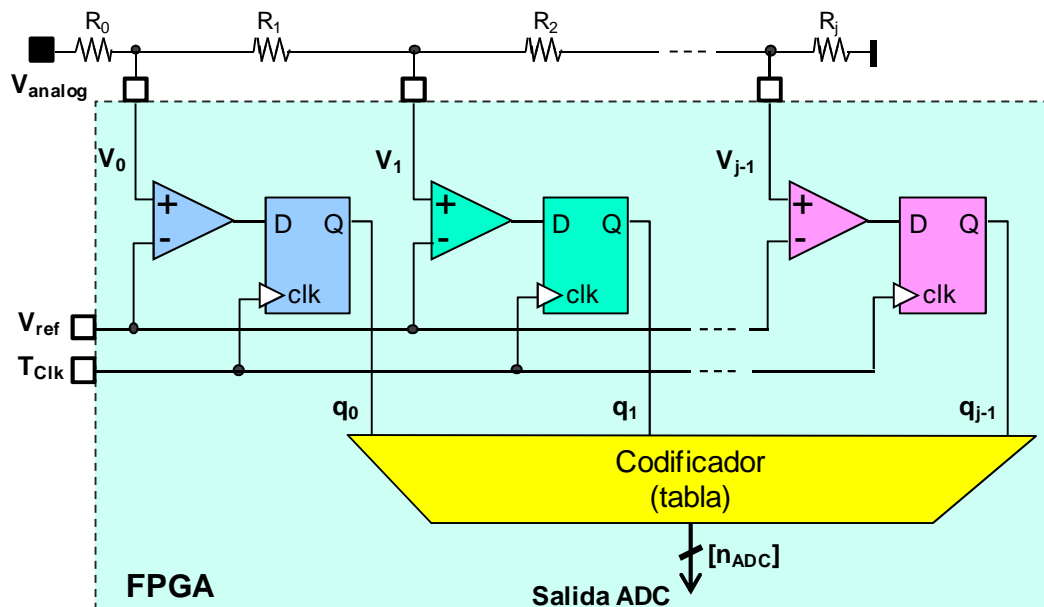


Fig. 7.25 Topología del conversor A/D propuesto utilizando sólo con divisor resistivo externo.

Esta es una opción de compromiso, aquí el coste se incrementa debido a que se utilizan resistencias de menor tolerancia, lo que permite mejorar la linealidad y la precisión del conversor A/D.

La utilización de estructuras más complejas de codificación, es aplicable a cualquier topología de conversor A/D.

Ventajas del conversor A/D propuesto:

- Permite la implementación empotrada del conversor en la FPGA;
- Se obtienen períodos de muestreo del conversor muy pequeños (limitado por el período máximo de reloj de la FPGA);
- Bajo consumo de potencia;
- Bajo coste.

Desventajas:

- Resolución limitada debido a la tolerancia de las resistencias;
- Número de bits del conversor limitado por la cantidad de pines de E/S de la FPGA;
- No se puede utilizar en aplicaciones donde se requiera una buena linealidad de la función de transferencia (por ejemplo con señales de audio);

#### **7.4.2 VALIDACIÓN EXPERIMENTAL**

Para la validación experimental se ha montado un prototipo cuya arquitectura responde a la representada en la figura 7.23. El objetivo principal de los experimentos es validar el funcionamiento del conversor A/D tipo ventana utilizando los pines de E/S de la FPGA. En la figura 7.26, se muestran las gráficas correspondientes al análisis de dos conversores A/D de 8 bits imple-mentados utilizando diferentes puertos de E/S de la FPGA.

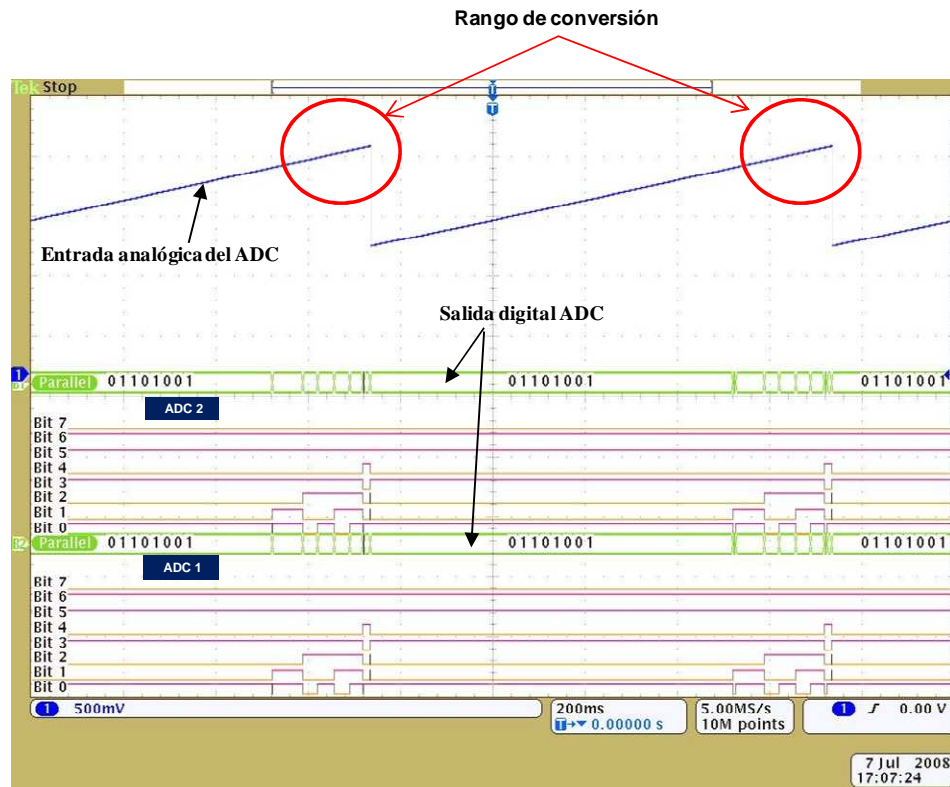


Fig. 7.26 Respuesta del conversor A/D con frecuencia de muestreo de 50MHz.

*Resultados experimentales.*

Ambos conversores A/D tienen como entrada analógica una señal en forma de rampa. Como ejemplo, en la figura se enmarca con círculos rojos el rango (ventana) de conversión del conversor A/D. En la mitad inferior de la gráfica, se definen dos bloques de señales digitales. En la parte superior de cada bloque se define el valor del código digital (*bus*) en cada instante de muestreo de la señal de entrada, (definido como *parallel*). Debajo de estos códigos se representa el valor temporal de cada uno de los bits del conversor.

El periodo de muestreo es el mismo para ambos conversores A/D, igual a 50MHz. Como se puede observar los códigos de salida en ambos conversores coinciden en cada instante de tiempo.

Entre las ventajas del conversor propuesto no solo figura su implementación sencilla sino además, que permite frecuencias de muestreo muy elevadas. Teniendo en cuenta esto y con el objetivo de validar la influencia del periodo de muestreo en la dinámica del conversor A/D, se han evaluado dos conversores: el ADC1 con frecuencia de muestreo igual a 50MHz (20ns) y el ADC2 con frecuencia de muestreo igual a 100MHz (10ns).

En la figura 7.27, se muestra la respuesta de ambos conversores A/D ante una señal de entrada analógica de pequeña amplitud.

En la parte superior de la figura 7.27, se muestra la señal analógica de entrada para ambos conversores A/D. En la mitad inferior de la grafica, se muestran los códigos binarios en la salida de cada uno de los conversores. La señal analógica de entrada se ha escogido tal, que su variación (rizado) se encuentre cercana a la resolución del conversor, es decir, equivalente al peso del LSB expresada en tensión.

Del análisis de la figura 7.27, se puede deducir que el conversor con menor frecuencia de muestreo, 50MHz (20ns), es incapaz de detectar las variaciones de la señal analógica. Sin embargo, con el aumento de la frecuencia de muestreo a 100MHz (10ns), el conversor es capaz de detectar variaciones de tensión de 16mV, (ver variación del bit menos significativo, *bit 0* del ADC2 con frecuencia de conmutación de 100MHz).

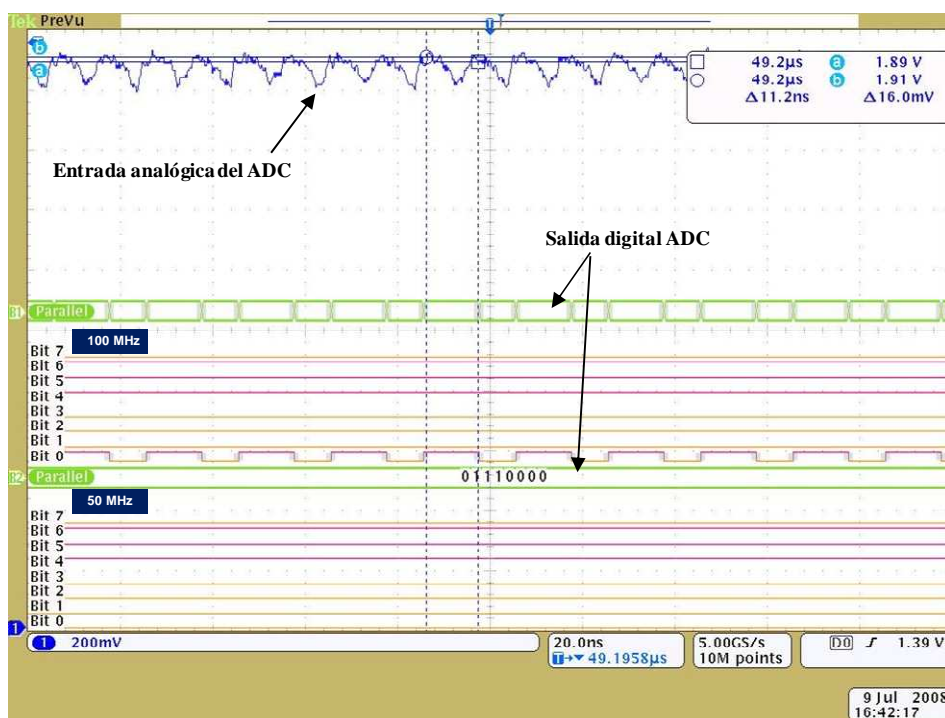


Fig. 7.27 Respuesta del conversor A/D con diferentes frecuencias de muestreo.

*Resultados experimentales.*

Se puede concluir que una disminución del período de muestreo, permite detectar más rápidamente variaciones de la tensión analógica de entrada. Gracias al funcionamiento

concurrente de la FPGA, el dato correspondiente con el valor de la muestra, pasa instantáneamente a la salida del conversor A/D.

Esto permite de forma general y significativa, mejorar la respuesta dinámica del convertidor. Este resultado es muy importante, para todo tipo de convertidores, pero especial interés tienen para los VRM. En estos casos, se necesitan frecuencias de muestreo elevadas. Esto se debe a que la frecuencia de muestreo del conversor, está determinada no solo por la frecuencia de conmutación, sino además por el número de fases. Esto es aplicable a convertidores que basan su funcionamiento, tanto en estrategias de control lineal, como con control LnL.

## 7.5 IMPLEMENTACIÓN DEL MODULADOR DPWM DE ALTA RESOLUCIÓN

Los requerimientos actuales hacia los VRM, en cuanto a sus características dinámicas, son muy exigentes. Incrementar la frecuencia de conmutación es una de las opciones, que permite mejorar, no sólo la respuesta dinámica del convertidor, sino que permite disminuir el tamaño de los mismos. Por otra parte, un aumento de las exigencias en la regulación de la tensión de salida ( $< \pm 2\%$  tensión de salida), hace que sea necesario diseñar nuevas soluciones que permitan incrementar la resolución del ciclo de trabajo. Las soluciones más interesantes se resumen en los trabajos [Pet01], [Ca03a], [Ca03b], [Pet03], [Mak04], [Gar06], [Mak06], [You06], [San07].

Si se necesita diseñar un modulador DPWM basado en contador binario, para un VRM de 4 fases entrelazadas, y período de conmutación igual a  $1\mu s$  (1MHz); si el número de bits del contador que garantiza la adecuada resolución, es igual a 10, entonces el período de reloj del sistema se determina según la siguiente expresión:

$$T_{clk} = \frac{T_{sw}}{2^N} = \frac{1\mu s}{2^{10}} \approx 1\text{ ns} \quad (7.29)$$



Es evidente, que encontrar dispositivos que funcionen a esa velocidad es verdaderamente difícil y muy costoso. Es por ello, que muchos trabajos están dirigidos a encontrar nuevas soluciones que permitan incrementar la resolución del ciclo de trabajo del modulador DPWM.

En la actualidad se proponen soluciones híbridas que consisten en la combinación de DPWM basados en contadores y líneas de retardo [Mal04], [Car06], [Gar06], [Mak06], [Tak06], [You06]. Estas estructuras híbridas permiten conseguir una solución de compromiso entre la alta linealidad proporcionada por el contador y el bajo consumo de la línea de retardo. Sin embargo, esta solución requiere de una implementación mediante un circuito integrado de propósito específico (ASIC), que posee un coste elevado.

Estas soluciones son difíciles de generalizar por lo que ven limitado su espectro de aplicaciones. Por lo que se hace necesario buscar otras soluciones más baratas y que sean configurables y aplicables a cualquier tipo de diseño.

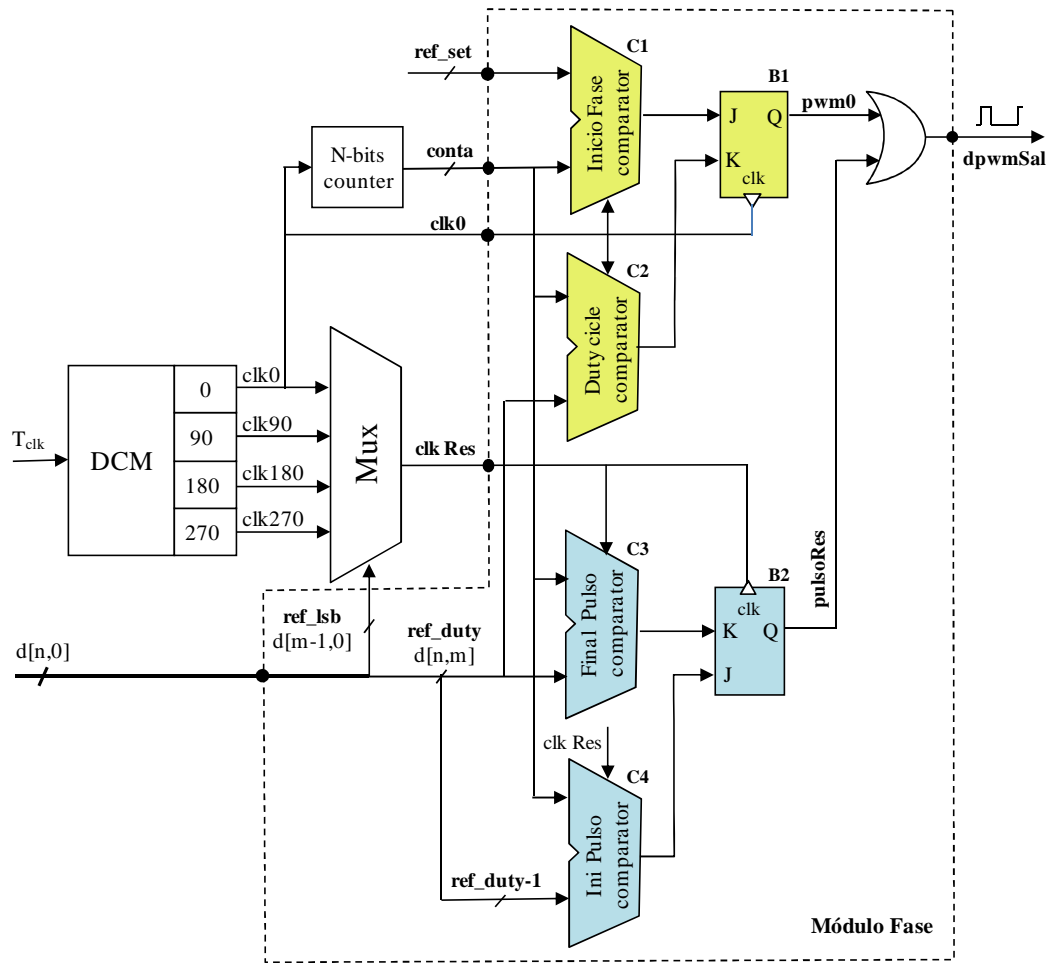
Un grupo de soluciones basadas en *software* realizan algoritmos complejos de *dithering*. Éstas basan su funcionamiento en incorporar un pulso aleatorio al ciclo de trabajo, promediando el valor de la tensión resultante durante un período de tiempo determinado, [Pet01], [Pet03].

Otras soluciones de *hardware* utilizan nuevas arquitecturas híbridas que usan los recursos internos de las FPGA. Este tipo de solución es fácilmente configurable y aplicable a cualquier diseño de convertidor y no requiere de recursos de hardware especialmente diseñados para ello como se demuestra en [San07]. Como principal desventaja se destaca su operación asíncrona.

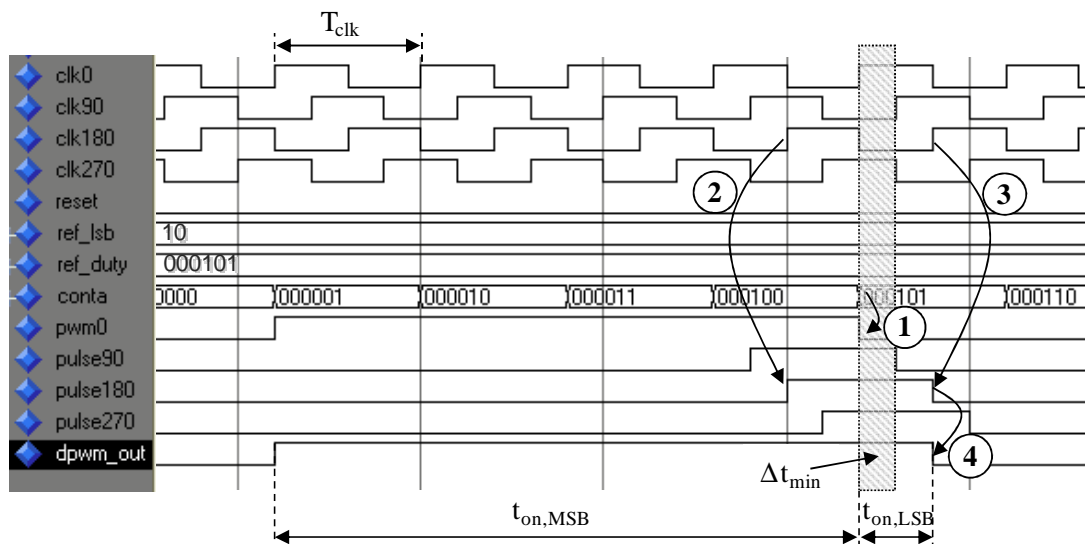
Teniendo en cuenta todas las soluciones anteriores, se propone un modulador DPWM síncrono de alta resolución y de propósito general como una solución de *hardware* basada en FPGA.

### 7.5.1 MODULADOR DPWM SÍNCRONO DE ALTA RESOLUCIÓN

En la figura 7.28 (a), se muestra el modulador de ancho de pulso digital (DPWM) propuesto para un convertidor de una fase.



(a) Diagrama en bloques



(b) Principales señales

Fig. 7.28 Modulador DPWM de alta resolución.

El mismo está basado en una arquitectura híbrida, compuesta de un contador de N-bits, un regulador de reloj, DCM, (*Digital Clock Manager*), un multiplexor de reloj, Mux, y un Módulo de fase. Todos estos módulos funcionan de manera síncrona con un reloj del sistema con período  $T_{clk}$ .

La idea sobre la arquitectura del modulador propuesto, consiste en dividir de forma virtual el período de reloj del sistema, ( $T_{clk}$ ), en partes iguales. El método utilizado consiste en generar y superponer diferentes señales desfasadas entre sí. El valor del desfase existente entre cada una de estas señales consecutivas de reloj determinan la resolución máxima en tiempo del ciclo de trabajo, ( $\Delta t_{min}$ ).

Esta resolución se calcula según la siguiente expresión:

$$\Delta t_{min} = \frac{T_{clk}}{N_{\phi}} \quad (7.30)$$

donde:  $N_{\phi}$ , es el número de señales de reloj desfasadas.

Es evidente, que la resolución en tensión del modulador,  $\Delta V_{min}$ , depende no sólo del período de reloj del sistema,  $T_{clk}$ , sino además de la tensión de entrada,  $V_{ent}$ , y del período de conmutación,  $T_{sw}$ , y está determinado por la siguiente ecuación:

$$\Delta V_{min} = V_{ent} \frac{T_{clk}}{T_{sw}} \quad (7.32)$$

De aquí se deduce, que para incrementar la resolución del DPWM, (menor  $\Delta V_{min}$ ), para unos determinados valores de la tensión de entrada,  $V_{ent}$  y período de conmutación,  $T_{sw}$ , se hace necesario disminuir el período de reloj,  $T_{clk}$ . Esto se puede lograr generando varias señales de reloj síncronas y desfasadas entre sí, [San07]

A continuación, para una mejor comprensión del funcionamiento del DPWM propuesto, se analizan cada uno de los módulos y se detallan cada una de sus funciones principales:

- *Contador de N-bits*: el contador es único y es el encargado de generar y sincronizar todas las referencias internas de cada una de las señales.
- *DCM*: es un módulo interno de la FPGA. Permite de forma opcional realizar funciones de multiplicación, división o ambas, de la frecuencia del reloj de entrada. El objetivo principal, es generar una nueva señal de reloj con características diferentes como pueden ser distinto ciclo de trabajo, distinto desfase respecto al reloj principal, etc. Estas funciones no son independientes unas de otras, sino que se pueden implementar de forma combinada.
- *Multiplexor, Mux*: su dimensionamiento depende del número de señales de reloj desfasadas a multiplexar en función de resolución que se necesite. Las entradas de control están determinadas por los bits menos significativos de  $d[n,0]$ , es decir,  $d[m-1,0]$ . Determina el ajuste fino (resolución) del pulso de salida del DPWM.
- *Módulo de Fase*: es el encargado de convertir el código digital,  $d[n,0]$ , en una señal pulsante de período constante,  $T_{sw}$ , y ciclo de trabajo variable. Para el caso de los convertidores multifase, esta señal se genera además con el desfase correspondiente. Consta de dos canales, uno compuesto por los comparadores C1, C2 y B1, que determinan el pulso pwm0 (ajuste grueso). Este canal está sincronizado con el reloj principal del sistema,  $clk0$ . El otro canal está compuesto por los comparadores C3, C4 y B2, que determinan el pulso pulsoRes (ajuste fino). A diferencia del primer canal, éste está sincronizado con el reloj,  $clkRes$ . Este reloj puede ser cualquiera de los generados, (en este caso  $clk90$ ,  $clk180$  o  $clk270$ ), y depende del código de entrada,  $d[m-1,0]$ .

En la tabla 7.3, se describen cada una de las principales señales del DPWM propuesto que aparecen en la figura 7.28.

El modulador DPWM es el encargado de generar las señales de disparo para cada uno de los interruptores de la etapa de potencia con el valor adecuado de frecuencia y ciclo de trabajo.

La información correspondiente al valor del ciclo de trabajo corresponde con un código de  $n-1$  bits. En este caso, los  $n-m$  bits más significativos (MSB),  $d[n,m]$ , proporcionan el ancho

de pulso principal de la señal **pwm0**. Por otro lado, los  $m-1$  bits menos significativos (LSB),  $d[m-1,0]$ , definen la señal de reloj con el desfase correspondiente.

**TABLA 7.3**  
**DESCRIPCIÓN DE LAS SEÑALES DEL DPWM**

Señal	Descripción
$T_{clk}$	Reloj externo del sistema
clk0	Señal de reloj principal del sistema generada por el DCM a partir de la señal de reloj externa.
clk90 clk180 clk270	Señales de reloj síncronas con clk0 y desfasadas a 90° generadas por el DCM a partir de la señal de reloj externa. El número de señales de reloj desfasadas depende del número de DCM con que cuenta la FPGA y de la resolución que se desea obtener.
clkRes	Señal de reloj de salida del multiplexor que depende de la señal de control $d[m-1,0]$ . Puede ser cualquiera de las señales de reloj generadas por el DCM.
conta	Código digital correspondiente al valor actual de la cuenta del contador. El valor de la cuenta se incrementa en cada período de reloj clk0 y es utilizado por los canales de ajuste grueso y fino del DPWM.
$d[n,0]$	Código correspondiente al valor actual del ciclo de trabajo. Se actualiza al inicio de cada período de conmutación.
ref_lsb $d[m-1,0]$	Bits menos significativos del código de entrada correspondiente con el ciclo de trabajo, $d[n,0]$ . Es la señal de control del multiplexor y seleccionan la señal de reloj correspondiente. Es utilizada solo por el multiplexor.
ref_duty $d[n,m]$	Bits más significativos del código de entrada correspondiente con el ciclo de trabajo, $d[n,0]$ . Determina el ancho del pulso de salida, pwm0, (ajuste grueso).
ref_set	Código de referencia de inicio del pulso pwm0, es una constante. Para el caso de los convertidores multifase, cada fase tiene un ref_set diferente y está determinado por el número de fases del convertidor.
dpwmSal	Señal de salida dpwm, obtenida a partir de la suma binaria de las señales $pwm0 + pulsoRes$ .

El procesamiento de estos datos ocurre de forma paralela. Los  $n-m$  bits más significativos (MSB),  $d[n,m]$ , intervienen en el ajuste grueso del ciclo de trabajo. Mientras que los  $m-1$  bits menos significativos (LSB),  $d[m-1,0]$ , intervienen en el ajuste fino del ciclo de trabajo.

Se deduce, que se pueden diferenciar dos resoluciones, una gruesa,  $\Delta V_{MSB}$ , y otra fina,  $\Delta V_{LSB}$ , según las siguientes expresiones:

$$\Delta V_{MSB} = V_{ent} \frac{T_{Clk}}{T_{sw}} \quad (7.32)$$

$$\Delta V_{LSB} = V_{ent} \frac{T_{Clk}}{N_{\phi} \cdot T_{sw}} \quad (7.33)$$

De la ecuación 7.33, se puede concluir que para un VRM con determinadas características,  $V_{ent}$ ,  $T_{Clk}$  y  $T_{sw}$  sólo incrementando el número de señales desfasadas,  $N_{\phi}$ , conlleva a un incremento de la resolución del modulador. El valor mínimo del desfase está determinado en gran medida por los retardos internos del circuito (ruta crítica).

Una vez resumidas las funciones de cada uno de los módulos y la descripción de cada una de las señales que forman parte del DPWM propuesto, se hace necesario explicar mediante un ejemplo su principio de funcionamiento. En la figura 7.28 (a), se muestra el diagrama de bloques de la arquitectura de DPWM propuesta con un módulo DCM para desfasar apropiadamente la señal de reloj del sistema. En la figura 7.28 (b), se muestran las principales señales obtenidas mediante la simulación con una herramienta específica para el diseño de sistemas digitales (Modelsim®).

En el diagrama de bloques de la figura 7.28, se diferencian dos partes fundamentales, una común para cada una de las fases compuesta por el DCM, el Mux y el contador de N-bits. La otra parte denominada *Módulo de Fase* (MF). Para el caso de los VRM multifase, este módulo se repite tantas veces como fases tenga el convertidor.

Para explicar el funcionamiento del modulador DPWM propuesto, en la figura 7.28 solo se ha representado una fase. Por otra parte, para entender cómo se forma la señal PWM de salida, se ha elegido un ciclo de trabajo  $d[n,0]=\text{"00010110"}$ .

En la figura 7.28 (b), se puede observar que la señal de salida **dpwmSal** se forma a partir de la suma de la señal **pwm0** + **pulseRes**. Estas señales se generan en dos canales

estructuralmente idénticos aunque con referencias y relojes diferentes. El proceso de generación de la señal PWM de salida, **dpwmSal**, se explica a continuación.

**Generación de la señal *pwm0*:** El contador de N-bits se incrementa con cada flanco de subida de la señal de reloj **clk0**. Cuando el código de salida del bloque contador de N-bit **conta**, es igual al código de la señal **ref\_set="000001"**, figura 7.28, el comparador C1 establece un '1' en la entrada *J* del biestable B1. En este momento, la entrada *K* del biestable es igual a '0'. Por lo tanto, con el flanco de subida de la señal de reloj **clk0**, se obtiene el flanco de subida de la señal **pwm0** ( $pwm0 = '1'$ ). La señal **ref\_set**, marca el inicio del período de conmutación de la fase. Para el caso de los convertidores multifase, el valor de **ref\_set** para cada una de las fases se determina como:

$$ref\_set_n = n \cdot \frac{2^N}{N_f} \quad (7.34)$$

donde:  $N_f$ , número de fases;

$n=0, 1, \dots, (N_f - 1)$ , subíndice que determina el valor del incremento del código respecto al código de inicio de la fase de referencia, por ejemplo la fase 1.

El valor del contador se incrementa en cada período de reloj. Cuando el valor de **conta** es igual al valor de **ref\_duty="000101"**, el bloque comparador del ciclo de trabajo, C2, establece un '1' en la entrada *K* del biestable B1. La entrada *J* del biestable es igual a '0'. Por lo tanto, con el flanco de subida de la señal de reloj **clk0**, se obtiene un flanco de bajada de la señal **pwm0** ( $pwm0 = '0'$ ), tal como se muestra en la figura. 7.28, ①.

Como consecuencia el ancho de pulso de la señal de disparo ( $t_{on\_MSB}$ ), es igual a un número de ciclos enteros de la señal de reloj de referencia, **clk0**.

**Generación de la señal *pulsoRes*:** El DCM es el encargado de generar las señales de reloj con el desfase correspondiente, **clk90**, **clk180** y **clk270**, obtenidas mediante el desfase de la señal de reloj de referencia, **clk0**. El multiplexor **Mux**, en función de los bits menos significativos, del código correspondiente al ciclo de trabajo actual,  $d[n,0]$ , selecciona la señal de reloj con el desfase correspondiente, **clkRes**. Para el caso, de **ref\_lsb="10"**, **clkRes=clk180**.

En la figura 7.28 (a), se representan además las señales, *pulse90* y *pulse270*, correspondientes con los códigos *ref\_lsb="01"* y *ref\_lsb="11"* respectivamente. La resolución en tiempo mínima,  $\Delta t_{\min}$ , se obtiene para *ref\_lsb="01"*, es decir para el valor de desfase mínimo. Cuando *ref\_lsb="00"*, entonces *clkRes=clk0*, en este caso el pulso de salida del modulador, coincide con el pulso *pwm0*, es decir, *dpwmSal=pwm0*.

Cuando el valor de *conta* es igual al valor de *ref\_duty-1="000100"*, el bloque comparador del ciclo de trabajo, C4, establece un '1' en la entrada *J* del biestable B2. La entrada *K* del biestable es igual a '0'. Por lo tanto, con el flanco de subida de la señal de reloj *clkRes=clk180*, se obtiene un flanco de subida de la señal *pulseRes* (*pulseRes* = '1'), tal como se muestra en la figura. 7.28, ②.

Cuando el valor de *conta* es igual al valor de *ref\_duty="000101"*, el bloque comparador del ciclo de trabajo, C3, establece un '1' en la entrada *K* del biestable B2. La entrada *J* del biestable es igual a '0'. Por lo tanto, con el flanco de subida de la señal de reloj *clkRes=clk180*, se obtiene un flanco de bajada de la señal *pulseRes* (*pulseRes* = '0'), tal como se muestra en la figura. 7.28, ③.

Finalmente, tal como se muestra en la figura 7.28 ④, el flanco descendente de la señal DPWM (*dpwmSal*), coincide con el flanco descendente de la señal *pulsoRes*, en este caso *pulse180*. Por lo tanto, el ancho de pulso de la señal de disparo, *dpwmSal*, se obtiene mediante la suma de los intervalos de tiempo,  $t_{on,MSB}$  y  $t_{on,LSB}$ , donde  $t_{on,LSB}$  es el incremento de tiempo que existe entre los flancos descendentes de las señales *pwm0* y la señal *pulsoRes* seleccionada.

Por ejemplo, si se requiere obtener una resolución temporal mínima del DPWM de 5ns con un periodo de reloj de la FPGA de 20ns, *clk0*, (50MHz de frecuencia de reloj del sistema), se necesitan cuatro señales de reloj desfasadas en el tiempo y, por lo tanto, se necesita utilizar un único módulo DCM.

Es evidente que todas las señales generadas dependen de un solo reloj, en este caso, *clk0*, de aquí que el funcionamiento del modulador DPWM propuesto es totalmente síncrono.



### 7.5.2 VALIDACIÓN EXPERIMENTAL

Para la validación experimental, se ha construido un VRM basado en el entrelazado de 4 convertidores reductores síncronos. La tensión de entrada es de 5V, la tensión de salida es de 1,5V y la frecuencia de conmutación es de 1,2MHz. Además, se ha implementado un regulador LnL asíncrono. Para implementar el regulador digital se ha utilizado una FPGA de bajo coste, *Spartan-3 de Xilinx*.

Por un lado, seleccionando un período de la FPGA,  $T_{clk}$ , igual a 20ns (50MHz), para obtener una resolución de tensión del DPWM de 15mV se necesita una resolución de 2,5ns, lo que implica que necesitamos 2 módulos DCM de la FPGA.

La figura 7.29, muestra la resolución obtenida con el DPWM ( $\Delta t_{min}$ ) medida sobre una de las señales de disparo del convertidor. Para ello, se ha medido la señal DPWM de salida con dos valores diferentes del ciclo de trabajo.

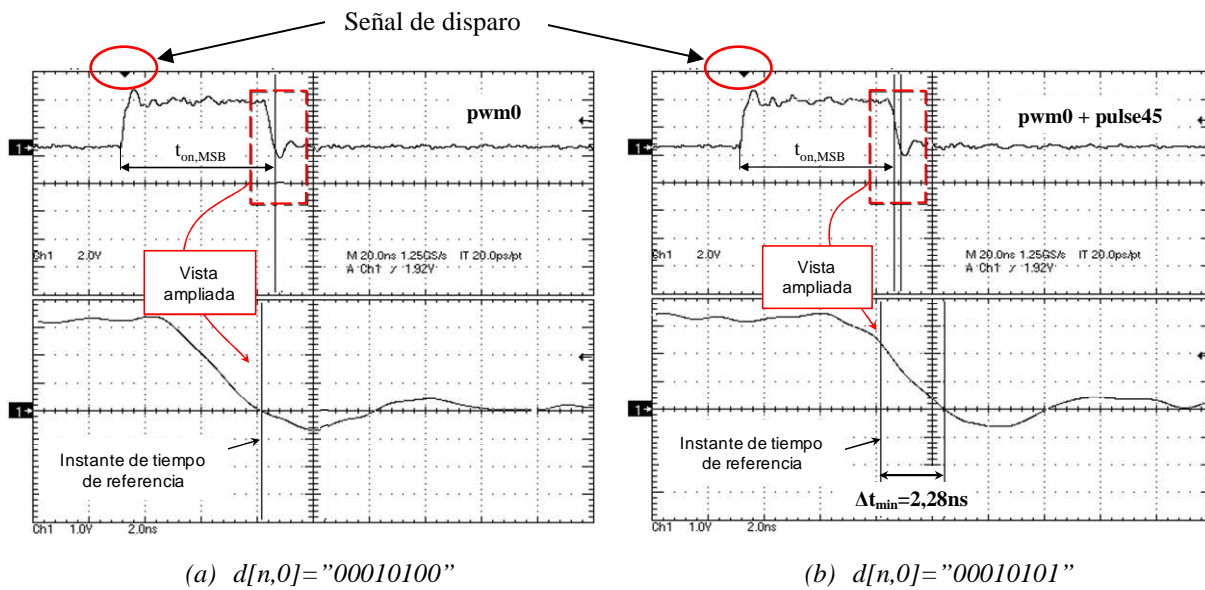


Fig. 7.29 Resolución en tiempo del modulador DPWM propuesto.

Según el ejemplo que se ha explicado en el epígrafe anterior, el bit menos significativo del código correspondiente al ciclo de trabajo  $d[0,n]$ , determina el valor mínimo del incremento del ciclo de trabajo. Es por ello, que el experimento tiene como objetivo validar el funcionamiento del DPWM propuesto, variando el bit menos significativo,  $d[0]$ , del código  $d[0,n]$ , y medir en este caso el incremento del ciclo de trabajo de la señal PWM de salida.

Para medir este tiempo tan pequeño (orden de nano segundos), es necesario fijar dos referencias: una marcada por el instante de tiempo en que la señal se sincroniza con la señal interna de disparo del osciloscopio, marcada con un círculo rojo en la parte superior de la figura, y la otra referencia la marca el cursor vertical, figura 7.29 (a), que indica el paso por cero de la señal *pwm0* de referencia. Con ayuda de un segundo cursor vertical se ha medido el incremento de tiempo, colocando a éste en el nuevo paso por cero de la señal PWM, figura 7.29 (b).

Para incrementar la precisión de la medición de las señales PWM, figura 7.29 mitad superior, se muestra una vista ampliada de la misma, figura 7.29 mitad inferior. En este caso el incremento del ancho de pulso PWM corresponde con la señal *pwm0+pulse45* (ver figura 7.29 (b)). Como se puede observar en la figura 7.29, se ha obtenido una mejora de la resolución muy importante, ya que la resolución en tiempo ha disminuido desde 20ns a 2,28ns sin necesidad de disminuir el período del reloj del sistema.

## CONCLUSIONES

En este capítulo se han analizado la estructura de un convertidor con control digital. Además se ha propuesto y validado la implementación digital del convertidor (VRM), con control LnL. Se han resumido (ver tabla 7.1), los parámetros más importantes a tener en cuenta a la hora de diseñar un convertidor, tanto con control lineal como con control LnL.

Se propone y valida el funcionamiento del regulador asíncrono que permite independizar la respuesta dinámica del convertidor, del ancho de banda del regulador lineal. Destacando la influencia del período de muestreo del multiplexor de modo de control (MMC), sobre la respuesta transitoria.

Además, teniendo en cuenta la configuración de los pines de E/S de la FPGA, y el reducido número de bits necesarios para implementar un conversor A/D de ventana, se ha propuesto y validado una solución de implementación de conversor A/D para aplicaciones de electrónica de potencia. Se ha demostrado que dicha solución, gracias al funcionamiento concurrente de las FPGA, permite disminuir de manera considerable el período de muestreo de la señal de entrada del conversor y también el período de latencia del mismo. Se ha

validado experimentalmente su funcionamiento a frecuencias de muestreo de hasta 100MHz. No obstante, este valor puede ser mayor ya que depende de la frecuencia de reloj de la FPGA. En particular, para la FPGA de bajo coste considerada, la frecuencia de reloj del conversor A/D puede ser incrementada hasta 300MHz.

Además de la alta velocidad, la solución propuesta presenta varias ventajas, como son su fácil implementación, y su bajo coste en comparación con los dispositivos comerciales de tipo *flash* requeridos para estas aplicaciones.

Por otra parte, se propone una nueva estructura de modulador DPWM de alta resolución, basada en contador binario, que permite sin necesidad de disminuir el período de reloj y de forma asíncrona aumentar significativamente la resolución del modulador. Los resultados experimentales muestran una resolución en tiempo del DPWM de 2,28ns, considerando 5V de tensión de entrada y un periodo de reloj de la FPGA de 20ns (50MHz).

Es importante destacar que esta resolución del modulador DPWM, se puede mejorar simplemente reduciendo el periodo de reloj de la FPGA, incrementando el número de señales de reloj desfasadas proporcionadas por la FPGA o combinando ambas soluciones. Teniendo en cuenta los errores intrínsecos del conversor A/D basado en el uso de los pines de E/S de las FPGA, y con el objetivo de minimizar su efecto, se propone investigar sobre nuevas estrategias de codificación redundantes que mejoren las características estáticas del conversor.

Por lo tanto, se ha mostrado en este capítulo la realización del control LnL totalmente digital, habiéndose resuelto todos aquellos problemas que han surgido de la adaptación a entornos de trabajo tan exigentes como los tratados en esta tesis doctoral. Además, se han realizado nuevas propuestas de diseño de DPWM de alta resolución y conversores A/D de alta velocidad aplicable a convertidores con respuesta dinámica rápida.

# CAPÍTULO 8

## OPTIMIZACIÓN DEL CONTROL L<sub>n</sub>L

### 8.1 INTRODUCCIÓN

Las estrategias de control que basan su funcionamiento en la saturación del ciclo de trabajo, son las que ofrecen las mejores prestaciones en cuanto a respuesta dinámica. Como se ha demostrado en capítulos anteriores el control L<sub>n</sub>L es sencillo, y aplicado a los convertidores reductores multifase presentan una respuesta aceptable ante transitorios de la corriente de carga [Vaz01], [Ba02a], [Ba02b], [Vaz03], [Qui06]. Esto hace que sea la solución apropiada para determinadas aplicaciones, donde las exigencias en cuanto a respuesta dinámica y potencia por área del convertidor (densidad de potencia) sean muy estrictas.

En el capítulo 5, se demuestran las ventajas del control L<sub>n</sub>L aplicado a convertidores multifase. Analizando todos los resultados expuestos anteriormente, es evidente que el control L<sub>n</sub>L mejora la respuesta dinámica del sistema. Aunque la tensión de salida del convertidor no sale fuera de los límites especificados durante los transitorios, en el momento de la transición y durante un corto período de tiempo posterior al escalón, el regulador tiende a sobrecompensar el error provocado por la variación de la corriente de carga. Esto se debe a la saturación del ciclo de trabajo. Como resultado, aparece una sobre oscilación de la tensión de salida a la frecuencia natural del sistema, principal desventaja del control L<sub>n</sub>L.

Evidentemente, el desarrollo de los sistemas y tecnologías digitales (FPGA, DSP, ASIC, etc.), han permitido implementar leyes de control mucho más complejas de una forma sencilla y práctica, imposibles de lograr con tecnologías totalmente analógicas.

Muchos trabajos se han realizado relacionados con la optimización del control. Especial interés tienen los que basan su optimización en el principio del balance de carga del condensador de salida, [Sot02], [Sot03], [Gua07], [Me07a], [Me07b], [Zhe07], [Me08a], [Sim08], [Bab09].

En este capítulo se hace un análisis teórico basado en el principio del balance de carga del condensador, con el objetivo de optimizar el control LnL y establecer la metodología de cálculo de los principales parámetros del convertidor a partir de las especificaciones técnicas del mismo.

Como objetivo fundamental de la propuesta es optimizar el control LnL utilizando el principio del balance de carga del condensador de salida y manteniendo el concepto básico del control LnL: control en modo tensión, banda de umbrales, sencillez, etc., (ver capítulos 4 y 5).

Además, se propone el control LnL asimétrico como alternativa para mejorar la sobre oscilación. Este permite disminuir la sobreoscilación que aparece durante los transitorios. La metodología planteada es válida, tanto para sistemas funcionando en tiempo continuo, como para sistemas en tiempo discreto.

## 8.2 PLANTEAMIENTO TEÓRICO DEL MÉTODO DE OPTIMIZACIÓN

Tradicionalmente, el diseño de los reguladores se realiza en el dominio de la frecuencia (diagramas de Bode). Para el caso en el que se requieran especificaciones dinámicas en el dominio del tiempo, este tipo de estrategia se convierte en un proceso de prueba y error debido a que no existe una forma fácil de diseñar a través de la respuesta en frecuencia para obtener unas prestaciones dinámicas en gran señal, [Bun96], [Zha96], [Rai00], [Sot02]. Un importante resultado en la teoría del control óptimo, es el principio del máximo también conocido como principio de Pontriagyn, [Cha92]. Este consiste en determinar las condiciones de entrada de un sistema, si está definido el estado que se quiere alcanzar en un tiempo mínimo. Aplicando este teorema a los convertidores reductores se puede probar que para alcanzar el nuevo estado en un tiempo mínimo se requiere aplicar solamente valores máximos ( $V_{ent}$ ) o mínimos (0V) durante dicho periodo de tiempo.

La estrategia de optimización de la respuesta de un convertidor durante un transitorio debe estar dirigida a lograr el menor tiempo posible de recuperación del sistema (alcanzar el régimen permanente), para un conjunto de parámetros determinados. Esto debe lograrse sin

sobreoscilaciones de la tensión de salida. Un método que es conocido desde hace algún tiempo, y que se utiliza para estos fines, es el basado en el principio del balance de carga.

El principio del balance de carga del condensador de salida se aplica en el análisis y modelado de los convertidores de CC-CC. Este principio se basa en que en estado de balance de carga, la corriente media por el condensador durante un período de conmutación tiene que ser igual a cero. Esta condición se cumple cuando la tensión en el condensador al inicio y al final del período de conmutación es la misma.

La ecuación (8.1) representa la forma matemática en que se puede expresar el principio del balance de carga del condensador, en este caso particular, para un convertidor reductor en régimen permanente:

$$v_c(T_{sw}) - v_c(0) = \frac{T_{sw}}{C} \cdot i_{c\ med} = 0 \quad (8.1)$$

donde:  $v_c$ , es la tensión del condensador;

$i_{c\ med}$ , es la corriente media en el condensador;

$T_{sw}$  el período de conmutación del convertidor.

Representado de otra manera:

$$i_{c\ med} = \frac{1}{T_{sw}} \int_0^{T_{sw}} i_c(t) dt = 0 \quad (8.2)$$

La expresión (8.2), es aplicable a un período de conmutación, pero puede ser extendida al tiempo total que dure el transitorio. Si se definen  $t_0$  y  $t_1$ , como los instantes de tiempo en que se inicia y termina el transitorio,  $T_{tr}$ , entonces, las ecuaciones (8.1) y (8.2) se pueden escribir como (8.3) y (8.4) respectivamente:

$$v_c(t_1) - v_c(t_0) = \frac{T_{tr}}{C} \cdot i_{c\ med} = 0 \quad (8.3)$$

$$i_{c\ med} = \frac{1}{t_1 - t_0} \int_{t_0}^{t_1} i_c(t) dt = 0 \quad (8.4)$$

donde:  $t_0$  y  $t_1$  son los tiempos de inicio y fin del transitorio respectivamente.

Esto quiere decir, que si en el tiempo  $t_1$  la corriente por la bobina  $i_L$  y el ciclo de trabajo  $D$  han alcanzado el nuevo régimen permanente, de tal forma que se cumpla la ecuación (8.3) y (8.4), el convertidor entrará en ese nuevo régimen permanente sin ninguna sobreoscilación.

Basado en este principio, se propone la optimización del control LnL y la metodología para el cálculo de los parámetros del convertidor reductor.

### 8.2.1 RESPUESTA DINÁMICA TEÓRICA OPTIMA

Los reguladores analógicos lineales tanto en modo tensión como en modo corriente, se han utilizado para el control de los convertidores reductores. Estos reguladores tienen como principales ventajas que funcionan a una frecuencia conocida y que garantizan cero error en régimen permanente. Sin embargo, la respuesta dinámica de estos reguladores está limitada por el ancho de banda de los mismos. Teniendo en cuenta estas limitaciones aparecen los reguladores con comportamiento no lineal durante los transitorios. Estos reguladores basan su funcionamiento en la saturación del ciclo de trabajo durante los transitorios, garantizando de esta forma un tiempo mínimo de recuperación, [Red98], [Sot02], [Fen07], [Mey08], [Sim08], y otros.

A continuación se realiza un análisis teórico y el planteamiento matemático, que explica el principio en que se basa el método. Para ello se analiza la respuesta transitoria de un convertidor reductor ante un escalón de carga positivo. La respuesta transitoria representada en la figura 8.1, está simplificada ya que no se ha tenido en cuenta el retardo del sistema en detectar la variación de la tensión de salida. Aquí se ha asumido que el sistema responde de manera instantánea. Esto hace que se simplifiquen las ecuaciones matemáticas que describen el sistema para, de manera sencilla, poder comprender los procesos físicos que ocurren durante los transitorios. Más adelante se analiza la influencia de ese retardo en la dinámica del convertidor.

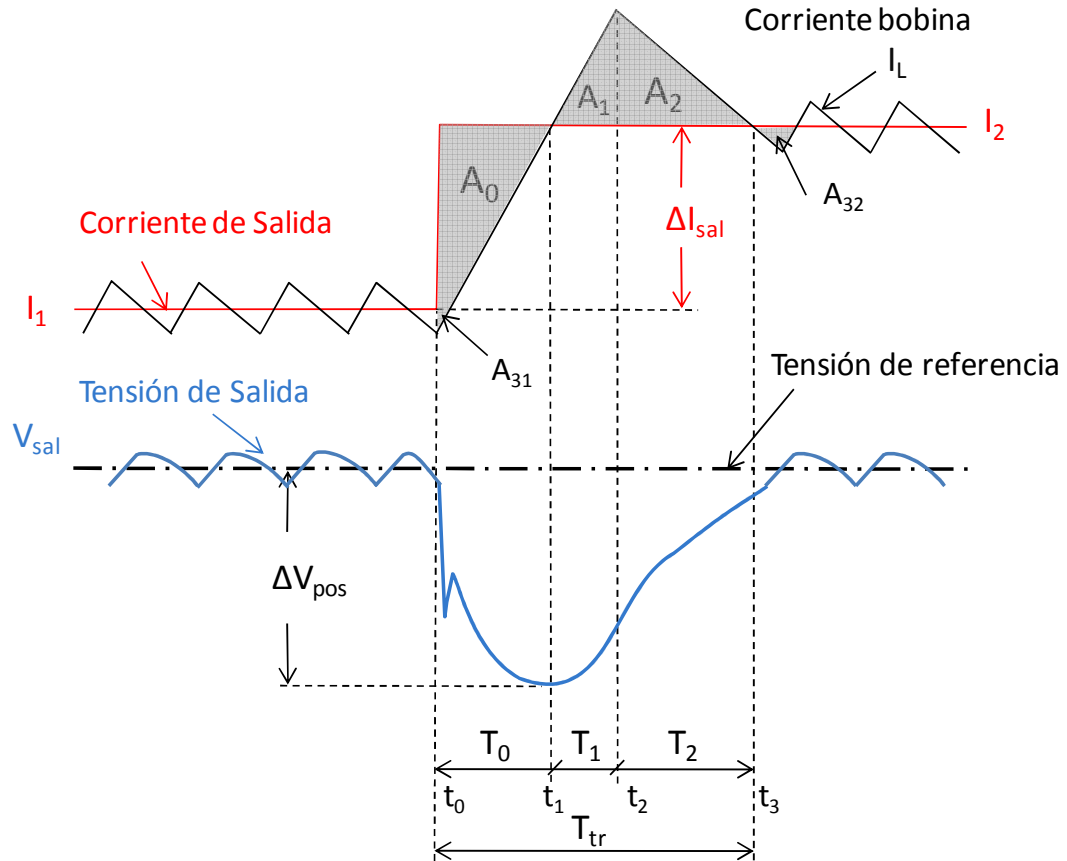


Fig. 8.1 Respuesta transitoria de un convertidor con control no lineal ante un escalón de carga positivo.

Se define a:

1.  $t_0$  como el instante de tiempo en que se inicia el transitorio;
2.  $t_1$  como el instante de tiempo en que la corriente por la bobina es igual a la corriente de salida en el nuevo estado;
3.  $t_2$  como el instante de tiempo en que la corriente por la bobina alcanza su valor máximo;
4.  $t_3$  como el instante de tiempo en que la corriente por la bobina alcanza su nuevo valor en régimen permanente;
5.  $T_0$  como el periodo de tiempo en que la tensión de salida alcanza su valor mínimo;
6.  $T_0+T_1$  como el periodo de tiempo en que la corriente por la bobina alcanza su valor máximo;



7.  $T_0+T_1+T_2$  como el periodo de tiempo en que la corriente por la bobina alcanza su nuevo valor en régimen permanente, la tensión de salida alcanza el régimen permanente;

Cuando ocurre el escalón de carga,  $\Delta I_{sal}=I_2-I_1$ , en el instante de tiempo  $t_0$ , la corriente por la bobina  $I_L$ , no puede cambiar instantáneamente, por lo que no puede suministrar la corriente que demanda la carga,  $I_2$ .

Esto hace, que el condensador de salida comience a descargarse, suministrando así parte de la energía que demanda la carga. Como consecuencia, el condensador de salida pierde carga y provoca que la tensión de salida disminuya y caiga por debajo de su valor de referencia, (esto se conoce como *undershoot*).

En este caso, (durante el intervalo de tiempo  $T_0+T_1$ ), la derivada de la corriente por la bobina se define como:

$$m_{pos} = \frac{di_L}{dt} = \frac{V_{ent} - V_{sal}}{L} \quad (8.5)$$

Para el caso de un escalón de carga negativo, es decir, cuando la corriente de salida varía desde una corriente,  $I_2$  hasta  $I_1$ , donde  $I_2 > I_1$ , el condensador de salida debe absorber el exceso de corriente suministrada por la bobina. Esto trae como consecuencia, que el condensador de salida se cargue, incrementándose de ésta manera, la tensión de salida del convertidor por encima de su valor de referencia, (esto se conoce como *overshoot*).

Hasta el instante de tiempo  $t_1$ , la corriente por la bobina es menor que la corriente por la carga. Como resultado, el condensador de salida continúa descargándose. En el instante de tiempo  $t_1$ , la corriente por la bobina y por la carga se igualan. Como resultado, el condensador de salida deja de descargarse. En este punto, el condensador sufre la mayor caída de tensión entre sus terminales.

Posteriormente, al instante de tiempo  $t_1$ , la corriente por la bobina continúa creciendo, llegando a ser mayor que la corriente por la carga. Como resultado, el condensador de salida deja de descargarse y comienza a cargarse. A partir de este momento, (para  $t > t_1$ ), la tensión de salida comienza a crecer hasta alcanzar su valor nominal ( $V_{ref}$ ).

Una vez transcurrido el instante de tiempo  $t_2$ , la corriente por la bobina sigue siendo mayor que la corriente por la carga. Esto indica que el condensador continúa cargándose y que su corriente no es cero. En este caso, la corriente por la bobina decrece con su máxima derivada de corriente, determinada por la siguiente expresión:

$$m_{neg} = \frac{di_L}{dt} = \frac{-V_{sal}}{L} \quad (8.6)$$

Como consecuencia, el condensador continuará cargándose y la tensión de salida aumentando. Cuando el valor de la carga del condensador, equivalente al área sombreada  $A_1+A_2$ , (ver figura 8.1), sea igual al valor del área de descarga,  $A_0$ , la tensión en el condensador alcanzará su valor nominal. Esto ocurre en el instante de tiempo  $t_3$ .

Es evidente que la respuesta del convertidor con regulador lineal tiene que ser, por naturaleza, más lenta que la respuesta no lineal descrita anteriormente. Esto se debe fundamentalmente a que como el ancho de banda del regulador lineal está limitado, el ciclo de trabajo se incrementa linealmente en cada periodo de conmutación hasta alcanzar su valor máximo.

En la figura 8.2, se muestran las principales formas de onda de un convertidor reductor con control óptimo (control no lineal), ante un escalón de carga positivo. Están representadas la corriente y la tensión de salida y la señal PWM, que gobierna al interruptor principal del convertidor.

La solución óptima para una combinación de parámetros dados (tensión de entrada y salida del convertidor, frecuencia de conmutación, inductancia por fase y capacidad del filtro de salida), va a ser aquella que permita retornar al régimen permanente en el menor tiempo posible. Para lograr este objetivo, es necesario saturar a '1' el ciclo de trabajo durante el tiempo  $T_0+T_1$ . Por otra parte, es necesario saturar a '0' el ciclo de trabajo durante el tiempo  $T_2$ .

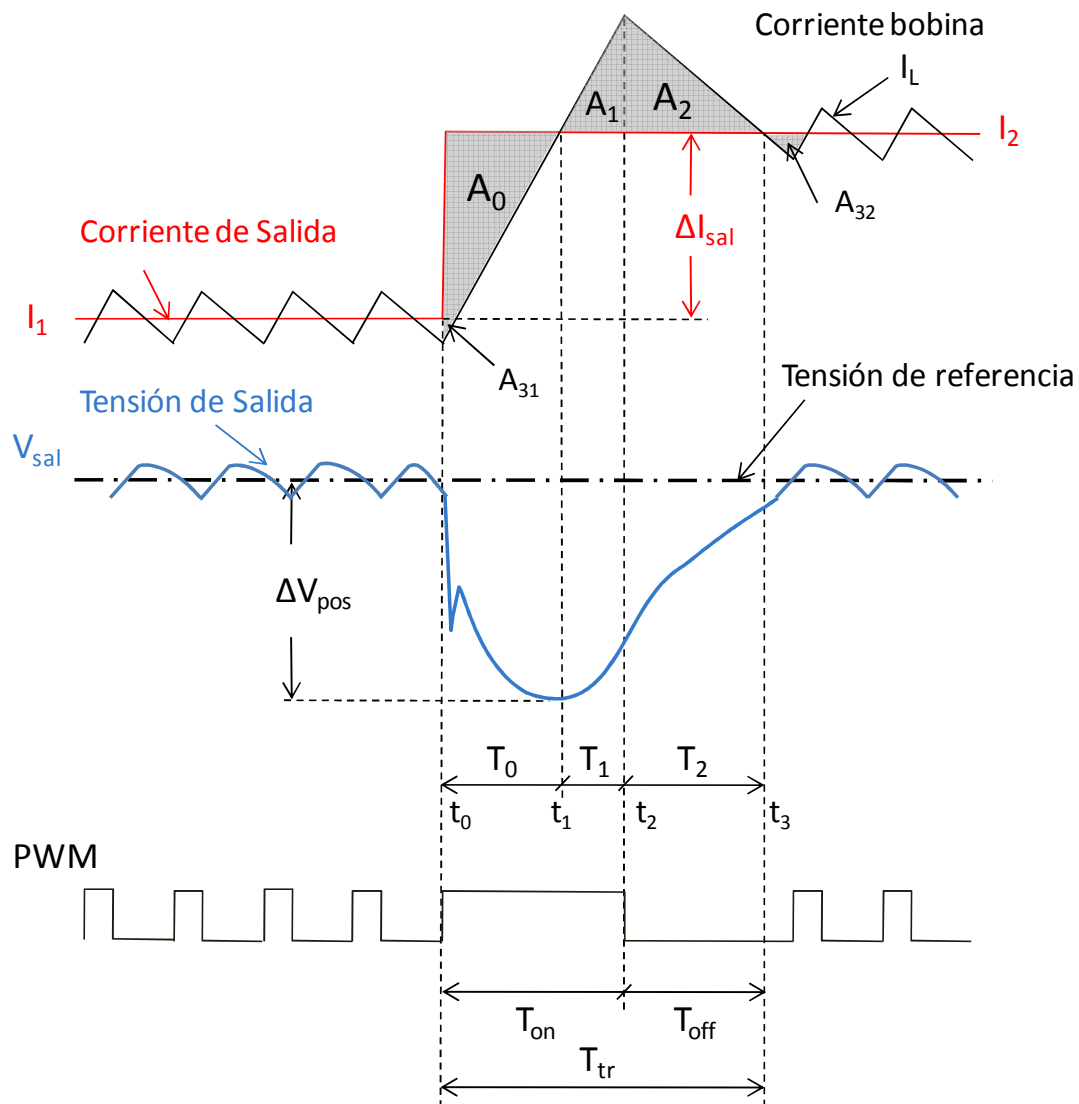


Fig. 8.2 Respuesta transitoria del convertidor con control óptimo ante un escalón de carga positivo. Saturación del ciclo de trabajo.

En el principio del balance de carga es determinante, para lograr el régimen permanente del sistema, que las áreas de carga y descarga del condensador de salida sean iguales, es decir:

$$Q_0 = Q_1 + Q_2 \quad (8.7)$$

donde:  $Q_0$ , es la carga que entrega el condensador de salida durante el transitorio. Esta carga es equivalente al área sombreada  $A_0$ ;

$Q_1$ ,  $Q_2$ , es la carga que recupera el condensador de salida durante el transitorio. Esta carga es equivalente al área sombreada  $A_1 + A_2$ .

Hay que aclarar que para simplificar el análisis, y teniendo en cuenta que se responde instantáneamente, no se han tenido en cuenta la descarga generada por las áreas  $A_{31}$  y  $A_{32}$ , ya que se ha supuesto que el sistema responde instantáneamente. Lo antes expuesto se puede representar como:

$$A_0 = A_1 + A_2 \quad (8.8)$$

Es evidente, que mientras menor sea la banda de umbral, más rápido responderá el control no lineal a los transitorios de carga. De aquí, la importancia que tiene definir de forma óptima las tensiones que definen ésta banda.

Los objetivos que se persiguen en este capítulo son:

- Definir los límites teóricos del control LnL, optimizando su respuesta basándose en el principio del balance de cargas del condensador de salida.
- Desarrollar un algoritmo para el diseño óptimo de convertidores con control LnL.

### 8.2.2 PRINCIPIOS DEL CONTROL LN<sub>L</sub> ÓPTIMO. CASO IDEAL

Para analizar y comprender el principio del control LnL óptimo, es necesario introducir una serie de conceptos que forman parte de la base teórica del problema. Esto permitirá, más adelante, elaborar la metodología de diseño del convertidor con ayuda de la cual se definirán los principales parámetros de diseño del convertidor.

En la figura 8.3, se muestra una vista ampliada de la corriente de la bobina durante un transitorio de la corriente de salida del convertidor.

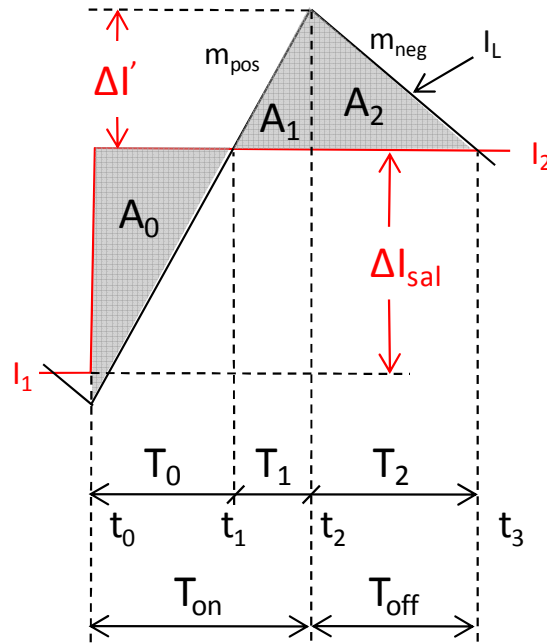


Fig. 8.3 Variación de la corriente de la bobina durante un escalón de carga positivo.

La respuesta ideal será aquella en que la corriente por la bobina sea capaz de responder ante una variación de la corriente por la carga con la misma derivada. El caso representado en la figura 8.3, es un caso real donde el incremento de la corriente por la bobina depende del valor de su inductancia.

Para el análisis, se asume que:

1. la derivada de la corriente de salida es mucho mayor que la de la bobina;
2. el regulador L<sub>n</sub>L es capaz de reaccionar instantáneamente ante el transitorio;
3. la corriente de salida  $I_2$  se mantiene constante durante el transitorio.

A continuación, se definen las principales expresiones matemáticas para cada uno de los intervalos de tiempo representados en la figura 8.3:

- a) *Período de tiempo  $T_0$* ; a partir de la figura 8.3, el área  $A_0$  se puede representar como:

$$A_0 = Q_0 = \int_{t_0}^{t_1} [I_2 - i_L(t)] dt \quad (8.9)$$

Si la derivada de la corriente por la bobina se define como:

$$m_{pos} = \frac{V_{ent} - V_{sal}}{L} \approx \frac{I_2 - I_1}{T_0} \approx \frac{\Delta I_{sal}}{T_0} \quad (8.10)$$

Donde:

$$\Delta I_{sal} = I_2 - I_1 \quad (8.11)$$

Entonces, teniendo en cuenta los principios básicos de la geometría se puede definir el tiempo  $T_0$  como:

$$T_0 = \Delta I_{sal} \cdot \frac{L}{V_{ent} - V_{sal}} \quad (8.12)$$

Por otra parte, la carga  $Q_0$  se puede definir como el área de descarga  $A_0$ , (para simplificar el estudio las áreas  $A_{31}$  y  $A_{32}$  se han despreciado):

$$Q_0 = A_0 \approx \frac{1}{2} \cdot T_0 \cdot \Delta I_{sal} \quad (8.13)$$

Sustituyendo la ecuación (8.12) en (8.13) se obtiene:

$$Q_0 = A_0 \approx \frac{1}{2} \cdot \Delta I_{sal}^2 \cdot \frac{L}{V_{ent} - V_{sal}} \quad (8.14)$$

Despejando  $\Delta I_{sal}$  de la ecuación (8.12) y sustituyendo en (8.14), se puede representar la carga  $Q_0$  en función del intervalo de tiempo  $T_0$ :

$$Q_0 = A_0 \approx \frac{1}{2} \frac{(V_{ent} - V_{sal})}{L} \cdot T_0^2 \quad (8.15)$$

b) *Período de tiempo*  $T_1$ , de forma análoga, el área  $A_1$  se puede representar como:

$$A_1 = \int_{t_1}^{t_2} [i_L(t) - I_2] dt \quad (8.16)$$

En este caso la pendiente de la corriente por la bobina se define como:

$$m_{pos} = \frac{V_{ent} - V_{sal}}{L} = \frac{i_{max} - I_2}{T_1} \quad (8.17)$$

Si,

$$\Delta I' = i_{max} - I_2 = m_{pos} \cdot T_1 \quad (8.18)$$

Entonces, el área de carga,  $A_1$ , se puede definir como:

$$Q_1 = A_1 = \frac{1}{2} \cdot T_1 \Delta I' = \frac{1}{2} m_{pos} \cdot T_1^2 = \frac{1}{2} \frac{(V_{ent} - V_{sal})}{L} \cdot T_1^2 \quad (8.19)$$

c) *Período de tiempo*  $T_2$ , en este caso el área  $A_2$  se puede expresar como:

$$Q_2 = A_2 = \frac{1}{2} \cdot T_2 \cdot \Delta I' = -\frac{1}{2} m_{neg} \cdot T_2^2 = \frac{1}{2} \frac{V_{sal}}{L} \cdot T_2^2 \quad (8.20)$$

Entonces la relación entre las áreas  $A_1$  y  $A_2$  se puede representar, teniendo en cuenta las ecuaciones (8.17) a (8.20), como:

$$\frac{A_2}{A_1} = \frac{-\frac{1}{2} m_{neg} \cdot T_2^2}{\frac{1}{2} m_{pos} \cdot T_1^2} = \frac{\Delta I' \cdot T_2}{\Delta I' \cdot T_1} = \frac{T_2}{T_1} = \frac{m_{pos}}{-m_{neg}} = \frac{(V_{ent} - V_{sal})}{V_{sal}} \quad (8.21)$$

De aquí que el período de tiempo  $T_2$  se puede expresar como:

$$T_2 = \frac{(V_{ent} - V_{sal})}{V_{sal}} \cdot T_1 = \frac{1 - D}{D} \cdot T_1 \quad (8.22)$$

Entonces, el área de carga,  $A_2$  se puede definir como:

$$Q_2 = A_2 = \frac{m_{pos}}{-m_{neg}} A_1 = \frac{1}{2L} \frac{(V_{ent} - V_{sal})^2}{V_{sal}} \cdot T_1^2 = \frac{1}{2} \frac{V_{sal}}{L} \cdot T_2^2 \quad (8.23)$$

Teniendo en cuenta que para que se cumpla el balance de cargas, el área definida por la descarga del condensador,  $A_0$ , debe cumplir que:

$$A_0 = A_1 + A_2 \quad (8.24)$$

Recordando que:

$$m_{pos} = \frac{V_{ent} - V_{sal}}{L} \quad (8.25)$$

$$-m_{neg} = \frac{V_{sal}}{L} \quad (8.26)$$

Entonces, sustituyendo (8.19) y (8.23) en (8.24) se obtiene que:

$$A_0 = A_1 + A_2 = \frac{1}{2} \frac{V_{ent} - V_{sal}}{L} \cdot T_1^2 + \frac{1}{2} \frac{V_{sal}}{L} \cdot T_2^2 \quad (8.27)$$

Sustituyendo la ecuación (8.22) en (8.27) se obtiene:

$$A_0 = A_1 + A_2 = \frac{1}{2} \frac{V_{ent} - V_{sal}}{L} \cdot T_1^2 + \frac{1}{2} \left( \frac{V_{ent} - V_{sal}}{V_{sal}} \cdot T_1 \right)^2 \frac{V_{sal}}{L} \quad (8.28)$$

Igualando las ecuaciones (8.14) y (8.28), según la ecuación (8.24), el período de tiempo  $T_1$  se puede determinar como:



$$T_1 = \sqrt{\frac{V_{sal} \cdot L^2 \cdot \Delta I_{sal}^2}{V_{ent} \cdot (V_{ent} - V_{sal})^2}} = \frac{L \cdot \Delta I_{sal}}{V_{ent} - V_{sal}} \cdot \sqrt{\frac{V_{sal}}{V_{ent}}} \quad (8.29)$$

De la figura 8.3, el escalón de la corriente de salida  $\Delta I_{sal}$ , se puede representar como:

$$\Delta I_{sal} = \frac{V_{ent} - V_{sal}}{L} \cdot T_0 \quad (8.30)$$

Sustituyendo la ecuación (8.30) en (8.29) se obtiene que:

$$T_1 = \sqrt{\frac{V_{sal}}{V_{ent}}} \cdot T_0 = \sqrt{D} \cdot T_0 = k_1 \cdot T_0 \quad (8.31)$$

Donde  $k_1$ , es una constante que depende solamente de las tensiones de entrada y de salida según la siguiente expresión:

$$k_1 = \sqrt{\frac{V_{sal}}{V_{ent}}} = \sqrt{D} \quad (8.32)$$

Aquí se obtiene una **conclusión parcial** muy importante a la hora de implementar el control LnL. Teniendo en cuenta que el ciclo de trabajo  $D$  es conocido y solo depende de las tensiones de entrada y de salida, el periodo de tiempo  $T_1$  se puede calcular midiendo el periodo de  $T_0$ . Este a su vez es fácilmente medible, ya que representa el tiempo que transcurre desde el momento en que ocurre el escalón de carga hasta el instante de tiempo en que la derivada de la variación de la tensión de salida cambia de signo.

Para la implementación del control LnL optimo, es importante expresar los tiempos  $T_1$  y  $T_2$  en función de  $T_0$ , entonces sustituyendo la expresión (8.31) en (8.22) se obtiene:

$$T_2 = \frac{(V_{ent} - V_{sal})}{V_{sal}} \cdot \sqrt{\frac{V_{sal}}{V_{ent}}} \cdot T_0 = \frac{1-D}{D} \cdot \sqrt{D} \cdot T_0 = \frac{1-D}{\sqrt{D}} \cdot T_0 \quad (8.33)$$

Donde  $k_2$ , es una constante que depende, de nuevo, solamente de las tensiones de entrada y de salida según la siguiente expresión:

$$k_2 = \frac{(V_{ent} - V_{sal})}{V_{sal}} \cdot \sqrt{\frac{V_{sal}}{V_{ent}}} = \frac{1-D}{D} \cdot \sqrt{D} = \frac{1-D}{\sqrt{D}} \quad (8.34)$$

Por otra parte, según la ecuación (8.18), la variación de la corriente  $\Delta I'$ , se puede expresar como:

$$\Delta I' = \frac{(V_{ent} - V_{sal})}{L} \cdot T_1 \quad (8.35)$$

Entonces, la relación que existe entre el valor de sobrecorriente pico de la corriente,  $\Delta I'$ , respecto al escalón de carga de la corriente de salida,  $\Delta I_{sal}$ , se expresa, teniendo en cuenta (8.30), como:

$$\frac{\Delta I'}{\Delta I_{sal}} = \frac{T_1}{T_0} \quad (8.36)$$

Sustituyendo (8.31) en (8.36) y despejando  $\Delta I'$ , se obtiene:

$$\Delta I' = \sqrt{D} \cdot \Delta I_{sal} \quad (8.37)$$

Aquí se obtiene una **conclusión** interesante, el valor máximo de la corriente de salida solo depende del ciclo de trabajo del convertidor y del escalón máximo de la corriente de carga.

Para el escalón de carga representado en la figura 8.3, se define el período de tiempo  $T_{on}$ , al período de tiempo durante cual el ciclo de trabajo debe permanecer saturado a '1', y de forma similar, se define el tiempo de apagado como  $T_{off}$ , al tiempo en el cual el ciclo de trabajo se satura a '0'.

$$T_{on} = T_0 + T_1 \quad (8.38)$$

$$T_{off} = T_2 \quad (8.39)$$

Sustituyendo (8.12) y (8.29) en (8.38) y (8.33) en (8.39), se obtienen las expresiones de los tiempos en que deben permanecer encendidos ( $T_{on}$ ) y apagados ( $T_{off}$ ) los interruptores. Estos tiempos garantizan la condición de balance de carga:

$$T_{on} = \frac{L \cdot \Delta I_{sal}}{V_{ent} - V_{sal}} + \frac{L \cdot \Delta I_{sal}}{V_{ent} - V_{sal}} \cdot \sqrt{\frac{V_{sal}}{V_{ent}}} = \frac{L \cdot \Delta I_{sal}}{V_{ent} - V_{sal}} \cdot \left( 1 + \sqrt{\frac{V_{sal}}{V_{ent}}} \right) \quad (8.40)$$

$$T_{off} = \frac{(V_{ent} - V_{sal})}{V_{sal}} \cdot T_1 = \frac{L \cdot \Delta I_{sal}}{V_{sal}} \cdot \sqrt{\frac{V_{sal}}{V_{ent}}} \quad (8.41)$$

A la hora de implementar el control LnL y teniendo en cuenta que solo se puede medir de forma dinámica el periodo de tiempo  $T_0$ , es necesario expresar los tiempos de encendidos ( $T_{on}$ ) y apagados ( $T_{off}$ ) de los interruptores en función del tiempo  $T_0$ . Entonces, de acuerdo con la figura 8.3, el intervalo de tiempo  $T_{on}$  se puede expresar como:

$$T_{on} = T_0 + T_0 \cdot \sqrt{\frac{V_{sal}}{V_{ent}}} = (1 + \sqrt{D}) \cdot T_0 \quad (8.42)$$

Por otra parte, sustituyendo la ecuación (8.31) en (8.41) se obtiene que:

$$T_{off} = \frac{(V_{ent} - V_{sal})}{V_{sal}} \cdot \sqrt{\frac{V_{sal}}{V_{ent}}} \cdot T_0 = \left( \frac{1-D}{D} \right) \cdot \sqrt{D} \cdot T_0 = \frac{1-D}{\sqrt{D}} \cdot T_0 \quad (8.43)$$

Un resultado muy interesante es el que se deriva de la relación que existe entre los tiempos  $T_{on}$  y  $T_{off}$  ante escalones de carga positivo, ver figura 8.3. Se define a  $k_{B\ pos}$  como el coeficiente de balance positivo, el cual representa la relación que existe entre los tiempos en que la señal PWM debe estar saturada a “0” ( $T_{off}$ ) y a “1” ( $T_{on}$ ) durante un transitorio de carga positivo:

$$k_{Bpos} = \frac{T_{off}}{T_{on}} \quad (8.44)$$

Entonces, sustituyendo las ecuaciones (8.42) y (8.43) en (8.44), se obtiene:

$$k_{Bpos} = \left( \frac{1-D}{D} \right) \cdot \frac{\sqrt{D}}{1+\sqrt{D}} = \frac{1-D}{D+\sqrt{D}} \quad (8.46)$$

O representada en función de la tensión de salida y entrada del convertidor CC-CC reductor:

$$k_{Bpos} = \frac{V_{ent} - V_{sal}}{V_{sal}} \cdot \frac{\sqrt{\frac{V_{sal}}{V_{ent}}}}{1 + \sqrt{\frac{V_{sal}}{V_{ent}}}} \quad (8.45)$$

Como **conclusión parcial** se obtiene, que el coeficiente de balance,  $k_{B\ pos}$ , es una magnitud que sólo depende de las tensiones de entrada y salida del convertidor y no de los parámetros del filtro de salida ni del valor del escalón de corriente.

Para el caso de un escalón de carga negativo, en la figura 8.4, se muestra una vista ampliada de la corriente de la bobina durante un transitorio de la corriente de salida del convertidor, cuando se utiliza el control LnL.

En este caso se define a:

1.  $T_0'$  como el periodo de tiempo en que la tensión de salida alcanza su valor máximo;
2.  $T_0' + T_1'$  como el periodo de tiempo en que la corriente por la bobina alcanza su valor mínimo;
3.  $T_0' + T_1' + T_2'$  como el periodo de tiempo en que la corriente por la bobina alcanza su nuevo valor en régimen permanente. Es el periodo de tiempo en el cual la tensión de salida retorna a su valor de referencia en régimen permanente.

De forma similar, al caso del escalón de carga positivo, se pueden calcular cada una de las áreas.

- a) *Período de tiempo  $T_0'$* ; a partir de la figura 8.3, el área  $A_0'$  se puede representar como:

$$A_0' = Q_0' = \int_{t_0}^{t_1} [i_L(t) - I_2] dt \quad (8.47)$$

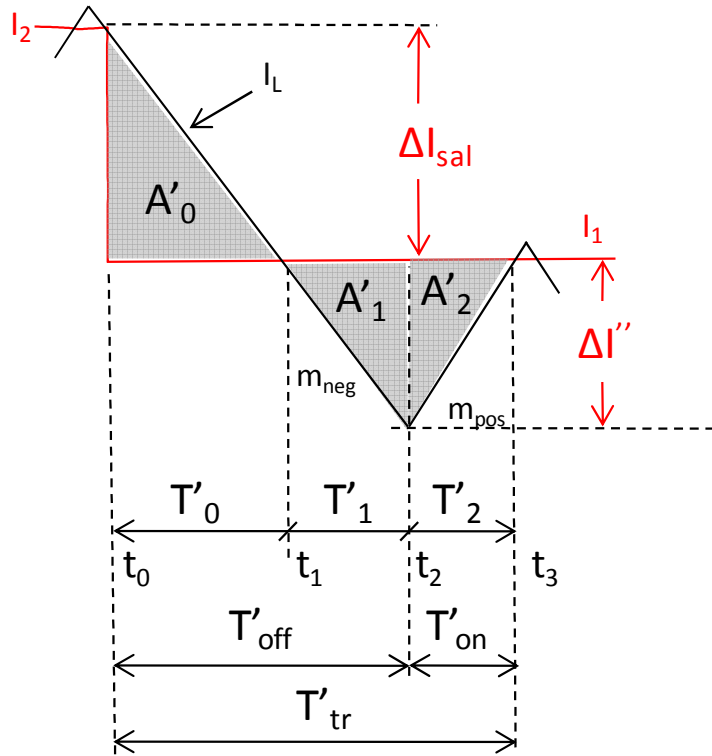


Fig. 8.4 Variación de la corriente de la bobina durante un escalón de carga negativo.

Si la derivada de la corriente por la bobina en este caso se define como:

$$m_{neg} = \frac{-V_{sal}}{L} \approx \frac{I_1 - I_2}{T'_0} \approx -\frac{\Delta I_{sal}}{T'_0} \quad (8.48)$$

Entonces, se puede definir el tiempo  $T'_0$  como:

$$T'_0 = \Delta I_{sal} \cdot \frac{L}{V_{sal}} \quad (8.49)$$

Por otra parte, la carga  $Q_0$  se puede definir como el área de descarga  $A_0$ :

$$Q'_0 = A'_0 \approx \frac{1}{2} T'_0 \cdot \Delta I_{sal} \quad (8.50)$$

Despejando  $\Delta I_{sal}$  de la ecuación (8.49) y sustituyendo en (8.50) se obtiene:

$$Q'_0 = A'_0 = \frac{1}{2} \frac{V_{sal}}{L} \cdot T_0'^2 \quad (8.51)$$

b) *Período de tiempo*  $T_1'$ , de forma análoga, el área  $A_1'$  se puede representar como:

$$A_1' = \int_{t_1}^{t_2} [I_1 - i_L(t)] dt \quad (8.52)$$

Entonces, la carga  $Q_1'$ , se puede definir como:

$$Q_1' = A_1' = \frac{1}{2} \frac{V_{sal}}{L} \cdot T_1'^2 = \frac{1}{2} \Delta I'' \cdot T_1' \quad (8.53)$$

c) *Período de tiempo*  $T_2'$ , en este caso el área  $A_2'$  se puede expresar como:

$$Q_2' = A_2' = \frac{1}{2} T_2' \cdot \Delta I'' = \frac{1}{2} m_{pos} \cdot T_2'^2 \quad (8.54)$$

Donde:

$$\Delta I'' = I_1 - i_{min} \quad (8.55)$$

A partir de la figura 8.4, la variación de la corriente  $\Delta I''$  se puede representar en función de los intervalos de tiempo  $T_1'$  y  $T_2'$  como:

$$\Delta I'' = -m_{neg} \cdot T_1' = m_{pos} \cdot T_2' \quad (8.56)$$

Entonces la relación entre las áreas  $A_1'$  y  $A_2'$  se puede representar como:

$$\frac{A_2'}{A_1'} = \frac{\frac{1}{2} m_{pos} \cdot T_2'^2}{\frac{-1}{2} m_{neg} \cdot T_1'^2} = \frac{T_2'}{T_1'} = \frac{-m_{neg}}{m_{pos}} = \frac{V_{sal}}{(V_{ent} - V_{sal})} = \frac{D}{1 - D} \quad (8.57)$$

De aquí que el período de tiempo  $T_2'$  se puede expresar como:

$$T_2' = \frac{V_{sal}}{(V_{ent} - V_{sal})} \cdot T_1' = \frac{D}{1 - D} \cdot T_1' \quad (8.58)$$

Entonces, el área  $A_2'$  se puede definir, teniendo en cuenta la ecuación (8.57) como:

$$Q'_2 = A'_2 = \frac{-m_{neg}}{m_{pos}} A'_1 = \frac{V_{sal}}{(V_{ent} - V_{sal})} A'_1 = \frac{1}{2L} (V_{ent} - V_{sal}) \cdot T_2'^2 \quad (8.59)$$

Teniendo en cuenta que para que se cumpla el balance de cargas, se debe cumplir que:

$$A'_0 = A'_1 + A'_2 \quad (8.60)$$

Entonces, sustituyendo (8.53) y (8.59) en (8.60), y se obtiene que:

$$A'_0 = A'_1 + A'_2 = \frac{1}{2} (T_1' + T_2') \cdot \Delta I'' = \frac{1}{2} (T_1' + T_2') \cdot \frac{V_{sal}}{L} T_1' \quad (8.61)$$

Sustituyendo la ecuación (8.58) en (8.61) se obtiene:

$$A'_0 = A'_1 + A'_2 = \frac{1}{2} \left( T_1' + \frac{V_{sal}}{(V_{ent} - V_{sal})} \cdot T_1' \right) \cdot \frac{V_{sal}}{L} T_1' \quad (8.62)$$

Reagrupando la expresión (8.62) se obtiene:

$$A'_0 = A'_1 + A'_2 = \frac{1}{2} \left( 1 + \frac{V_{sal}}{(V_{ent} - V_{sal})} \right) \cdot \frac{V_{sal}}{L} T_1'^2 \quad (8.63)$$

Igualando las ecuaciones (8.50) y (8.62), el período de tiempo  $T_1'$ , se puede determinar como:

$$T_1' = \sqrt{\frac{(V_{ent} - V_{sal})}{V_{ent}}} \cdot T_0' = \sqrt{1 - D} \cdot T_0' \quad (8.64)$$

Donde  $k_1'$ , es una constante que depende solamente de las tensiones de entrada y de salida según la siguiente expresión:

$$k_1' = \sqrt{\frac{(V_{ent} - V_{sal})}{V_{ent}}} = \sqrt{1 - D} \quad (8.65)$$

El intervalo de tiempo  $T_2'$ , se puede expresar en función del intervalo de tiempo  $T_0'$ , sustituyendo la expresión (8.64) en (8.58) se obtiene que:

$$T_2' = \frac{V_{sal}}{(V_{ent} - V_{sal})} \cdot \sqrt{\frac{(V_{ent} - V_{sal})}{V_{ent}}} \cdot T_0' = \frac{D}{\sqrt{1-D}} \cdot T_0' \quad (8.66)$$

Donde  $k_2'$ , es una constante que depende solamente de las tensiones de entrada y de salida según la siguiente expresión:

$$k_2' = \frac{V_{sal}}{(V_{ent} - V_{sal})} \cdot \sqrt{\frac{(V_{ent} - V_{sal})}{V_{ent}}} = \frac{D}{\sqrt{1-D}} \quad (8.67)$$

Aquí se obtiene otra **conclusión parcial** muy importante a la hora de implementar el control LnL, teniendo en cuenta que el ciclo de trabajo  $D$  es conocido y solo depende de las tensiones de entrada y de salida, los intervalos de tiempo  $T_1'$  y  $T_2'$  se pueden calcular, midiendo el intervalo de tiempo  $T_0'$ . Este a su vez se puede medir de la misma manera que para el caso del escalón de carga positivo, y representa el tiempo que transcurre desde el escalón de carga hasta el instante de tiempo en que la derivada de la variación de la tensión de salida cambia de signo.

Para el escalón de carga representado en la figura 8.4, (escalón de carga negativo), y de forma similar que para el caso del escalón de carga positivo, se define el período de tiempo  $T_{on}'$ , como el período de tiempo durante cual el ciclo de trabajo debe permanecer saturado a '1'. Por otra parte, se define el tiempo de apagado como  $T_{off}'$ , al tiempo en el cual el ciclo de trabajo se satura a '0'.

$$T_{off}' = T_0' + T_1' \quad (8.68)$$

$$T_{on}' = T_2' \quad (8.69)$$

Sustituyendo (8.64) en (8.68) y (8.66) en (8.69), se obtienen las expresiones de los tiempos en que deben permanecer encendidos ( $T_{on}'$ ) y apagados ( $T_{off}'$ ) los interruptores en función del tiempo  $T_0'$ :



$$T'_{off} = T'_0 + \sqrt{1-D} \cdot T'_0 = (1 + \sqrt{1-D}) \cdot T'_0 \quad (8.70)$$

$$T'_{on} = \frac{V_{sal}}{(V_{ent} - V_{sal})} \cdot \sqrt{\frac{(V_{ent} - V_{sal})}{V_{ent}}} \cdot T'_0 \quad (8.71)$$

Reagrupando la expresión (8.71) se obtiene que:

$$T'_{on} = \frac{D}{1-D} \cdot \sqrt{1-D} \cdot T'_0 = \frac{D}{\sqrt{1-D}} \cdot T'_0 \quad (8.72)$$

Al igual que para el caso del escalón de carga positivo, un resultado muy interesante es el que se deriva de la relación que existe entre los tiempos  $T'_{on}$  y  $T'_{off}$  para diferentes escalones de carga, ver figura 8.4.

Se define a  $k_{B \text{ neg}}$  como el coeficiente de balance durante el escalón de carga negativo, el cual representa la relación que existe entre los tiempos en que la señal PWM debe estar saturada a “0” ( $T'_{off}$ ) y a “1” ( $T'_{on}$ ) durante dicho transitorio:

$$k_{Bneg} = \frac{T'_{off}}{T'_{on}} \quad (8.73)$$

Entonces, sustituyendo las ecuaciones (8.70) y (8.72) en (8.73), se obtiene:

$$k_{Bneg} = \frac{1 + \sqrt{1-D}}{D \cdot \sqrt{\frac{1}{1-D}}} = \frac{1 + \sqrt{1-D}}{\frac{D}{\sqrt{1-D}}} \quad (8.74)$$

Como **conclusión parcial** se obtiene, que el coeficiente de balance,  $k_B$ , es también una magnitud que sólo depende de las tensiones de entrada y salida del convertidor y no de los parámetros del filtro de salida ni del valor del escalón de corriente.

En la tabla 8.1 se resumen los principales parámetros que indican la dependencia de cada uno de los intervalos de tiempo característicos del convertidor, en función del intervalo de tiempo  $T_0$  o  $T'_0$ , para el caso de escalón de carga positivo o negativo respectivamente.

Los intervalos de tiempo  $T_0$  y  $T_0'$ , son necesarios para la implementación del control LnL, ya que a partir de ellos se calculan el resto de los intervalos que definen los tiempos de encendido,  $T_{on}$  o  $T_{on}'$ , o apagado  $T_{off}$  o  $T_{off}'$ , para el caso de escalones de carga positivo o negativo respectivamente.

**TABLA 8.1**  
**RESUMEN DE LOS PRINCIPALES PARÁMETROS QUE DEFINEN LOS INTERVALOS DE TIEMPO DEL**  
**CONVERTIDOR EN FUNCIÓN DE  $T_0$**

Parámetros en función de $T_0$	Escalón de carga	
	positivo	negativo
$T_1$	$\sqrt{D} \cdot T_0$	$\sqrt{1-D} \cdot T_0'$
$k_1$	$\sqrt{D}$	$\sqrt{1-D}$
$T_2$	$\frac{1-D}{\sqrt{D}} \cdot T_0$	$\frac{D}{\sqrt{1-D}} \cdot T_0'$
$k_2$	$\frac{1-D}{\sqrt{D}}$	$\frac{D}{\sqrt{1-D}}$
$T_{on}$	$(1 + \sqrt{D}) \cdot T_0$	$\frac{D}{\sqrt{1-D}} \cdot T_0'$
$T_{off}$	$\frac{1-D}{\sqrt{D}} \cdot T_0$	$(1 + \sqrt{1-D}) \cdot T_0'$

Una vez obtenidos los tiempos que caracterizan el transitorio no lineal,  $T_{tr}$  y  $T_{tr}'$ , (ver figuras 8.3 y 8.4), se hace necesario determinar los tiempos de recuperación del sistema.

### 8.2.3 TIEMPOS DE RECUPERACIÓN

Se define como tiempo de recuperación, al intervalo de tiempo que transcurre desde el instante en que ocurre el escalón de carga, hasta que el convertidor alcanza su nuevo régimen permanente.

Para el caso de un escalón de carga positivo, (ver figura 8.3), y teniendo en cuenta las ecuaciones (8.40) y (8.41), el tiempo de recuperación positivo se define como:

$$T_{recup pos} = T_0 + T_1 + T_2 = \frac{L \cdot \Delta I_{sal}}{V_{ent} - V_{sal}} \cdot \left[ 1 + \frac{V_{ent}}{V_{sal}} \cdot \sqrt{\frac{V_{sal}}{V_{ent}}} \right] \quad (8.75)$$

Se puede expresar el tiempo de recuperación positivo del convertidor en función del tiempo  $T_0$ , y del ciclo de trabajo  $D$ :

$$T_{recup pos} = \left[ \left( 1 + \frac{V_{ent}}{V_{sal}} \right) \cdot \sqrt{\frac{V_{sal}}{V_{ent}}} \right] \cdot T_0 = \left[ \left( 1 + \frac{1}{D} \right) \cdot \sqrt{D} \right] \cdot T_0 \quad (8.76)$$

De forma similar, se define el tiempo total de recuperación durante un escalón de carga negativo, (8.70) y (8.71) (ver figura 8.4 epígrafe 8.2.2), como:

$$T_{recup neg} = T_0' + T_1' + T_2' = \frac{L \cdot \Delta I_{sal}}{V_{sal}} \cdot \left[ \left( 1 + \frac{V_{ent}}{V_{ent} - V_{sal}} \right) \cdot \sqrt{\frac{V_{ent} - V_{sal}}{V_{ent}}} \right] \quad (8.77)$$

Se puede expresar el tiempo de recuperación negativo del convertidor en función del tiempo  $T_0'$ , y del ciclo de trabajo  $D$ :

$$T_{recup neg} = \left[ \left( 1 + \frac{V_{ent}}{V_{ent} - V_{sal}} \right) \cdot \sqrt{\frac{V_{ent} - V_{sal}}{V_{ent}}} \right] T_0' \quad (8.78)$$

Reagrupando, la expresión anterior se puede representar como:

$$T_{recup neg} = \left[ \left( 1 + \frac{1}{1-D} \right) \cdot \sqrt{1-D} \right] \cdot T_0' \quad (8.79)$$

A continuación se analizará la variación de la tensión de salida del convertidor ante un transitorio teniendo en cuenta cada uno de los parámetros de diseño del mismo.

#### 8.2.4 VARIACIÓN DE LA TENSIÓN DE SALIDA DURANTE UN TRANSITORIO: CASO IDEAL.

Es muy importante a la hora de diseñar, poder determinar el valor máximo de la variación de la tensión de salida ante un escalón de carga. Durante un escalón de carga positivo, ver figura 8.1, el condensador de salida se descarga durante un tiempo  $T_0$ . Varios trabajos de investigación dirigidos a la optimización de la respuesta del convertidor mediante el balance

de carga del condensador de salida (también conocido como la teoría del tiempo mínimo), [Sot02], [Sot04], [Fen06], [Fen07], [Mey07], [You07], [Mey08], han demostrado que durante un transitorio ideal la variación en el tiempo de la tensión de salida se puede aproximar con bastante exactitud a una parábola.

Para el caso de un transitorio positivo si se asume, que el instante de tiempo  $t=t_0=0$ , entonces la tensión de salida se puede aproximar según la siguiente expresión, presentada en las referencias anteriores:

$$\begin{aligned}
 v_{sal\ pos}(t) &= V_{ref} - ESR \left( \Delta I_{sal} - \frac{(V_{ent} - V_{sal})t}{L} \right) \\
 &\quad - \frac{\frac{1}{2} \left( \frac{\Delta I_{sal}^2}{V_{ent} - V_{sal}} \right) - \left( \frac{\Delta I_{sal} \cdot L}{V_{ent} - V_{sal}} - t \right) \left( \Delta I_{sal} - \frac{(V_{ent} - V_{sal})t}{L} \right)}{C} = \\
 &= V_{ref} - \frac{2 \cdot ESR \cdot C (V_{sal}t + \Delta I_{sal} \cdot L - V_{ent}t) - t^2 (V_{ent} - V_{sal}) + 2L \cdot \Delta I_{sal}t}{2L \cdot C} \quad (8.80)
 \end{aligned}$$

Para determinar el tiempo en el cual, la tensión de salida alcanza su valor mínimo, es necesario derivar la expresión (8.80) respecto al tiempo e igualarla a cero:

$$\frac{dv_{sal\ pos}(t)}{dt} = - \frac{ESR \cdot C (V_{sal} - V_{ent}) - t(V_{ent} - V_{sal}) + \Delta I_{sal} \cdot L}{L \cdot C} \quad (8.81)$$

Igualando (8.81) a cero, el tiempo en que la tensión de salida alcanza su valor mínimo, es igual a:

$$t_{pos\ min} = \frac{ESR \cdot C (V_{sal} - V_{ent}) + \Delta I_{sal} \cdot L}{(V_{ent} - V_{sal})} \quad (8.82)$$

El valor máximo de la variación de la tensión de salida se puede calcular como:

$$\Delta v_{sal\ pos\ max} = v_{sal\ pos}(0) - v_{sal\ pos}(t_{pos\ min}) \quad (8.83)$$

Entonces, sustituyendo (8.82) en (8.80), se puede determinar el valor máximo de variación de la tensión de salida como:

$$\Delta v_{sal\ pos\ max} = - \frac{ESR^2 \cdot C^2 (V_{sal} - V_{ent})^2 + \Delta I_{sal}^2 \cdot L^2}{2(V_{ent} - V_{sal})L \cdot C} \quad (8.84)$$

De forma similar, ver referencias [Sot02], [Sot04], [Fen06], [Fen07], [Mey07], [You07], [Mey08], se puede determinar la variación máxima de la tensión de salida durante un escalón de carga negativo, utilizando la aproximación para el caso de un transitorio ideal donde:

$$v_{sal\ neg\ max}(t) = V_{ref} + \frac{2 \cdot ESR \cdot C (V_{sal}t - \Delta I_{sal} \cdot L) - t^2 (V_{sal}) + 2L \cdot \Delta I_{sal}t}{2L \cdot C} \quad (8.85)$$

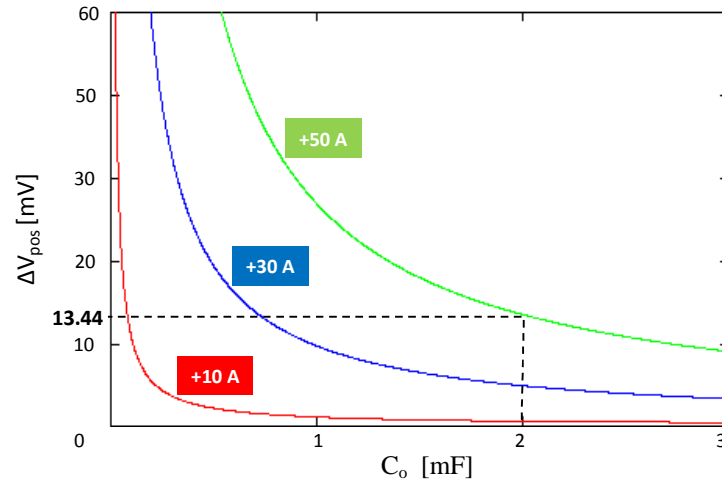
Entonces, el tiempo en el que la tensión de salida alcanza su valor máximo se define como:

$$t_{neg\ max} = \frac{ESR \cdot C \cdot V_{sal} + \Delta I_{sal} \cdot L}{V_{sal}} \quad (8.86)$$

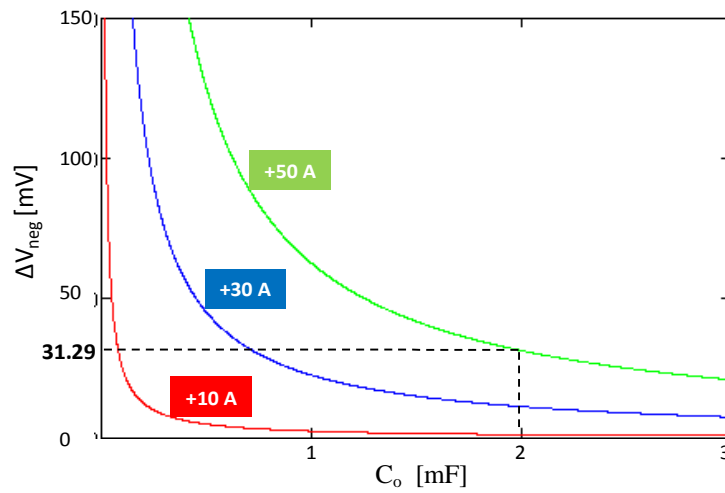
Sustituyendo (8.86) en (8.85) se obtiene:

$$\Delta v_{sal\ neg} = \frac{ESR^2 \cdot C^2 V_{sal}^2 + \Delta I_{sal}^2 \cdot L^2}{2V_{sal}L \cdot C} \quad (8.87)$$

En la figura 8.5 (a) y (b), se representan las variaciones estimadas de la tensión de salida del convertidor reductor aplicando el principio del balance de carga del condensador de salida. Para ello, se han utilizado las ecuaciones (8.84) y (8.87) para el convertidor multifase equivalente.



(a) Escalones de carga positivos



(b) Escalones de carga negativos

Fig. 8.5 Variación estimada de la tensión de salida para diferentes escalones de carga: positivos (a) y negativos (b).

Analizando los resultados de la figura 8.5, se puede observar que la variación de la tensión de salida del convertidor reductor durante los transitorios de carga negativos, figura 8.5 (b), es mayor que durante los transitorios de carga positivos, figura 8.5 (a).

Por ejemplo, en la tabla 8.2, se muestra la variación de la tensión de salida del convertidor durante los transitorios, para una capacidad del filtro de salida del convertidor reductor de  $C_o=2$  mF. Es evidente, que la variación de la tensión de salida durante los escalones de carga negativos es mayor, (aproximadamente 2,33 veces), que durante los escalones positivos ante la misma variación de la corriente de carga.

TABLA 8.2

DESVIACIÓN DE LA TENSIÓN DE SALIDA DEL CONVERTIDOR DURANTE TRANSITORIOS DE CARGA

<i>Escalón de carga</i>	$\Delta V$ [mV]	$N_f = 4$ $\Delta I = \pm 50$ [A] $L_{eq} = 75$ [nH]
positivo	13,44	
negativo	31,29	

De aquí, se deriva una **conclusión** muy importante: el diseño debe ser realizado teniendo en cuenta el peor caso, donde la variación de la tensión de salida del convertidor ante los transitorios de carga es la mayor. Es decir, durante los transitorios de carga negativos. De esta forma se garantiza que el convertidor cumpla con las especificaciones.

### 8.3 CONSIDERACIONES PRÁCTICAS PARA LA IMPLEMENTACIÓN DEL MÉTODO DE OPTIMIZACIÓN

A continuación se hace un análisis más detallado de todos los factores que influyen en la dinámica del convertidor durante un transitorio.

#### 8.3.1 VARIACIÓN DE LA TENSIÓN DE SALIDA DURANTE UN TRANSITORIO: CASO REAL

La variación de la tensión de salida en los convertidores es un fenómeno difícil de describir con exactitud. Por eso, la mayoría de las expresiones matemáticas que se utilizan para describir este comportamiento, son aproximaciones que describen con bastante exactitud el comportamiento real del sistema.

En la figura 8.3, se ha representado la variación de la corriente por la bobina ante un escalón de carga (caso ideal). Previamente se asumió que el regulador responde instantáneamente ante el escalón de la corriente de carga.

En la realidad el comportamiento real no es exactamente así. En los convertidores en general, existe un retardo propio del sistema, entre el instante en que ocurre el escalón de carga y el momento en el que el convertidor detecta la variación de la tensión de salida provocada por dicha perturbación. A este tiempo se le denomina, tiempo de retardo, ( $T_R$ ).

En la figura 8.6, se muestra la variación de la tensión de salida ante un escalón de carga positivo, para el caso ideal, es decir, cuando el sistema responde instantáneamente, y para el caso real cuando se ha tenido en cuenta el retardo del sistema en detectar la variación de la tensión de salida.

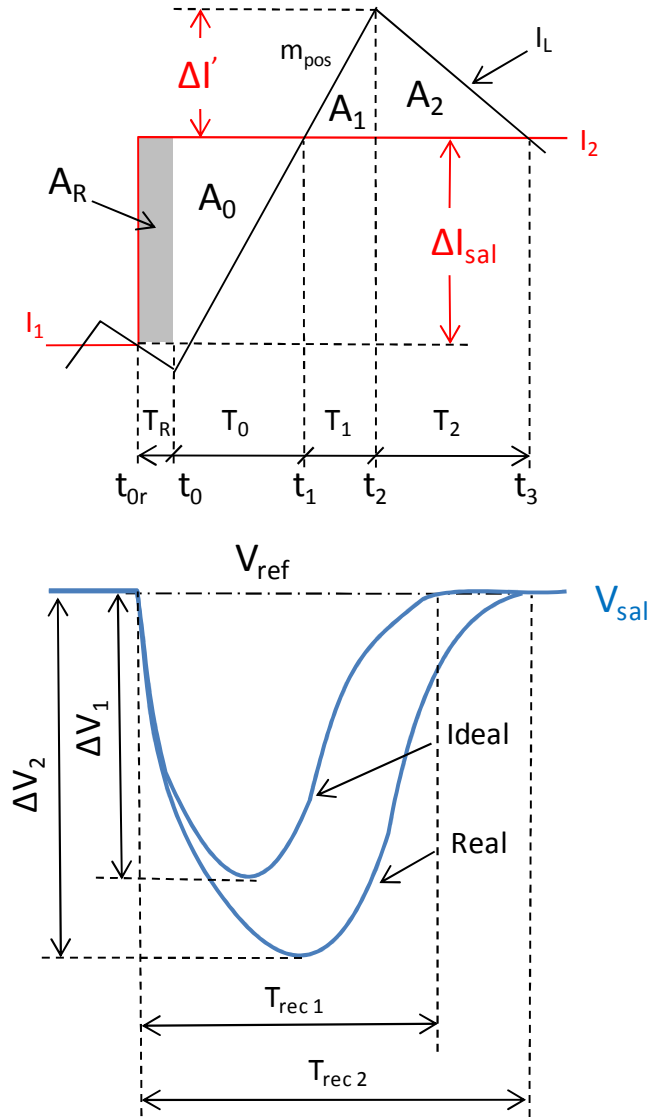


Fig. 8.6 Variación de la corriente de la bobina y de la tensión de salida ante un escalón de carga positivo.

Es evidente, que para el caso real, el condensador de salida tiene que entregar parte de su carga durante el tiempo  $T_R$ , que se suma a la variación de carga equivalente al área  $A_0$ . Como resultado, la corriente pico por la bobina, la variación de la tensión de salida,  $\Delta V_{sal}$ , y el



tiempo de recuperación que necesita el sistema para alcanzar el régimen permanente,  $T_{rec}$ , se incrementan.

Si se analiza detenidamente el transitorio representado en la figura 8.6, y suponiendo que la ESR del condensador de salida es despreciable, se puede definir un punto característico **R** en la curva de variación de la tensión de salida, ver figura 8.7. Este punto representa el valor instantáneo de la tensión de salida transcurrido un tiempo  $T_R$ , (para  $t=t_R$ ), a partir del instante  $t=t_0$ , instante de tiempo en que ocurrió el escalón de carga.

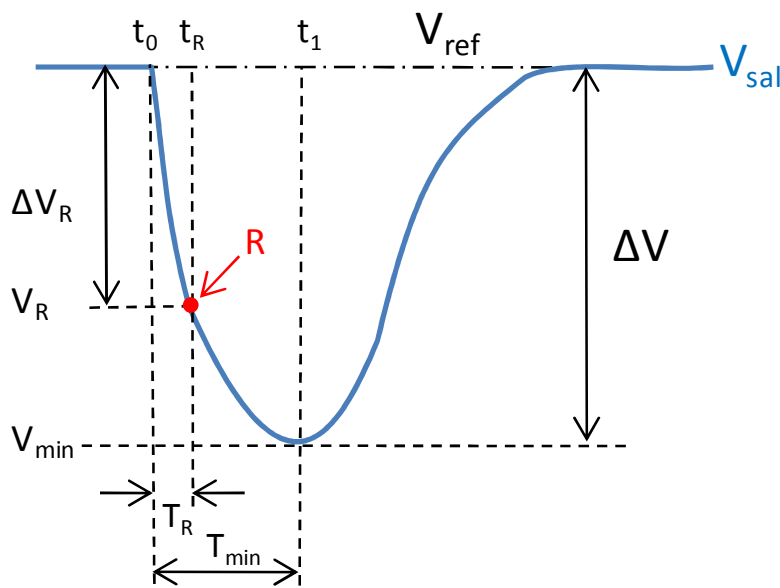


Fig. 8.7 Variación de la tensión de salida del convertidor ante un escalón de carga positivo.

Si se asume, como instante inicial el instante de tiempo en que ocurre el escalón de carga, ( $t=t_0$ ), y a  $t_R$ , como el instante de tiempo en que el convertidor comienza a responder, entonces, para el instante de tiempo  $t=t_R$ , la tensión de salida toma un valor instantáneo igual a  $V_R = V_{ref} - \Delta V_R$ .

De acuerdo con las figuras 8.6 y 8.7, la carga ( $Q_R$ ) equivalente al área sombreada  $A_R$ , generada por el retardo del sistema en responder ante la perturbación generada por el escalón de carga del sistema, se puede expresar como:

$$Q_R = \int_{t_0}^{t_R} [I_2 - i_L(t)] dt \quad (8.88)$$

Entonces:

$$Q_R = T_R \cdot \Delta I_{sal} \quad (8.89)$$

Por otra parte, la carga del condensador de salida se puede expresar en función de la variación de la tensión, es decir:

$$Q_R = C(v_{c0} - v_R) \quad (8.90)$$

Si se desprecia el valor del rizado de la tensión de salida y la carga del condensador en el instante de tiempo  $t=t_0$ , entonces la ecuación (8.90) se puede aproximar a:

$$Q_R \approx C(v_{ref} - v_R) \quad (8.91)$$

La carga total que el condensador de salida entrega durante el transitorio, se expresa como:

$$Q_{descarg} = Q_R + Q_0 \quad (8.92)$$

Entonces, si se tiene en cuenta el retardo del sistema, la tensión de salida correspondiente con el punto R, durante el transitorio, es igual a:

$$v_R = v_{ref} - \frac{Q_R}{C} \quad (8.93)$$

Sustituyendo (8.93) en (8.80), se obtiene la expresión de la tensión de salida:

$$v'_{sal}(t) = V_R - \frac{2ESR \cdot C(V_{sal}t + \Delta I_{sal}L - V_{ent}t) - t^2(V_{ent} - V_{sal}) + 2L\Delta I_{sal}t}{2L \cdot C} \quad (8.94)$$

Como resultado, la variación de la tensión de salida va a ser igual a:

$$\Delta v'_{sal pos} = - \left( \frac{Q_R}{C} + \frac{ESR^2 \cdot C(V_{sal} - V_{ent})^2 + \Delta I_{sal}^2 \cdot L^2}{2(V_{ent} - V_{sal})L \cdot C} \right) \quad (8.95)$$

Para simplificar el planteamiento matemático, no se han tenido en cuenta otros factores no menos importantes de los cuales depende el valor de la tensión  $V_R$ , como son alguno de los parásitos del circuito, como por ejemplo, la resistencia serie de la bobina, ESL, y las resistencias de encendido de los interruptores,  $R_{DSon}$ .

Hasta el momento se ha representado el punto R, como un punto genérico que representa un retardo en la respuesta del sistema en comenzar a corregir el error provocado por una perturbación, en este caso, un escalón de carga. Este retardo está relacionado directamente con el valor mínimo (máximo) que alcanza la tensión de salida ante un escalón de carga positivo (negativo) y está implícito en cada sistema, ya sea en los sistemas continuos o discretos en el tiempo. Teniendo en cuenta esto, y con el objetivo de optimizar los parámetros de diseño del convertidor con control LnL, se hace necesario analizar cada uno de los factores que influyen en este retardo.

### 8.3.2 FACTORES QUE INFLUYEN EN EL TIEMPO DE RETARDO

Hasta el momento se ha analizado el tiempo de retardo del convertidor de manera general, sin definir en detalle de qué factores depende este tiempo y cómo afectan en particular al convertidor con control LnL.

Evidentemente, el tiempo de retardo influye negativamente en la respuesta del sistema. Es por ello, que conociendo cómo influyen cada uno de estos factores en la dinámica del convertidor se puede optimizar la respuesta del mismo en función de los principales parámetros de diseño: tensiones de entrada y salida, filtro de salida, tensiones de umbral y corriente máxima de salida.

El análisis de los factores que influyen en el tiempo de retardo del convertidor con control LnL,  $T_R$ , se realizará teniendo en cuenta la respuesta de los sistemas continuos y discretos, en el tiempo,  $T_{R\text{ con}}$  y  $T_{R\text{ dis}}$ , respectivamente. En ambos casos se incluye la influencia del nivel las tensiones de la banda de umbral sobre el retardo resultante.

Para caracterizar cada uno de los tiempos de retardo, se asumirá como:

- $T_{\text{con}}$ , el tiempo de retardo que caracteriza a los sistemas en tiempo continuo;
- $T_{\text{dis}}$ , el tiempo de retardo que caracteriza a los sistemas en tiempo discreto;
- $T_{\text{umb}}$ , el tiempo de retardo debido al nivel de las tensiones de umbral.

Entonces, se puede definir el tiempo de retardo del convertidor reductor con control LnL en los sistemas continuos, como:

$$T_{R\ con} = T_{con} + T_{umb} \quad (8.96)$$

Mientras que por su parte, el tiempo de retardo del convertidor en los sistemas discretos, se define como:

$$T_{R\ dis} = T_{dis} + T_{umb} \quad (8.97)$$

En todos los sistemas el valor instantáneo de la tensión de salida en  $t_R$ ,  $V_R$ , sólo depende por una parte del escalón de carga y su derivada, y por otra parte del retardo propio del sistema,  $T_R$ .

En la figura 8.8, se muestra de manera ampliada la variación de la tensión de salida ante un escalón de carga positivo, y se representan cada uno de los tiempos de retardo para un convertidor reductor funcionando en tiempo continuo, figura 8.8 (a), y en tiempo discreto figuras 8.8 (b).

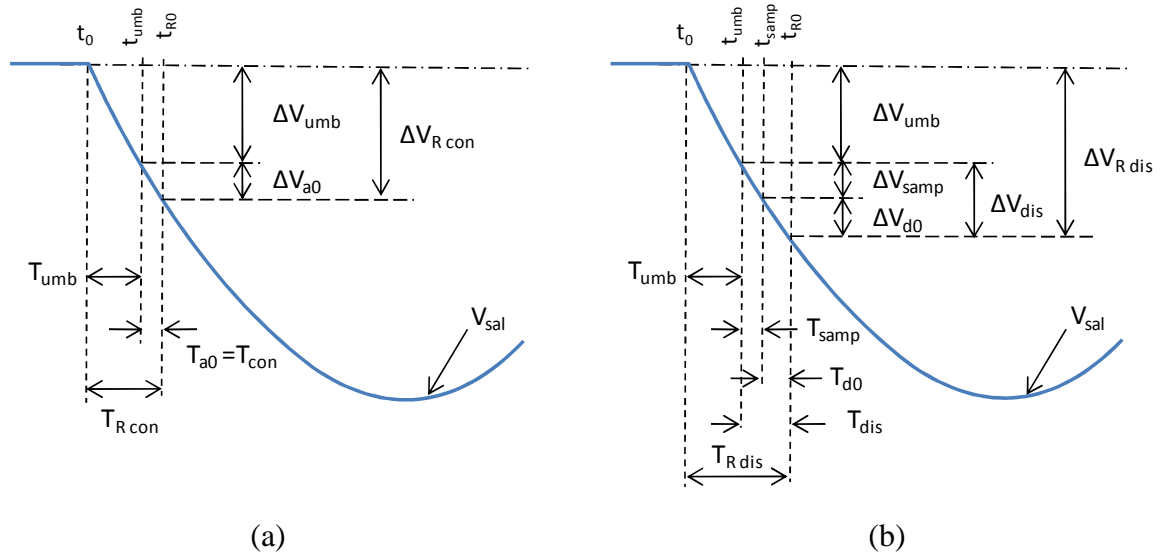


Fig. 8.8 Representación de los tiempos de retardo aplicables al control LnL ante un escalón de carga positivo: (a) con funcionamiento continuo (analógico), (b) con funcionamiento discreto (digital).

Los tiempos representados en la figura 8.8, son aplicables también al escalón de carga negativo. A continuación, se analizan cada uno de estos tiempos en función de los parámetros de diseño.

### 8.3.2.1 TIEMPO DE RETARDO EN LOS SISTEMAS A TIEMPO CONTINUO, $T_{con}$ .

El tiempo de retardo,  $T_{con}$ , depende principalmente de la tecnología utilizada para la implementación del control. Disminuir este tiempo implica utilizar componentes más avanzados (rápidos) con mayor grado de integración, menos pérdidas y retardos internos. Para el caso de los sistemas analógicos, este tiempo se puede definir como:

$$T_{con} = \sum_{1}^n T_{an} \quad (8.98)$$

donde:  $n$ , es el número de componentes serie conectados en el lazo de control;

$T_{an}$ , es el retardo que sufre la señal a su paso por cada uno de los componentes que forman el lazo de control.

Como resultado, se puede plantear que para un convertidor dado, ante un escalón de carga  $\Delta I_{sal}$ , (ver figura 8.9). si se considera el tiempo  $T_{con} = \text{const}$  y  $T_{umb} = 0$ , existe un instante de tiempo  $t = t_R$  donde la tensión de salida ha evolucionado y toma un valor instantáneo,  $V_R$ , a partir del cual el sistema comienza a responder.

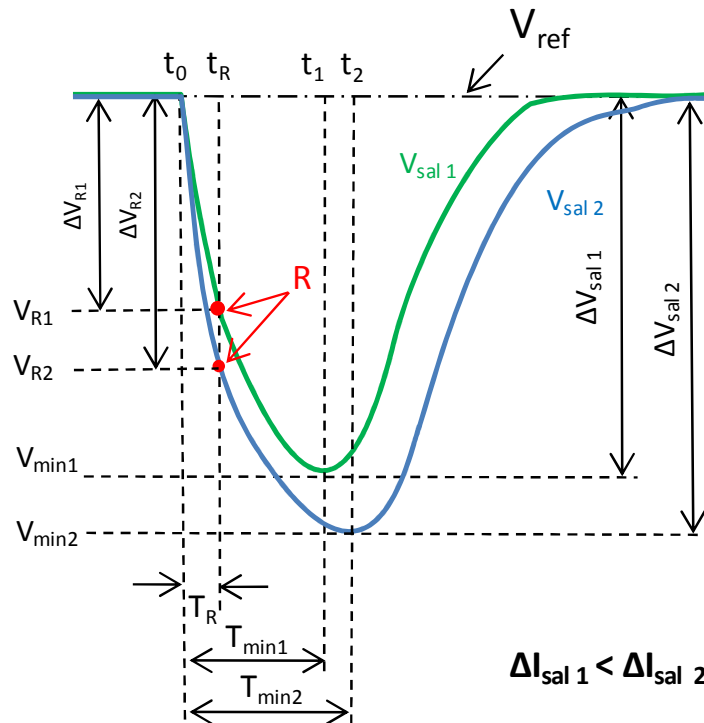


Fig. 8.9 Respuesta del convertidor ante diferentes escalones de carga positivo.

Esto quiere decir, que una vez ocurrido un escalón de carga el lazo de control del convertidor comienza a corregir el error ( $e = V_{\text{ref}} - V_{\text{sal}}$ ) provocado por la perturbación, sólo transcurrido un tiempo  $T_R = T_{\text{con}}$ .

Si se asume, el tiempo de retardo,  $T_{\text{con}} = T_R = \text{const}$ , (ver figura 8.9), para diferentes escalones de carga,  $\Delta I_{\text{sal}1} < \Delta I_{\text{sal}2}$ , entonces, el valor mínimo de la tensión de salida durante el transitorio varía desde  $V_{\text{min}1}$  a  $V_{\text{min}2}$ .

Analizando la respuesta del convertidor desde otro punto de vista, se puede plantear que para un mismo escalón de corriente  $\Delta I_{\text{sal}}$ , (ver figura 8.10), y diferentes tiempos de retardo  $T_{R1} < T_{R2}$ , el valor mínimo de la tensión de salida durante el transitorio, varía desde  $V_{\text{min}1}$  a  $V_{\text{min}2}$ .

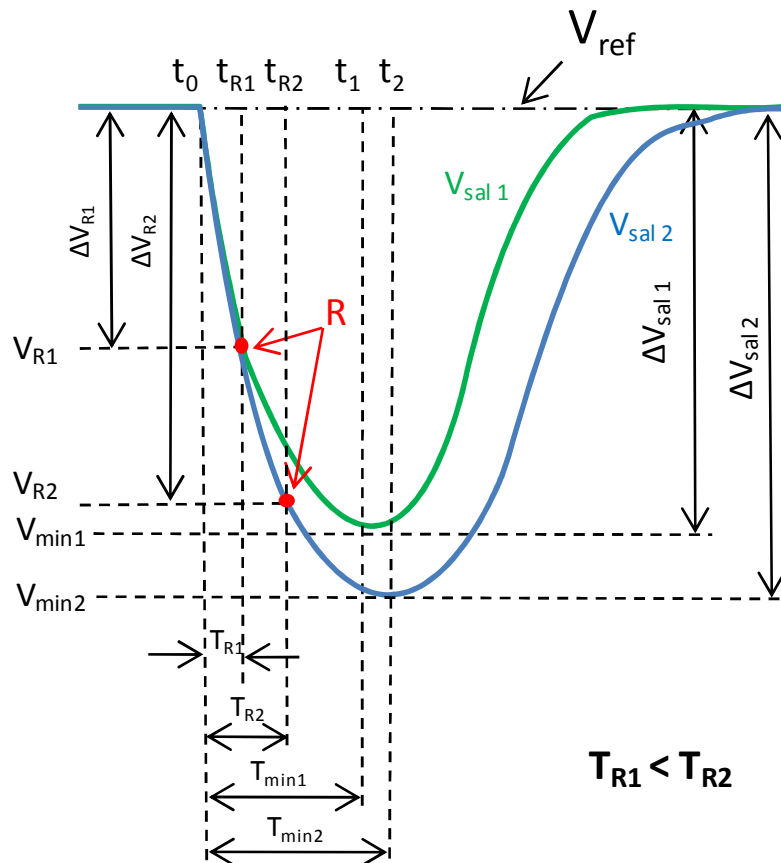


Fig. 8.10 Respuesta del convertidor para diferentes tiempos de retardo.

De aquí, se deduce una **conclusión** muy importante, para una planta dada y ante un escalón de carga determinado, conociendo el valor instantáneo de la tensión de salida,  $V_R$ , o

lo que es lo mismo, el tiempo máximo de retardo,  $T_R$ , se puede determinar el valor máximo de variación de la tensión de salida,  $\Delta V_{sal}$ .

### 8.3.2.2 TIEMPO DE RETARDO EN LOS SISTEMAS A TIEMPO DISCRETO, $T_{dis}$ .

En los sistemas digitales, el tiempo de retardo,  $T_{dis}$ , no sólo está definido por el tiempo que el sistema necesita para el procesamiento de la señal de salida, como ocurre en los sistemas analógicos. En los sistemas discretos, a diferencia de los sistemas analógicos, el procesamiento de las señales es digital.

Para ello, es necesario convertir la señal analógica, en este caso la tensión de salida del convertidor, en un código digital. Esta conversión se hace con ayuda de un conversor analógico/digital (ADC), y consiste en cuantificar la amplitud de la señal analógica mediante el muestreo temporal de la misma con un período,  $T_{smp}$ , (período de muestreo). En la figura 8.11, se muestra la banda de variación de la tensión de salida en función del instante de muestreo de la tensión de salida del convertidor.

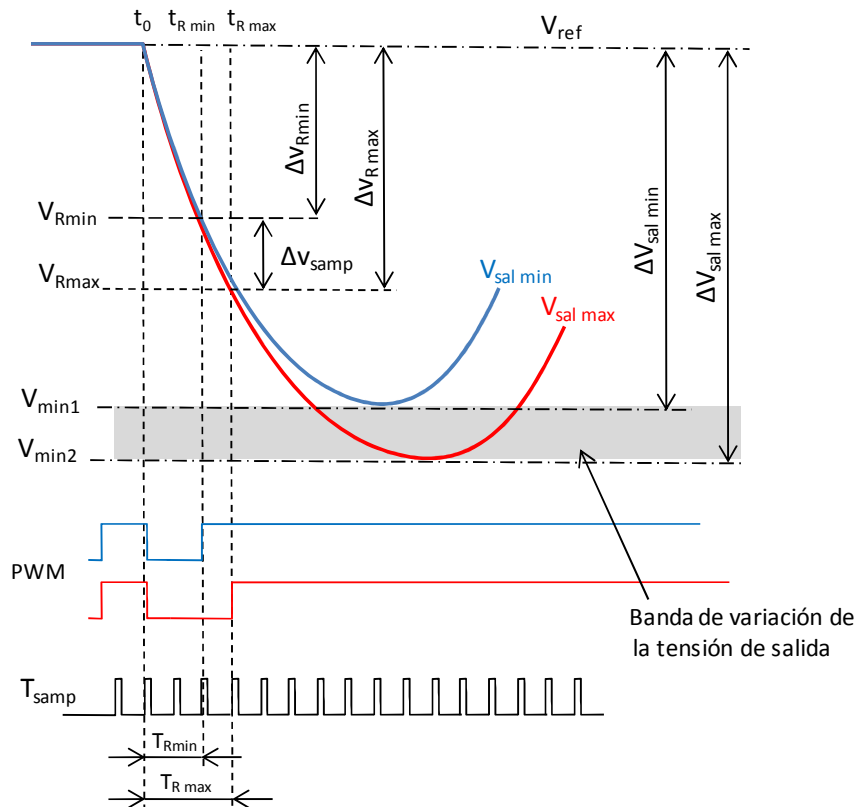


Fig. 8.11 Respuesta del convertidor ante un escalón de carga positivo en función del período de muestreo de la señal.

Como es conocido, en los sistemas discretos la señal es muestreada con un período,  $T_{\text{samp}}$ , ver figura 8.11. Entonces, el tiempo de retardo correspondiente a los sistemas discretos en el tiempo,  $T_{\text{dis}}$ , se define como:

$$T_{\text{dis}} = T_{\text{d0}} + T_{\text{samp}} \quad (8.99)$$

donde:  $T_{\text{d0}}$ , es el tiempo que tarda la señal desde que se detecta la variación, hasta que se ejecuta la acción una vez procesada la misma. Este tiempo se puede asumir constante y depende no solo de la tecnología utilizada para la implementación del regulador sino también del retardo máximo de procesamiento de la señal (conocido como camino o ruta crítica);

$T_{\text{samp}}$ , depende de la frecuencia de muestreo y se define como la diferencia de tiempo entre dos instantes de muestreo adyacentes: el último instante de tiempo en que fue muestreada la señal antes que alcanzase el valor  $V_{\text{R0}}$  y el instante de tiempo en que es muestreada nuevamente la señal.

El tiempo  $T_{\text{d0}}$  depende en gran medida de la tecnología utilizada en la implementación del control. Disminuir este tiempo implica utilizar componentes más avanzados (rápidos) con mayor grado de integración, menos pérdidas y retardos internos.

Los sistemas discretos, pueden subdividirse en dos tipos de dispositivos fundamentales según el tipo de tecnología:

- las basadas en matrices de puertas programables reconfigurables mediante descripción de *hardware* (VHDL, Verilog, ABEL, etc.), como pueden ser los sistemas digitales basados en FPGA, CPLD, ASIC específicos, etc. y
- las basadas en microprocesadores, DSP, etc., que utilizan lenguajes de alto nivel (C, Basic, etc.) para sintetizar programas secuenciales en bajo nivel (ensamblador).

Para el primer caso, el tiempo de retardo  $T_{\text{R0 } \varphi}$ , se puede determinar como:

$$T_{\text{d0 } \varphi} = \sum_{1}^n T_{\text{d puerta}} \quad (8.100)$$

donde:  $n$ , es el número máximo de puertas que la señal tiene que recorrer para llegar desde la entrada a la salida (para el caso de los sistemas digitales basados en FPGA, CPLD, ASIC específicos, etc.). Esto se conoce como retardo de propagación.



$T_{d \text{ puerta}}$ , es el retardo que sufre la señal a su paso por una puerta lógica que forma parte de la ruta crítica.

Para el segundo caso, el tiempo de retardo  $T_{d0 \mu}$ , se puede determinar:

$$T_{d0 \mu} = \sum_{i=1}^n T_{d \text{ instrucción}} \quad (8.101)$$

$n$ , es igual al número de instrucciones serie del programa que definen la secuencia más larga de operaciones, (para el caso de los sistemas basados en microprocesadores;

$T_{d \text{ instrucción}}$ , es la sumatoria del número de ciclos de máquina que necesita el microprocesador para ejecutar cada instrucción que forma la ruta crítica.

La mayoría de los programas de síntesis actuales una vez realizada, ya sea la descripción del *hardware*, para aplicaciones con FPGA, CPLD, etc., o bien el *set* de instrucciones, para aplicaciones a microprocesador, DSP, etc., proporcionan un reporte con los principales resultados de temporización del sistema. Uno de estos parámetros es el retardo máximo que sufre la señal, el cual está referido a la ruta crítica. Este dato es muy importante a tener en cuenta durante el proceso de optimización del control, ya que influye negativamente sobre la dinámica del sistema, en la medida que éste se incrementa.

El valor máximo aproximado del tiempo  $T_{d0}$  en los sistemas discretos, es conocido, y queda previamente prefijado una vez sintetizado y optimizado el regulador mediante técnicas digitales, como pueden ser, el lenguaje de descripción de *hardware* o el *set* de instrucciones de programa. Este valor es constante y depende de dos factores fundamentales: por una parte, de la tecnología utilizada para la implementación del sistema y de la optimización del proceso de síntesis.

Es evidente que este tiempo tiene un valor predefinido durante el proceso de selección de la tecnología utilizada en la implementación del control y de la optimización, tanto del *hardware* como del *software* a implementar. Sin embargo, el tiempo  $T_{\text{samp}}$ , es un parámetro de diseño sobre el cual es posible interactuar y modificar en función de las exigencias del diseño. De aquí, que conociendo el valor óptimo del período de muestreo se puede optimizar tanto el

consumo de potencia (optimizando la frecuencia de funcionamiento), como los costes (los convertidores A/D más rápidos son más caros).

Como se ha visto, ambos parámetros son muy importantes a la hora de diseñar ya que influyen directamente en la dinámica del convertidor.

A continuación, se analiza la influencia del período de muestreo sobre la respuesta dinámica del control LnL y se realiza el planteamiento teórico para la selección del mismo.

#### **8.3.2.2.1 INFLUENCIA DEL PERÍODO DE MUESTREO EN EL RETARDO DEL SISTEMA.**

En todos los sistemas, el período de muestreo,  $T_{\text{samp}}$ , está estrechamente relacionado con la dinámica del sistema, como se demostró en el apartado anterior. Suponiendo que  $T_{\text{samp}}$  se hace infinitamente pequeño, el comportamiento del sistema se aproxima a un sistema continuo en el tiempo, el cual es capaz de detectar inmediatamente el instante en que ocurre la variación de la tensión de salida y rápidamente comenzar a corregir el error.

Pero en la realidad, aunque se ha avanzado considerablemente en las tecnologías de fabricación de circuitos digitales, este período está limitado tanto por las tecnologías de fabricación, como por las estrategias de control implementadas.

Especialmente en los convertidores con respuesta dinámica rápida y con estrategias de control con respuesta no lineal asíncrona, como es el caso del control LnL, esta desventaja influye desfavorablemente. Esta limitación afecta en gran medida la efectividad del control. Es por ello, que es necesario diseñar circuitos integrados a la medida con ADC empotrados de uso específico, que permitan incrementar sus prestaciones y reducir los tiempos de conversión de los mismos, (ver capítulo 7).

Como ya se ha demostrado, (ver implementación digital del control LnL, capítulo 7), en el convertidor con control LnL la respuesta instantánea ante un transitorio de carga la garantiza el bloque no lineal. El periodo de muestreo de este bloque es menor que el periodo de muestreo del regulador.

Por una parte, el convertidor por naturaleza es un filtro paso bajo caracterizado por una determinada dinámica. Por otra parte, disminuir el periodo de muestreo implica un incremento

de las pérdidas y costes del sistema. De aquí que sea necesario, encontrar el valor óptimo del periodo de muestreo.

Por lo tanto, se hace necesario definir las principales limitaciones que tiene la selección del período con el cual se muestrea la señal. El período de muestreo está determinado por un tiempo  $T_{\min}$ .

Para el caso del bloque lineal,  $T_{\min L}$ , es el tiempo en que la tensión de salida alcanza su valor mínimo (máximo) durante el escalón máximo de la corriente de salida, mientras que para el caso del bloque no lineal,  $T_{\min nL}$ , es el tiempo en que la tensión de salida alcanza el valor mínimo (máximo) de la tensión de umbral. Esto quiere decir que  $T_{\min L} > T_{\min nL}$ , por consiguiente, el periodo mínimo de muestreo del control LnL está determinado por el periodo de muestreo del bloque no lineal,  $T_{\min nL}$ .

Entonces, aplicando el teorema de muestreo de *Nyquist-Shannon*, el cual plantea que para poder reproducir con exactitud la forma de onda de una señal, es necesario que la frecuencia de muestreo sea superior al doble de la máxima frecuencia del sistema, es decir, para este caso particular:

$$F_{s\text{amp}} \geq 2F_{\text{max } nL} \quad (8.102)$$

Expresado en función del período de muestreo, la expresión (8.102) se puede transformar:

$$T_{s\text{amp}} = \frac{1}{2n} T_{\min nL} \quad \forall \quad n > 0 \quad (8.103)$$

Es evidente, que el período de muestreo debido a su naturaleza discreta, define una banda de variación de la tensión de salida, (ver figura 8.11), determinada por los valores  $V_{\min 1}$  y  $V_{\min 2}$ . Esto significa, que ante un mismo escalón de carga, en dependencia del instante de tiempo en que la señal fue muestreada, respecto al último instante de tiempo, la tensión de salida tomará diferentes valores, como ya se analizó en el epígrafe anterior.

Es por ello, que a la hora de seleccionar los parámetros de diseño, es necesario tener en cuenta la variación de la tensión de salida debida a  $T_{\text{umb}}$ , como se verá en el apartado siguiente.

### 8.3.2.3 TIEMPO DE RETARDO DEBIDO A LAS TENSIONES DE UMBRAL.

De los resultados teóricos obtenidos en los epígrafes anteriores y recordando el principio de funcionamiento del control LnL (ver capítulo 4), el cual se basa en definir la banda de umbral:

$$V_{umb} = V_{ref} \pm \frac{1}{2} \Delta V_{umb} \quad (8.104)$$

Una condición que debe cumplir el control LnL, para su correcto funcionamiento, es que la banda de umbral se encuentre dentro de la banda de variación máxima permisible de la tensión de salida, el cual es un dato de partida que está definido en las especificaciones, y se define como:

$$V_{esp} = V_{ref} \pm \frac{1}{2} \Delta V_{max} \quad (8.105)$$

Teniendo en cuenta el planteamiento anterior, se deduce:

$$|\Delta V_{max}| > |\Delta V_{umb}| \quad (8.106)$$

Si se tiene que la variación máxima permisible es un parámetro de entrada,  $\Delta V_{sal\ esp}$  (dado en las especificaciones), el problema se reduce a determinar el valor máximo absoluto de variación máxima de la tensión de umbral, para que el convertidor cumpla con las especificaciones, ante unas condiciones de carga determinadas.

Otro factor, no menos importante, a tener en cuenta a la hora de definir el valor de la tensión de umbral, es el valor del rizado de la tensión de salida,  $\Delta V_{riz}$ .

En la figura 8.12, se representa de forma gráfica, la influencia del valor del rizado de la tensión de salida, sobre las tensiones que definen la banda de umbral.

Para un convertidor reductor, el rizado de la tensión de salida viene dado por la variación de la carga del condensador de salida entre la capacidad del mismo, entonces:

$$\Delta V_{riz} = \frac{\Delta Q_c}{C} = \frac{1}{C} \frac{1}{2} \frac{\Delta I_L}{2} \frac{T_{sw}}{2} + \Delta V_{ESR} \quad (8.107)$$

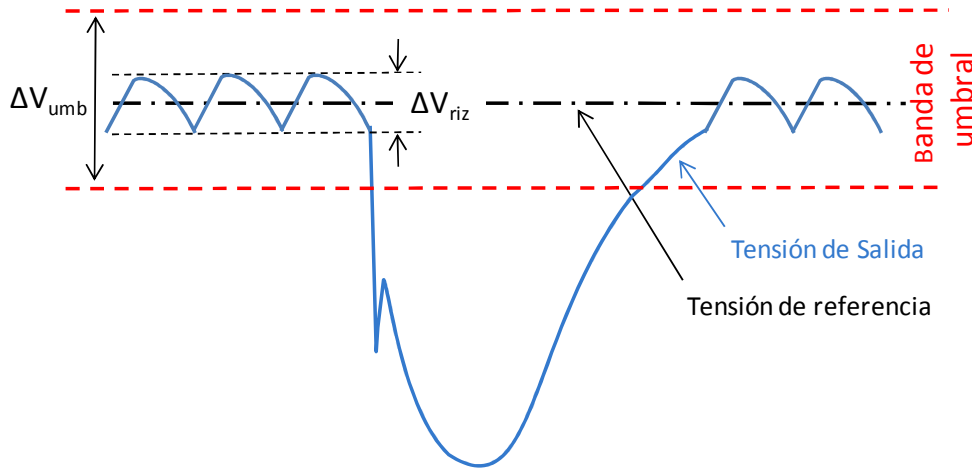


Fig. 8.12 Influencia del rizado de la tensión de salida en la elección de la tensión de umbral.

Donde la variación de la tensión debido a la resistencia serie equivalente ESR,  $\Delta V_{ESR}$  se define como:

$$\Delta V_{ESR} = ESR \cdot \Delta I_L \quad (8.108)$$

Por otra parte, si el incremento de la corriente por la bobina se define como:

$$\Delta I_L = \frac{V_{sal}}{L} (1 - D) T_{sw} \quad (8.109)$$

Entonces, sustituyendo (8.108) y (8.109) en (8.107), se obtiene que el rizado de la tensión de salida es igual a:

$$\Delta V_{riz} = \frac{1}{8} \frac{V_{sal}}{LC} (1 - D)^2 T_{sw}^2 + ESR \frac{V_{sal}}{L} (1 - D) T_{sw} \quad (8.110)$$

Evidentemente, para evitar que el control funcione en régimen permanente como un control por histéresis, la variación de la tensión que define la banda de umbral, debe ser mayor que la banda definida por el rizado máximo de la tensión de salida. Es decir, debe cumplirse que:

$$\Delta V_{umb} > \Delta V_{riz} \quad (8.111)$$

Entonces, la banda de umbral debe cumplir que:

$$\Delta V_{umb} = k_u \cdot \Delta V_{riz} \quad (8.112)$$

donde:  $k_u$ , es un coeficiente adimensional, que expresa la relación que existe entre la banda de umbral y el valor del rizado de la tensión de salida.

En el apartado 8.4.2 se describe el cálculo del tiempo de retardo del sistema debido al umbral.

Hasta el momento, todo el análisis se ha basado en un sistema continuo en el tiempo. Pero, ¿qué otros factores hay que tener en cuenta a la hora de elegir la tensión de umbral, cuando se trata de sistemas en tiempo discreto? A continuación, se hace un análisis detallado de la influencia que tiene el período de muestreo de la señal en el valor final de la tensión umbral.

### 8.3.2.3.1 DEFINICIÓN DE LA TENSIÓN DE UMBRAL EN LOS SISTEMAS DISCRETOS.

Uno de los problemas más importantes a resolver, es poder definir adecuadamente el valor de la tensión que define la banda de umbral para una planta dada. Esto permite optimizar el diseño y obtener las mejores prestaciones en la respuesta dinámica del convertidor.

Analizando la figura 8.11, y como ejemplo, si la tensión de umbral  $\Delta V_{umb} = \Delta V_{Rmin}$ , entonces la banda de umbral se define como:

$$V_{umb} = V_{ref} \pm \Delta V_{Rmin} \quad (8.113)$$

Entonces, en dependencia del instante de tiempo en que la tensión de salida es muestreada, ver figura 8.11, se pueden definir dos casos particulares:

- a. *Caso 1*: cuando la señal de muestreo coincide con el instante de tiempo  $t_{Rmin}$ .  
En este caso, se obtiene la menor variación de la tensión de salida. Aquí el sistema es capaz de detectar más rápidamente la variación de la tensión de salida, ( $\Delta V_{sal \min}$ ) y saturar el ciclo de trabajo de la señal PWM;
- b. *Caso 2*: cuando la señal de muestreo ocurre un instante después del instante de tiempo  $t_{Rmin}$ .

En este caso, se obtiene la mayor variación de la tensión de salida, ( $\Delta V_{sal\ max}$ ). Aquí el sistema detecta la variación de la tensión de salida con un retardo igual al período de muestreo.

De este análisis, se deriva una **conclusión** importante: para calcular adecuadamente la tensión de umbral efectiva, es necesario tener en cuenta la peor de las condiciones, (caso 2). Entonces, si se define a  $\Delta V_{s\text{amp}}$ , como la variación de la tensión de salida provocada por el retardo equivalente a un período de muestreo de la señal,  $T_{s\text{amp}}$ , el valor de la tensión de umbral define como:

$$V_{umb\ efect} = V_{ref} \pm (\Delta V_{Rmin} + \Delta V_{s\text{amp}}) = V_{ref} \pm \Delta V_{Rmax} \quad (8.114)$$

Si se tiene en cuenta la variación de la tensión de salida durante un escalón de carga positivo, una vez determinado el valor del período de muestreo,  $T_{s\text{amp}}$ , se puede calcular el valor de la tensión de salida, tanto para el caso del escalón de carga positivo, como para el caso el caso del escalón de carga negativo.

De todo lo antes expuesto, se puede concluir que el valor mínimo (máximo) de la tensión de salida ante un escalón de carga positivo (negativo) no sólo depende del valor del rizado de la tensión de salida o de los niveles de la tensión de umbral o de los retardos del sistema, sino que depende además, del instante de tiempo en que la señal de salida es muestreada, (período de muestreo).

Una vez definidos y analizados todos los aspectos teóricos y cómo influyen cada uno de los parámetros de diseño sobre la respuesta del convertidor, se hace necesario definir una metodología de diseño estructurada que permita el diseño óptimo del control LnL.

## 8.4 OPTIMIZACIÓN DEL CONTROL LNL

La optimización del control LnL para los sistemas implementados de manera analógica, está dirigida a obtener la mejor respuesta dinámica del convertidor para una planta dada. Es decir, partiendo de unas especificaciones técnicas determinadas, obtener los valores óptimos de la tensión de umbral, tal que el convertidor cumpla con las especificaciones del diseño.

Para el caso de los sistemas digitales, el problema se extiende a seleccionar, además de los parámetros anteriormente mencionados, el periodo de muestreo más adecuado que garantice los requerimientos dinámicos del convertidor dado en las especificaciones. Es evidente, que el proceso de optimización de estos parámetros debe estar basado en el peor de los casos, en decir, la respuesta del convertidor ante el máximo escalón de carga negativo.

En este apartado se propone una metodología para el diseño de convertidores reductores con control LnL.

#### **8.4.1 METODOLOGÍA DE DISEÑO DEL CONVERTIDOR REDUCTOR CON CONTROL LnL**

Hasta el momento, no se ha hecho referencia a una metodología de diseño concreta ya que muchos de los parámetros de diseño eran seleccionados partiendo de criterios obtenidos como resultado de las validaciones experimentales del control y del análisis de los modelos en pequeña señal del convertidor. En este epígrafe se pretende justificar cada uno de ellos y se propone un algoritmo de diseño a seguir, con el objetivo de optimizar los parámetros del convertidor con control LnL. El análisis se realiza para convertidores VRM multifase, partiendo de un convertidor reductor equivalente de una sola fase.

Es evidente, que para determinados parámetros de diseño, existe una respuesta dinámica próxima a la óptima. Esto es equivalente a decir, que el convertidor va a responder ante los transitorios de la carga con el tiempo mínimo posible de recuperación y una variación mínima de la tensión de salida. Para el cálculo de estos parámetros se han tomado los valores para las condiciones de funcionamiento más desfavorables, es decir, la respuesta del convertidor ante transitorios de carga.

La metodología propuesta tiene como principal objetivo optimizar los componentes del filtro, minimizándolos de tal manera que el convertidor cumpla con los requerimientos dinámicos, de regulación y estabilidad establecido, dado en las especificaciones.

Como ya es conocido, el control LnL está compuesto por un bloque lineal y un bloque no lineal. El primero garantiza la respuesta del convertidor en régimen permanente y el segundo garantiza la respuesta durante los transitorios. De aquí, que el proceso de optimización está dirigido solamente a optimizar fundamentalmente los parámetros del bloque no lineal.



Por lo tanto, se asume que el cálculo del regulador lineal se optimiza por los métodos clásicos, de tal manera que se garanticen los criterios de regulación y estabilidad previamente establecidos. La metodología de diseño se mostrará a través de un ejemplo.

Planteamiento del problema:

a) Si se tienen las especificaciones siguientes:

1. Tensión de entrada del convertidor:  $V_{ent}=5V$ ;
2. Tensión de salida del convertidor:  $V_{sal}=1,5V$ ;
3. Variación máxima de la corriente de salida:  $\Delta I_{sal}=50A$ ;
4. Rango de variación de la tensión de salida ( $\pm 2\%$  de  $V_{sal}$ ):  $\Delta V_{sal\ esp}=\pm 30mV$ ;
5. Frecuencia de conmutación  $f_{sw}=300kHz$ ;
6. Número de fases:  $N_f=4$ .
7. Inductancia por fase:  $L_{fase}=300nH$ ;
8. Retardo máximo en el procesamiento de la señal:  $T_{d0}=100ns$ . *(tomado de la descripción de hardware realizada para FPGA, Spartan 3 de Xilinx).*

b) Calcular:

1. Inductancia de la bobina equivalente ( $L_{eq}$ );
2. Condensador del filtro de salida ( $C_o$ );
3. Período de muestreo del conversor A/D, ( $T_{smp}$ ).
4. Tensiones que definen la banda umbral ( $V_{umb\ max}$ ,  $V_{umb\ min}$ );

#### 8.4.2 ALGORITMO DE DISEÑO PROPUESTO

El algoritmo de diseño que se propone consiste en una secuencia de pasos a seguir, que garantizan el cálculo de cada uno de los parámetros de diseño del convertidor VRM, y que definen la respuesta del mismo ante los transitorios. Este algoritmo es válido para cualquier convertidor ya que el análisis se realiza basado en la inductancia y periodo de conmutación equivalentes.

**Paso 1:** Selección del filtro de salida del convertidor.

Consiste en seleccionar la combinación LC que garantice la respuesta óptima del convertidor.

- a) *Calcular el valor de la inductancia equivalente.* Asumiendo una inductancia por fase igual a 300nH, se puede calcular la inductancia equivalente:

$$L_{eq} = \frac{L_{fase}}{N_f} = \frac{300 \text{ nH}}{4} = 75 \text{ nH} \quad (8.115)$$

- b) *Calcular el valor de la frecuencia de conmutación equivalente.* Para el caso de los convertidores de una sola fase o multifase con funcionamiento simultáneo, esta frecuencia es igual a la frecuencia de conmutación. Para el caso de los VRM con entrelazado, esta frecuencia depende del número de fases y se determina según la siguiente expresión:

$$f_{eq} = N_f f_{sw} = 1200 \text{ kHz} \quad (8.116)$$

- c) *Calcular el rango de variación de la tensión de salida,  $V_{sal \text{ calc}}$ .* Permite seleccionar el condensador del filtro de salida. Tiene carácter porcentual y se selecciona en función de un margen de seguridad estimado de variación de la tensión de salida, entre el definido en las especificaciones y el real. Supongamos un margen de seguridad del 15%, entonces el coeficiente de seguridad  $k_m=0,85$ , y la variación máxima calculada de la tensión de salida se define como:

$$\Delta V_{sal \text{ calc}} = k_m \cdot \Delta V_{sal \text{ esp}} = 25,5 \text{ mV} \quad (8.117)$$

Esto quiere decir, que para el cálculo se utilizará un nuevo valor de la variación máxima de la tensión de salida,  $\Delta V_{sal \text{ calc}}$ . Teniendo en cuenta el coeficiente  $k_m$ , este rango de variación queda definido como  $\Delta V_{sal \text{ calc}} = \pm 25,5 \text{ mV}$ , ( $\pm 85\%$  de  $\Delta V_{sal \text{ esp}}$ ). Hay que aclarar que para este tipo de aplicación, el valor de la ESR es muy pequeño, por lo que su aportación en la variación de la tensión de salida puede ser despreciado.

- d) *Seleccionar el valor del condensador del filtro de salida.* Permite dimensionar el filtro de salida. Para ello, a partir de la expresión (8.87) y teniendo en cuenta la variación máxima de la tensión de salida calculada, igual a  $\Delta V_{sal \text{ calc}} = \pm 25,5 \text{ mV}$ , se obtiene el valor del condensador del filtro de salida, ver figura 8.13. El valor escogido es:  $C_o = 2,45 \text{ mF}$  (conexión en paralelo de condensadores con  $ESR = 0,035 \text{ m}\Omega$ ).

En la figura 8.13 también se ha representado la variación de la tensión de salida  $\Delta V_{sal}$ , para el escalón positivo, que como se comentó anteriormente es menos exigente, para el convertidor que se está diseñando.

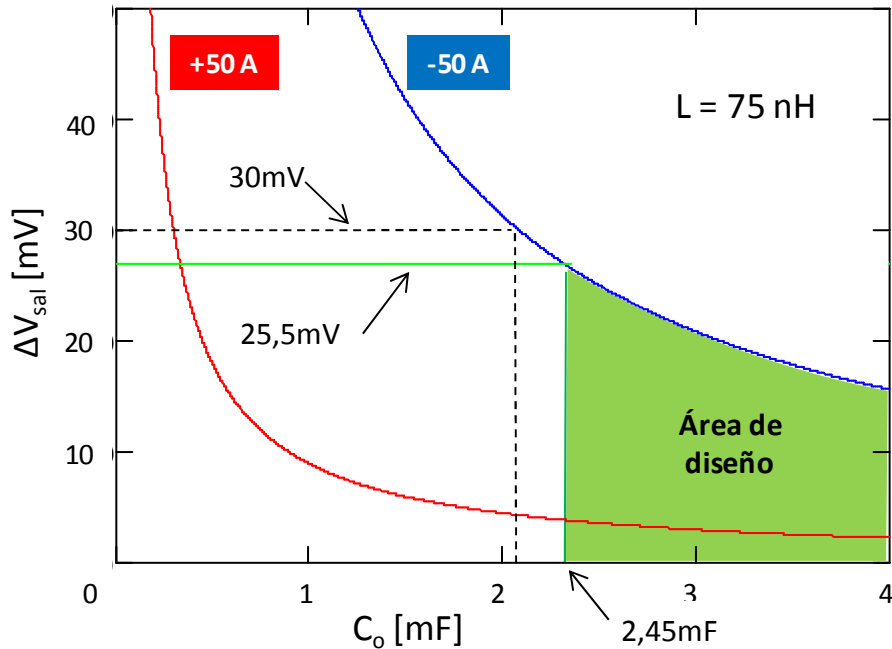


Fig. 8.13 Variación estimada de la tensión de salida ante escalones de carga negativo y positivo de 50A e inductancia del filtro de salida equivalente de 75nH.

El área limitada por la curva de variación de la tensión para escalones negativos de 50A y valores de  $C_o=2,45\text{mF}$ , definen el área de diseño, como se muestra en la figura 8.13, (área sombreada).

### **Paso 2:** Selección de la tensión de umbral.

Permite determinar el valor óptimo de la tensión que determina la banda de umbral. El valor de estas tensiones debe garantizar que la variación máxima de la tensión de salida que se obtenga, ante la máxima variación de la corriente de carga, se encuentre dentro de la banda calculada:  $\Delta V_{sal\text{ calc}}=\pm 25,5\text{mV}$ .

Para ello es necesario:

- Calcular el valor del rizado de la tensión de salida. A partir de la ecuación (8.110), se puede calcular el valor del rizado de la tensión de salida, ecuación (8.118), para los valores del filtro LC obtenidos:

$$\Delta V_{riz} = \frac{1}{8} \frac{V_{sal}}{LC} (1 - D) T_{sw}^2 = 0,5 \text{ mV} \quad (8.118)$$

La componente del rizado debido a la ESR se desprecia, (ver apartado anterior). El valor obtenido del rizado es muy importante, ya que limita el valor máximo,  $V_{HT}$ , (mínimo,  $V_{LT}$ ), de las tensiones que definen la banda de umbral.

- b) *Calcular el valor de la variación de la tensión de umbral, teniendo en cuenta el valor del rizado de la tensión de salida.* Este valor se escoge teniendo en cuenta el valor del rizado de la tensión de salida, (8.118). De esta forma, se evita que los ruidos de conmutación puedan influir en el control. Para ello, se propone el coeficiente adimensional,  $k_u$ , el cual indica cuantas veces es mayor la banda de umbrales respecto a la banda definida por el rizado de la tensión de salida.

La selección del valor de este coeficiente depende del tipo de implementación, ver epígrafe 8.3.2.3:

$$k_u = \frac{2 \cdot \Delta V_{umb}}{\Delta V_{riz}} = 2 \quad (8.119)$$

Entonces, el rango mínimo teórico de variación de la tensión de umbral queda definida en una primera aproximación como:

$$\Delta V_{umb \min} = 0,5 \cdot k_u \cdot \Delta V_{riz} = 0,5 \text{ mV} \quad (8.120)$$

En este caso, se ha seleccionado el valor de la variación que define la banda de umbral igual a dos veces la mitad del rizado de la tensión de salida. El valor del coeficiente adimensional,  $k_u$ , debe seleccionarse tal, que se cumpla que los valores de tensión obtenidos que definen la banda de umbral se encuentren dentro de la banda que define la máxima variación permitida de la tensión de salida, dado en las especificaciones, en este caso particular  $\pm 2\%$  de  $V_{sal}$  multiplicado por el factor de seguridad, es decir, la banda de umbral debe cumplir que  $\Delta V_{sal \text{ cal}} > \Delta V_{umb} > \Delta V_{riz}$ .

**Paso 3: Cálculo del tiempo de retardo  $T_R$ .**

Permite determinar el tiempo en el que la tensión de salida alcanza el mínimo valor de la tensión de umbral superior,  $V_{umb \min}$ , dado que el peor caso se da para el escalón de carga

negativo. A partir de la ecuación (8.85), se obtiene el tiempo que tarda la variación de la tensión de salida en alcanzar el valor  $V_{umb\ min} = V_{ref} + \Delta V_{umb\ min}$ :

$$T'_{umb\ min} = \frac{\Delta V_{umb\ min} \cdot C}{\Delta I} = 24,5\ ns \quad (8.121)$$

- a) *Cálculo del período de muestreo mínimo. Permite determinar el valor óptimo del período de muestreo para unas condiciones dadas.* De esta forma se puede seleccionar el conversor A/D adecuado para cada diseño optimizando el consumo de potencia y los costes del mismo.

Teniendo en cuenta el teorema de muestreo de *Nyquist-Shannon*, y asumiendo  $n=2$  en la ecuación (8.103), se obtiene que:

$$T_{smp} \leq \frac{1}{2n} T'_{umb\ min} (V_{umb\ min}) = 6,13\ ns \quad (8.122)$$

Entonces, la frecuencia de muestreo del conversor, es igual a:

$$f_{smp} \geq \frac{1}{T_{smp}} = 163\ MHz \quad (8.123)$$

- b) *Cálculo del tiempo de retardo máximo. Previamente, es necesario conocer el tiempo máximo de retardo del sistema.* Para el diseño que se ha realizado se propone una plataforma de diseño del control del convertidor basada en FPGA. Teniendo en cuenta esto, y basados en los resultados obtenidos a partir de la síntesis el diseño real, el tiempo de la ruta crítica es igual a  $T_{d0}=100ns$ , entonces:

$$T_{R\ dis} = T_{d0} + T_{smp} + T'_{umb\ min} = 130,63\ ns \quad (8.124)$$

- c) *Cálculo de la variación de la tensión de salida debido al retardo.* Aquí se tiene en cuenta la variación de carga en el condensador de salida, debido al retardo total  $T_{R\ dis}$ , entonces la variación de la tensión del condensador se define como:

$$\Delta V_{Rdis} = \frac{Q_{Rdis}}{C} = \frac{\Delta I_{sal} \cdot T_{R\ dis}}{C} = 2,67mV \quad (8.125)$$

**Paso 4:** Verificar el valor de la máxima variación de la tensión de salida.

Permite conocer el valor de la máxima variación de la tensión de salida teniendo en cuenta el peor de los casos, es decir, incluyendo los retardos máximos. En el paso 1, la selección del filtro de salida, en una primera aproximación, se calculó suponiendo que el sistema respondía de manera instantánea a una variación de la corriente de carga. Sin embargo, la respuesta real de convertidor se produce pasado un tiempo de retardo que se ha denominado  $T_{R\ dis}$ . Por lo tanto, para calcular la variación de tensión de salida real que se produce antes un escalón de la corriente de carga, es necesario añadir a la variación de la tensión de salida calculada previamente, la variación de la tensión producida por el retardo, ecuación (8.125). De esta manera, es posible verificar si los valores obtenidos, una vez incluidos todos los retardos del sistema, satisfacen las especificaciones. Es decir, la variación máxima real de la tensión de salida,  $\Delta V_{sal\ real}$ , tiene que estar dentro de la banda definida por la variación máxima especificada,  $\Delta V_{sal\ esp}$ .

$$\Delta V_{sal\ real} = \Delta V_{sal\ cal} + \Delta V_{Rdis} = 28,2\ mV \quad (8.126)$$

El nuevo valor obtenido, debe cumplir que:

$$\Delta V_{sal\ real} < \Delta V_{sal\ esp} \quad (8.127)$$

Si la desigualdad (8.127) se cumple, como es el caso mostrado en el ejemplo, el diseño está optimizado, y se puede concluir el proceso de optimización cumplimentando el paso 5.

En el caso contrario, en que la desigualdad (8.127) no se cumpla, es necesario repetir el algoritmo. Para ello, se recomiendan dos posibles vías de solución. En una primera aproximación, si la diferencia no es significativa se puede modificar disminuyendo, en la medida de lo posible, el período de muestreo,  $T_{s\ amp}$ . Esto es posible, incrementando el valor de  $n$  en la ecuación (8.122), y repetir el procedimiento.

Como es lógico, esta opción está limitada por razones tecnológicas, como pueden ser, el período máximo de muestreo del conversor A/D, consumo de potencia y costes del dispositivo.

Si después de interactuar no es suficiente para que se cumpla la desigualdad (8.127), es necesario retornar al paso 1, y seleccionar otro condensador de salida de mayor capacidad,

equivalente a escoger un margen de variación de la tensión de salida calculado ( $\Delta V_{sal\ calc}$ ) menor, es decir, mover el área de diseño hacia la derecha en la figura 8.13. Posteriormente se requiere repetir el procedimiento.

Otra posible solución sin tener que modificar los parámetros del filtro, es disminuir la banda de umbrales (coeficiente  $k_u$ ). Esta opción está limitada por la relación señal ruido del sistema y por el ancho de banda de la plataforma de diseño utilizada para la implementación del control.

**Paso 5:** Cálculo de las tensiones de umbral a partir de la desviación máxima de la tensión de umbral. Define los valores máximo y mínimo de la tensión que define la banda de umbral.

$$\Delta V_{umb\ max} = \Delta V_{sal\ esp} - \Delta V_{sal\ cal} - (\Delta V_{Rdis} - \Delta V_{umb\ min}) = 2,33\ mV \quad (8.128)$$

Teniendo en cuenta los valores mínimo y máximo de la variación de la tensión de umbral obtenida en las expresiones (8.120) y (8.128) respectivamente, el valor de la variación de la tensión de umbral se puede seleccionar siempre que se cumpla que:

$$\Delta V_{umb\ min} < \Delta V_{umb} < \Delta V_{umb\ max} \quad (8.129)$$

Para el caso particular del ejemplo que se muestra  $\Delta V_{umb}=1,7mV$ . De aquí se puede definir el valor efectivo de la variación de la tensión de umbral,  $\Delta V_{umb\ efecto}$ , como:

$$\Delta V_{umb\ efect} = \Delta V_{umb} + (\Delta V_{Rdis} - \Delta V_{umb\ min}) = 3,87\ mV \quad (8.130)$$

Los resultados obtenidos en los cálculos mediante el algoritmo propuesto, se muestran en la tabla 8.3.

**TABLA 8.3**  
**RESULTADOS DE LOS CÁLCULOS DEL CONTROL LNŁ OPTIMIZADO**

$L_{equiv}$ [nH]	$L_{fase}$ [nH]	$C_{sal}$ [mF]	$T_{samp}$ [ns]	$V_{ref}$ [V]	$\Delta V_{umb\ min}$ [mV]	$\Delta V_{umb\ max}$ [mV]	$\Delta V_{umb\ sel}$ [mV]	$\Delta V_{sal\ max}$ [mV]
75	300	2,45	6,13	1,5	$\pm 0,5$	$\pm 2,33$	$\pm 1,7$	28,2

Basado en el método propuesto de optimización del control LnL, en las figura 8.14 y 8.15, se muestra el algoritmo de funcionamiento simplificado del bloque no lineal del regulador LnL asíncrono optimizado. Los parámetros de entrada del algoritmo son los mismos que mostrado en la figura 7.12, (control LnL original). Los elementos comunes de este algoritmo con el nuevo algoritmo propuesto no se han representado en las figuras 8.14 y 8.15.

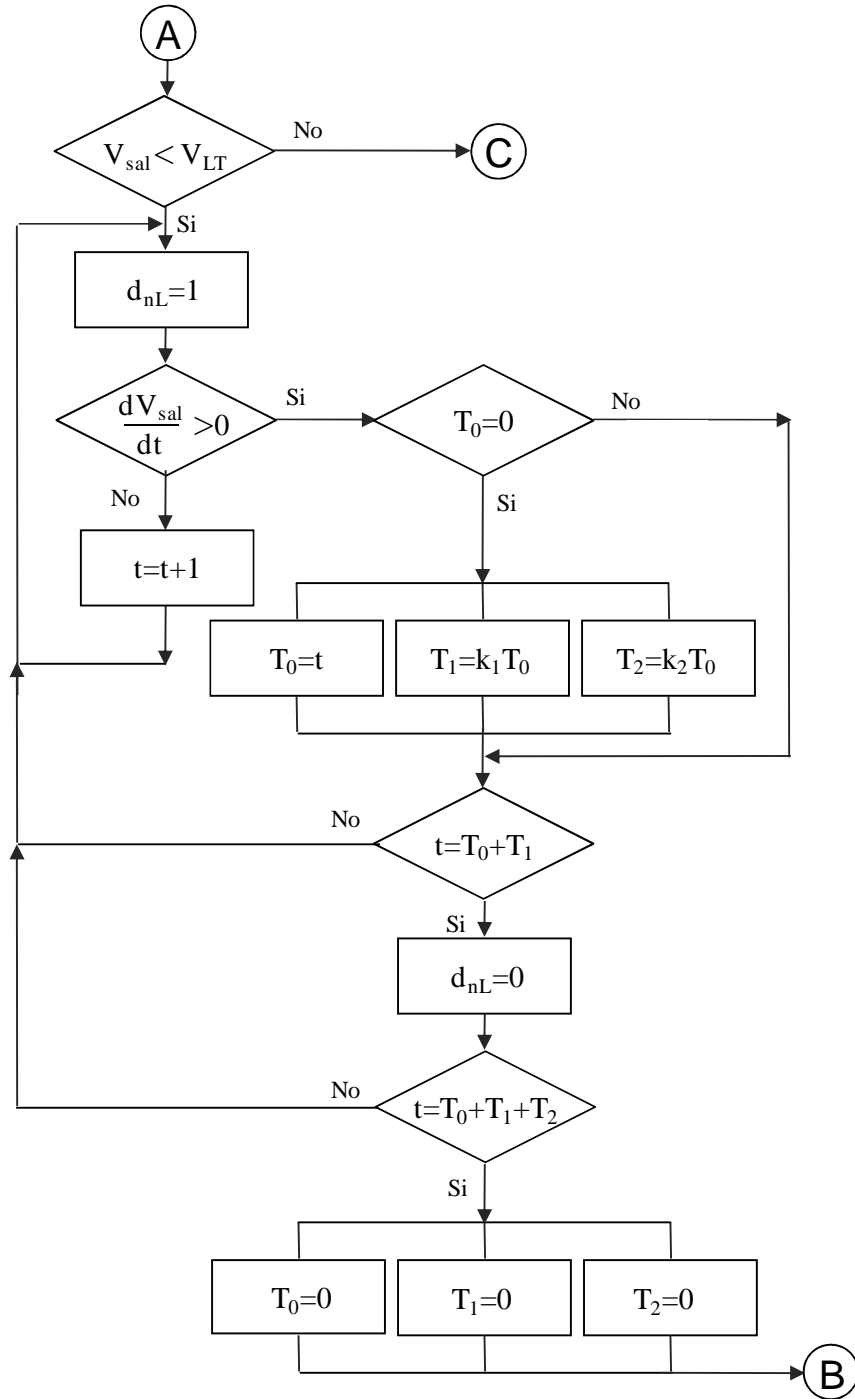


Fig. 8.14 Algoritmo de funcionamiento del bloque no lineal asíncrono del control LnL optimizado para el caso de un escalón de carga positivo.



Los puntos marcados con la letra A y B, indican los puntos de referencias del algoritmo con control LnL optimizado propuesto, a partir de los cuales el nuevo algoritmo difiere del algoritmo propuesto en la figura 7.12.

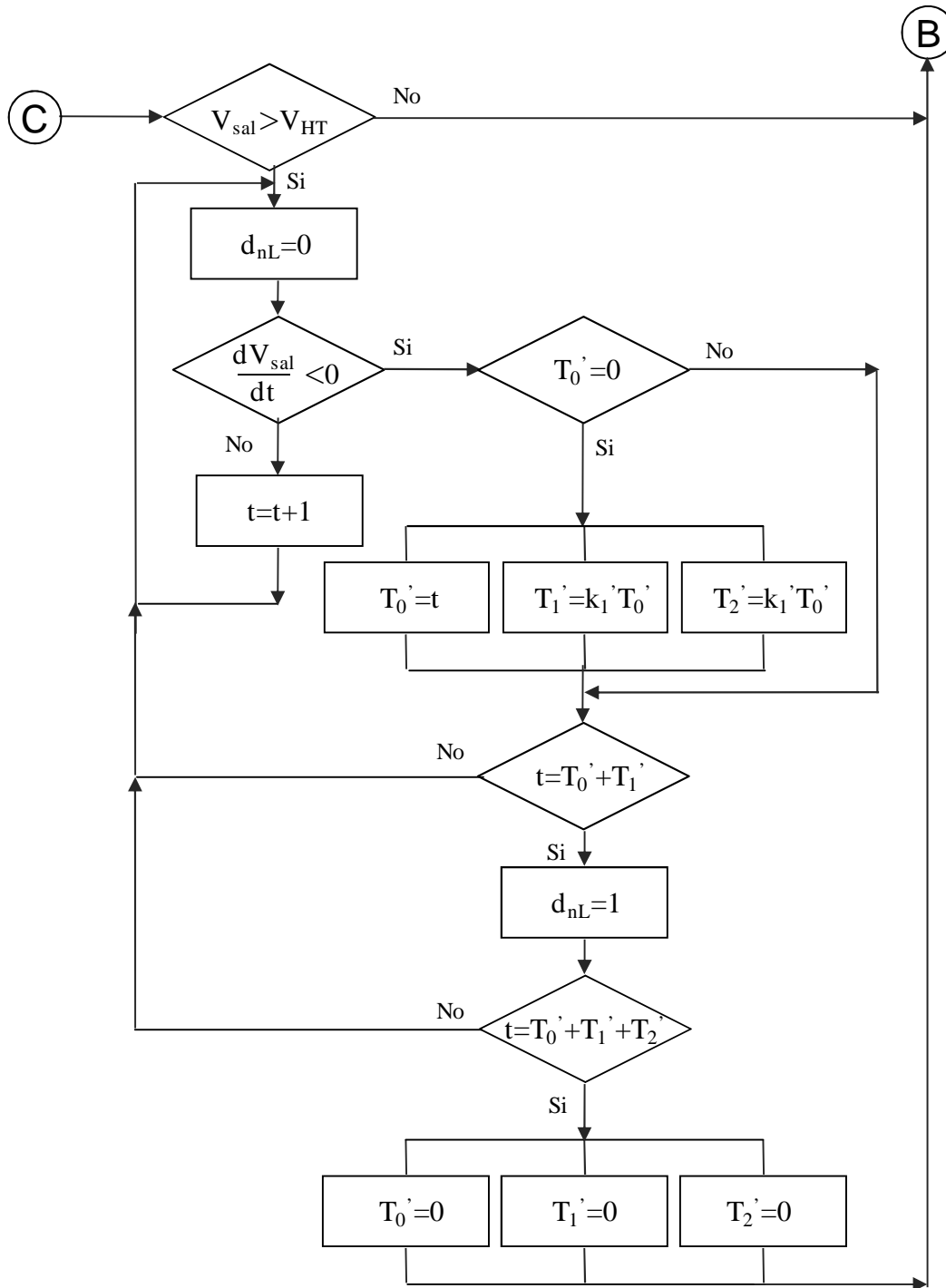


Fig. 8.15 Algoritmo de funcionamiento del bloque no lineal asíncrono del control LnL optimizado para el caso de un escalón de carga negativo (continuación).

El punto marcado con la letra C en las figuras 8.14 y 8.15, es un punto interno de unión, y es solo aplicable al algoritmo de control LnL optimizado.

Aunque el algoritmo propuesto optimiza el regulador, obteniéndose una respuesta transitoria mucho mejor ya que reduce al mínimo el tiempo de recuperación del sistema para una planta dada, resulta más complejo que el que se muestra en la figura 7.12, requiere de más recursos de *hardware*, por lo que se recomienda elegir el algoritmo, ya sea el más simple, con control LnL original, (ver figura 7.12), o el más complejo, con control LnL optimizado, (ver figuras 8.14 y 8.15), de acuerdo a las exigencias dinámicas del convertidor.

Para la validación del algoritmo propuesto se han realizado un conjunto de simulaciones y mediciones experimentales con el VRM prototipo, que se muestran a continuación.

#### **8.4.3 RESULTADOS DE LAS SIMULACIONES DEL CONTROL LNL OPTIMIZADO.**

En este apartado, se muestran los resultados de simulación del VRM de 4 fases antes escalones de carga de 50A. El ancho de banda del regulador lineal se ha seleccionado 1/10 de la frecuencia de conmutación equivalente. Se ha simulado el mismo VRM con control LnL y diferentes estrategias de selección de las tensiones de umbral: con umbrales simétricos, con umbrales asimétricos y el optimizado.

En la figura 8.16, se muestran las curvas más representativas del convertidor con control LnL optimizado, de arriba hacia abajo: la corriente por la bobina equivalente (sumatoria de las corrientes que circula por cada una de las fases), la variación de la tensión de salida, las señales de control de saturación del ciclo de trabajo y las señales PWM de cada una de las fases.

Como se puede comprobar, la respuesta del convertidor es óptima y la variación de la tensión de salida se encuentra dentro de los límites fijados en las especificaciones. Como se puede apreciar, todas las fases se saturan en el mismo instante de tiempo lo que hace que aumente la derivada de la corriente por la bobina equivalente (conexión en paralelo de todas las fases). Una vez alcanzado el régimen permanente todas las fases continúan con la misma secuencia de conmutación que les corresponde.

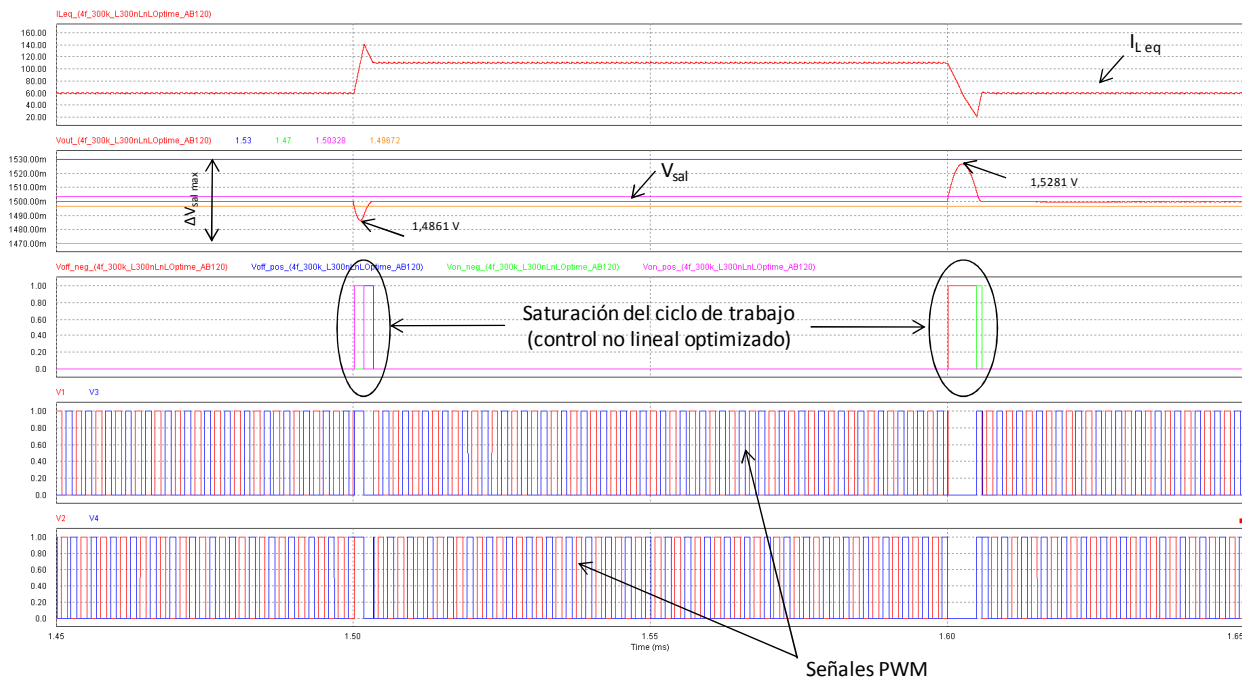


Fig. 8.16 Respuesta del VRM con control LnL optimizado ante escalas de carga.  
Resultados de simulación.

En la figura 8.17, se muestra una vista ampliada del escalón de carga negativo, representado en la figura 8.16, donde las condiciones de funcionamiento son las más críticas.

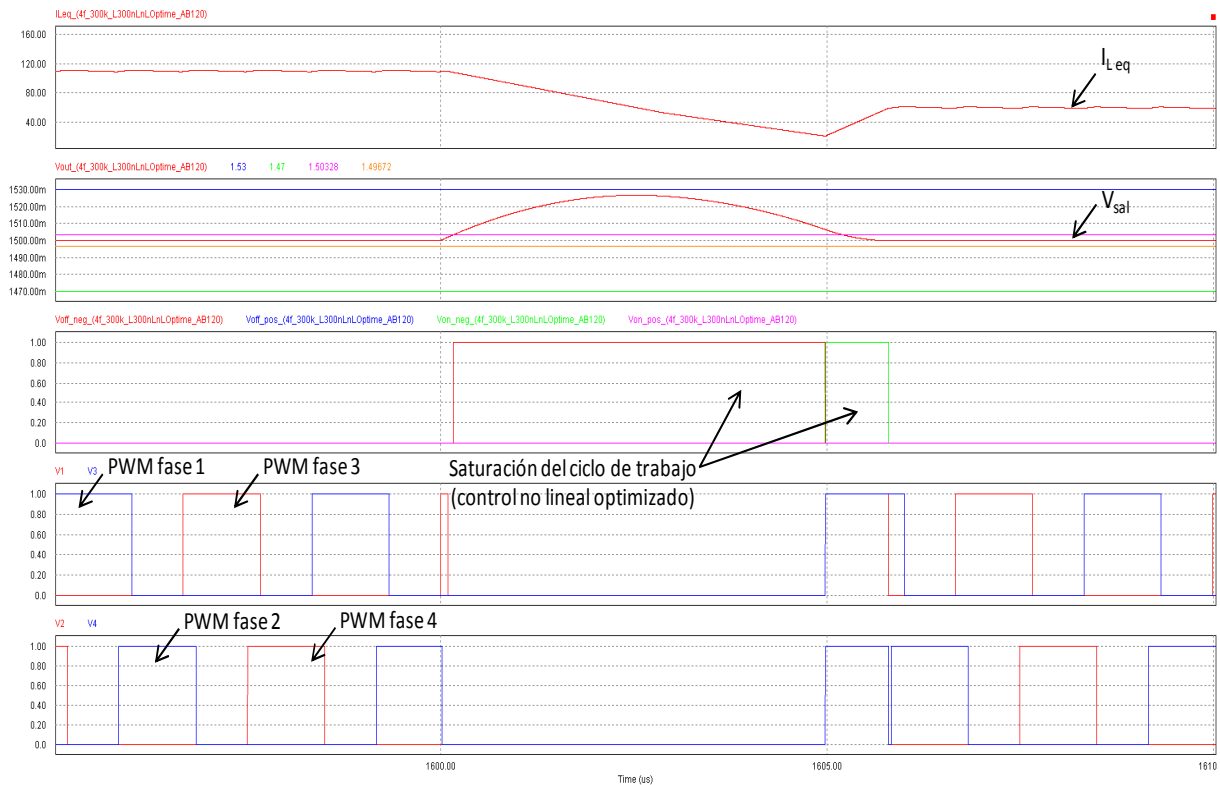


Fig. 8.17 Respuesta del VRM ante un escalón de carga negativo con control LnL optimizado.  
Resultados de simulación.

Como se puede observar, el control óptimo no sólo minimiza la variación de la tensión de salida durante los transitorios, sino que minimiza también el número de conmutaciones necesarias para lograr una respuesta óptima.

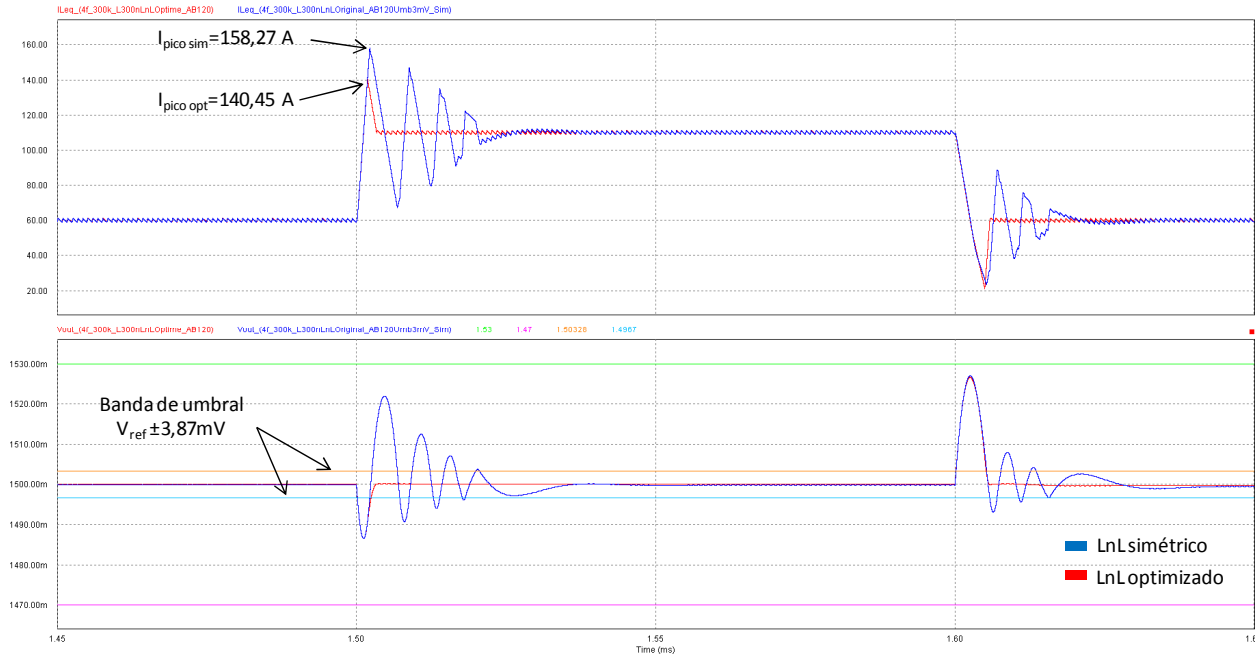


Fig. 8.18 Comparativa entre las respuestas del VRM con control LnL original con umbrales simétricos y con control LnL optimizado. Resultados de simulación.

Esto, evidentemente, se refleja en una mejora de las características térmicas del convertidor, ya que disminuyen las pérdidas en conmutación de los semiconductores respecto al control LnL original. Teniendo en cuenta estas diferencias, en la figura 8.18, se muestra una comparativa entre las respuestas del VRM con control LnL original y el optimizado. Las tensiones de umbral seleccionadas corresponden con la variación máxima teniendo en cuenta los retardos del sistema.

Como se puede ver, la respuesta del convertidor con control LnL original y con umbrales simétricos, genera una sobreoscilación debido a la cercanía de las tensiones de umbral. Hay que destacar que en ambos casos, la primera oscilación de la tensión de salida que aparece, una vez ocurrido el escalón, coincide en forma y amplitud. No ocurriendo así con la corriente equivalente.

El problema aparece cuando la tensión de salida retorna y entra dentro de la banda de umbrales. Si bien es cierto, que el convertidor con control LnL original, cumple con las espe-

cificaciones, esta sobreoscilación puede generar problemas de compatibilidad electromagnética.

Otra de las diferencias que se observan en las simulaciones, ver figura 8.18, se refiere al primer pico de la corriente de salida del VRM. Como se puede apreciar la corriente de pico del VRM con control L<sub>n</sub>L original es aproximadamente un 12% mayor que la del VRM con control L<sub>n</sub>L optimizado.

Esto se debe a que los tiempos  $T_{on}$  y  $T_{off}$  durante el transitorio, dependen fundamentalmente de cómo están definidas las tensiones de umbral, ya que esto determina el tiempo en que los interruptores se encuentran saturados. Teniendo en cuenta esta desventaja se propone el control L<sub>n</sub>L con umbrales asimétricos.

#### 8.4.4 RESULTADOS DE LAS SIMULACIONES DEL CONTROL L<sub>n</sub>L ASIMÉTRICO

La solución al problema planteado en el epígrafe anterior para el control L<sub>n</sub>L simétrico, está en establecer los *umbrales asimétricos*, en particular cuando la tensión de salida cae por debajo de la tensión de umbral durante un escalón de carga positivo. Como el cálculo de los umbrales se realiza para el caso más desfavorable, el escalón de carga negativo, y conociendo que la derivada de la corriente por la bobina es una función de la tensión aplicada a sus terminales, el valor máximo de sobrecorriente en el transitorio, se puede ajustar, controlando el momento en que el control L<sub>n</sub>L satura el ciclo de trabajo.

Esto quiere decir, que las tensiones de umbral calculadas están optimizadas para el caso en que la derivada de la corriente por la bobina es la menor. Contando con una derivada mayor, como es el caso de un escalón de carga positivo, se puede retrasar el inicio de la saturación, siempre que se garantice que la variación de la tensión de salida no se salga de la banda definida en las especificaciones. Es evidente que esto se logra, optimizando el valor de la tensión de umbral para este caso particular.

Desde el punto de vista funcional (especificaciones) no tiene importancia, porque ambos VRM cumplen con las especificaciones, pero desde el punto de vista constructivo existen algunos inconvenientes. Es evidente, que tener mayores valores de sobrecorriente en el VRM con control L<sub>n</sub>L con umbrales simétricos, ver figura 8.18, afecta a los componentes magnéticos. Esto implica componentes magnéticos de mayores dimensiones (con el objetivo de evitar la saturación del núcleo) y como consecuencia se penaliza el tamaño del convertidor.

Con el objetivo de disminuir estas sobrecorrientes, se propone el control LnL con umbrales asimétricos. La única diferencia radica en la selección de la tensión de umbral que se encuentra por debajo de la tensión de referencia.

Entonces, se define como control LnL asimétrico, cuando el módulo del incremento que define la tensión de umbral, por encima y por debajo del valor de la tensión de referencia, son diferentes, es decir:

$$|\Delta V_{umb\ pos}| \neq |\Delta V_{umb\ neg}| \quad (8.131)$$

Para entender cuál es la física del problema, en la figura 8.19, se muestra la evolución de la corriente por la bobina para el caso del escalón de carga positivo, figura 8.19 (a), y para el caso del escalón de carga negativo, figura 8.19 (b). Ambas variaciones de corriente se han representado positivas para una mejor comparación.

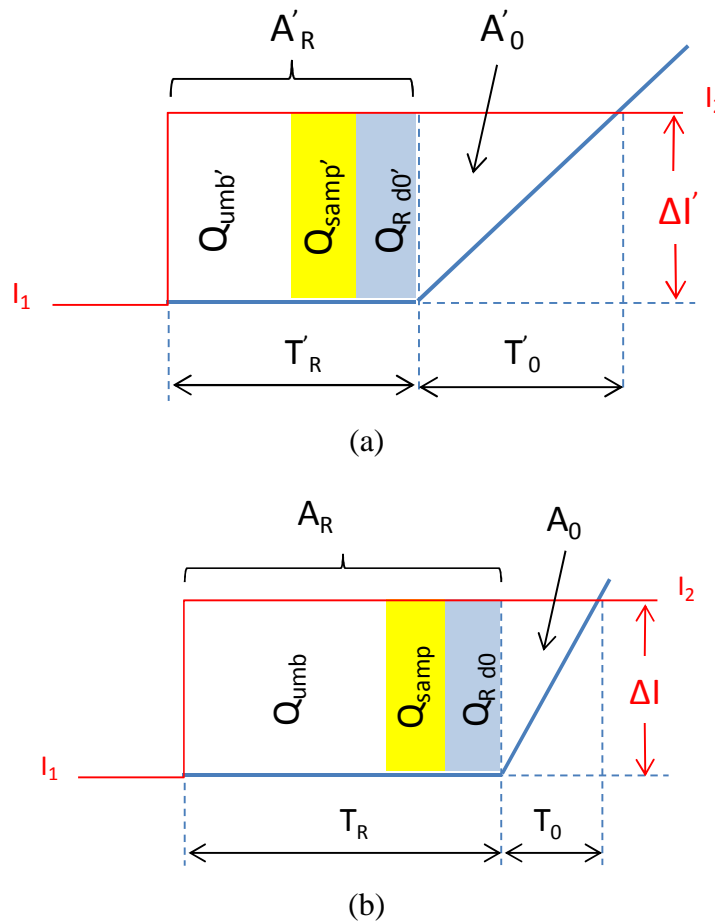


Fig. 8.19 Escalones de carga negativo (a) y positivo (b). Análisis de la variación de la carga para el caso del umbral asimétrico.

Según la figura 8.19, se puede definir la carga total como:

$$Q_{Tot\ sim} = Q'_{umb\ sim} + Q'_{R\ d0} + Q'_{sarp} + Q'_0 = Q'_R + Q'_0 \quad (8.132)$$

Para el caso del escalón de carga positivo, la carga total se puede expresar como:

$$Q_{Tot\ asim} = Q_{umb\ asim} + Q_{R\ d0} + Q_{sarp} + Q_0 = Q_R + Q_0 \quad (8.133)$$

Si se quiere que la variación máxima de la tensión de salida durante el escalón de carga positivo sea igual a la máxima variación de la tensión de salida durante el escalón de carga negativo, es decir,  $Q_{T\ sim} = Q_{T\ asim}$ . Partiendo de esta definición, para igualdad de  $\Delta I$  y  $\Delta V_{sal\ max}$ , y suponiendo que la  $ESR \approx 0$ , se tiene que:

$$T'_R \cdot \Delta I + \frac{1}{2} T'_0 \cdot \Delta I = T_R \cdot \Delta I + \frac{1}{2} T_0 \cdot \Delta I \quad (8.134)$$

Si se representa la expresión (8.134) en función de las tensiones de entrada y salida, se obtiene que:

$$T'_R + \frac{1}{2} \frac{\Delta I \cdot L}{V_{sal}} = T_R + \frac{1}{2} \frac{\Delta I \cdot L}{(V_{ent} - V_{sal})} \quad (8.135)$$

Si se tiene en cuenta que la variación de la carga en el condensador está definida por la capacidad del condensador y la variación de la tensión,  $\Delta Q_C = C \Delta V_C$ , entonces la variación de la carga del condensador debido a la tensión de umbral simétrica,  $\Delta Q_{C\ sim}$  se define como:

$$\Delta V_{umb\ sim} = \Delta V_{C\ sim} = \frac{\Delta Q_{C\ sim}}{C} = \frac{\Delta I \cdot T'_R}{C} \quad (8.136)$$

Para el caso del umbral asimétrico:

$$\Delta V_{umb\ asim} = \Delta V_{C\ asim} = \frac{\Delta Q_{C\ asim}}{C} = \frac{\Delta I \cdot T_R}{C} \quad (8.137)$$

Despejando los tiempos  $T_R$  y  $T'_R$  de las ecuaciones (8.136) y (8.137) y sustituyendo en (8.135) se obtiene que:

$$\frac{\Delta V_{umb\ sim} \cdot C}{\Delta I} + \frac{1}{2} \frac{\Delta I \cdot L}{V_{sal}} = \frac{\Delta V_{umb\ asim} \cdot C}{\Delta I} + \frac{1}{2} \frac{\Delta I \cdot L}{(V_{ent} - V_{sal})} \quad (8.138)$$

Multiplicando por  $\Delta I$  y reagrupando teniendo en cuenta las ecuaciones (8.87) y (8.89), ESR despreciable, se obtiene el valor de la variación de la tensión de umbral asimétrico:

$$\Delta V_{umb\ asim} = \Delta V_{umb\ sim} + (\Delta V_{sal\ neg\ max} - \Delta V_{sal\ pos\ max}) \quad (8.139)$$

Dividiendo las ecuaciones (8.87) y (8.89), asumiendo  $ESR \approx 0$ , se obtiene que:

$$\frac{\Delta V_{sal\ neg\ max}}{\Delta V_{sal\ pos\ max}} = \frac{(V_{ent} - V_{sal})}{V_{sal}} = \frac{1}{D} - 1 \quad (8.140)$$

Entonces sustituyendo en (8.139) se obtiene que:

$$\Delta V_{umb\ asim} = \Delta V_{umb\ sim} + \left(\frac{1}{D} - 2\right) \Delta V_{sal\ pos\ max} \quad (8.141)$$

En función de los parámetros de diseño, el umbral mínimo asimétrico es igual a:

$$\Delta V_{umb\ min\ asim} = \Delta V_{umb\ min} + \frac{1}{2} \left(\frac{1}{D} - 2\right) \frac{\Delta I^2 \cdot L}{C \cdot (V_{ent} - V_{sal})} = 15,1\ mV \quad (8.142)$$

De la misma manera se puede calcular el valor del umbral asimétrico máximo:

$$\Delta V_{umb\ max\ asim} = \Delta V_{umb\ max} + \frac{1}{2} \left(\frac{1}{D} - 2\right) \frac{\Delta I^2 \cdot L}{C \cdot (V_{ent} - V_{sal})} = 16,9\ mV \quad (8.143)$$

Si tenemos en cuenta los retardos del sistema, ecuación (8.124), y el valor de la tensión de umbral seleccionado,  $\Delta V_{umb}=1,7mV$ , se obtiene que el valor efectivo de la variación del umbral asimétrico es igual a:

$$\Delta V_{umb\ asim} = \Delta V_{umb} + \frac{1}{2} \left(\frac{1}{D} - 2\right) \frac{\Delta I^2 \cdot L}{C \cdot (V_{ent} - V_{sal})} = 16,27\ mV \quad (8.144)$$



En la figura 8.20, se muestran los resultados de las simulaciones para el VRM con control LnL asimétricos ( $V_{\text{umb asim}} = V_{\text{ref}} - 16,27\text{mV}$ ). Como se puede ver, las tensiones que definen la banda de umbral son asimétricas respecto a la tensión nominal de la tensión de salida.

La tensión que define el límite superior de la banda de umbral, se mantiene constante, tanto para el control LnL con control simétrico (ver figura 8.18), como para el VRM con control asimétrico, (ver figura 8.20). Como se puede apreciar, ambas propuestas cumplen con las especificaciones dinámicas de partida.

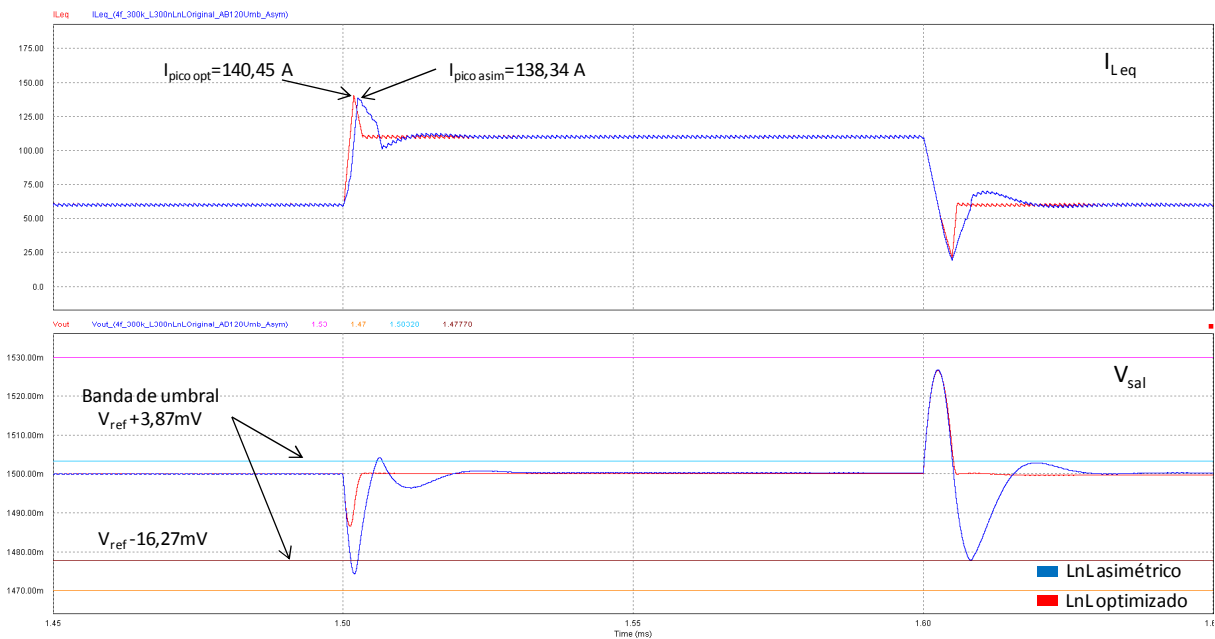


Fig. 8.20 Respuestas del VRM con control LnL asimétrico y optimizado ante escalones de carga.  
Resultados de simulación.

Esto se debe a que el proceso de optimización del control, está realizado, teniendo en cuenta la respuesta del VRM ante el escalón de carga negativo. Incrementar esta tensión, implica empeorar la respuesta del VRM, que puede hacer que el VRM no cumpla con las especificaciones de diseño.

En la figura 8.21, se muestran las respuestas de los VRM con los diferentes controles LnL. Hay que destacar, que todos los VRM cumplen con las especificaciones de diseño, pero sus respuestas difieren.

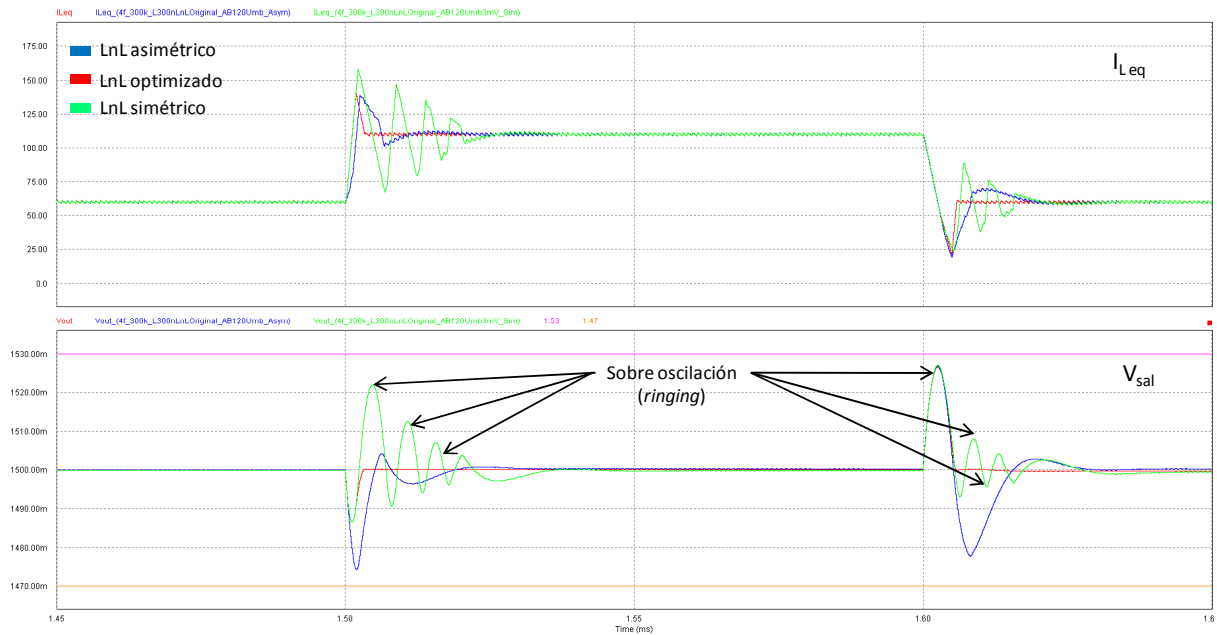


Fig. 8.21 Comparativa entre las respuestas del VRM con los diferentes controles LnL. Resultados de simulación.

En todos los casos, la respuesta del VRM en régimen permanente es idéntica, ya que sólo depende del regulador lineal y éste es el mismo en cada convertidor. Es por eso, que el análisis se centra solamente en la respuesta del convertidor durante los transitorios.

Es evidente, que la mejor respuesta la presenta el VRM con control LnL optimizado. Este control garantiza el menor tiempo de recuperación del sistema, con la mínima variación de la tensión de salida durante los transitorios, ver figura 8.21. Mientras, que por su parte, el VRM con control LnL con umbrales simétricos y asimétricos, generan una sobreoscilación amortiguada alrededor del valor nominal de la tensión de salida.

El VRM con control LnL simétrico, presenta la mayor corriente pico de todos los VRM, aproximadamente un 12% mayor que el VRM con control LnL optimizado, y un 14% superior al control LnL asimétrico.

Además, los tiempos de recuperación de cada uno de los controles LnL son diferentes, ver figura 8.22. Si se toma como referencia, el tiempo de recuperación del VRM con control LnL optimizado, entonces, la relación entre los tiempos de recuperación durante los escalones de carga, es igual a:

Para el caso, del VRM con control LnL simétrico:

$$R_{T_{pos}} = \frac{T_{rec\ pos\ sim}}{T_{rec\ pos\ opt}} = 11 \quad (8.145)$$

$$R_{T_{neg}} = \frac{T_{rec\ neg\ sim}}{T_{rec\ neg\ opt}} = 5 \quad (8.146)$$

Para el caso del VRM con control LnL asimétrico:

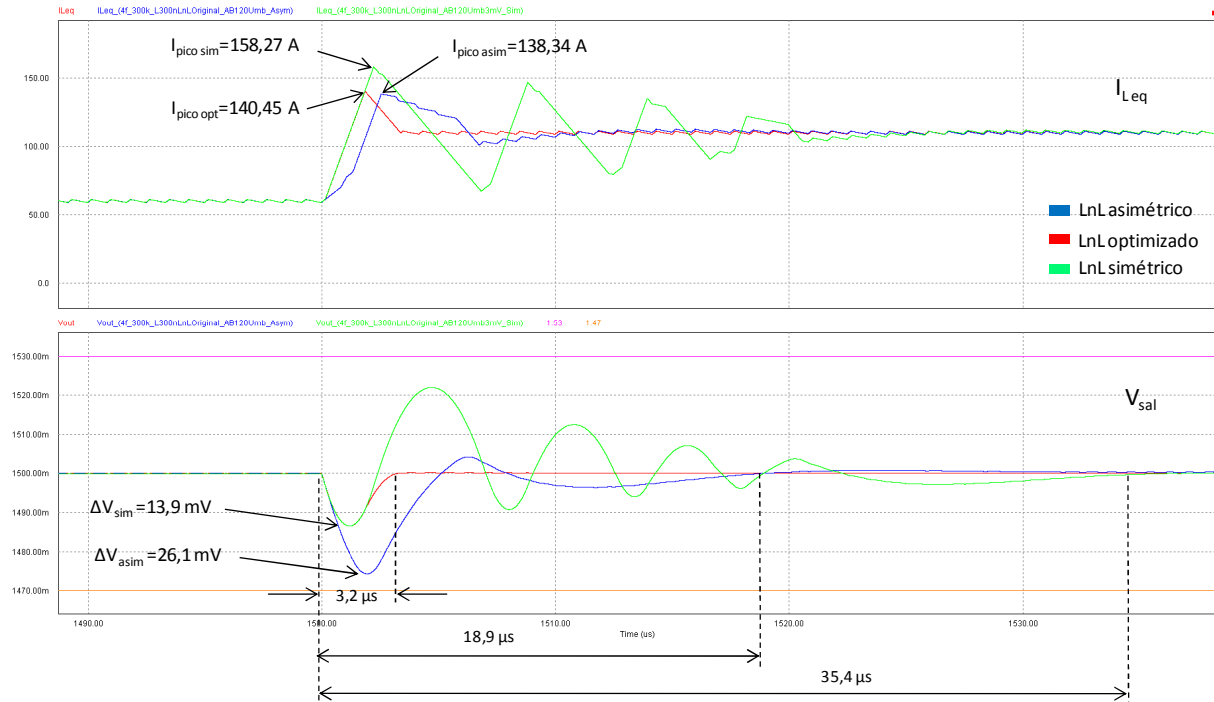
$$R_{T_{pos}} = \frac{T_{rec\ pos\ asim}}{T_{rec\ pos\ opt}} = 6 \quad (8.147)$$

$$R_{T_{neg}} = \frac{T_{rec\ neg\ asim}}{T_{rec\ neg\ opt}} = 5 \quad (8.148)$$

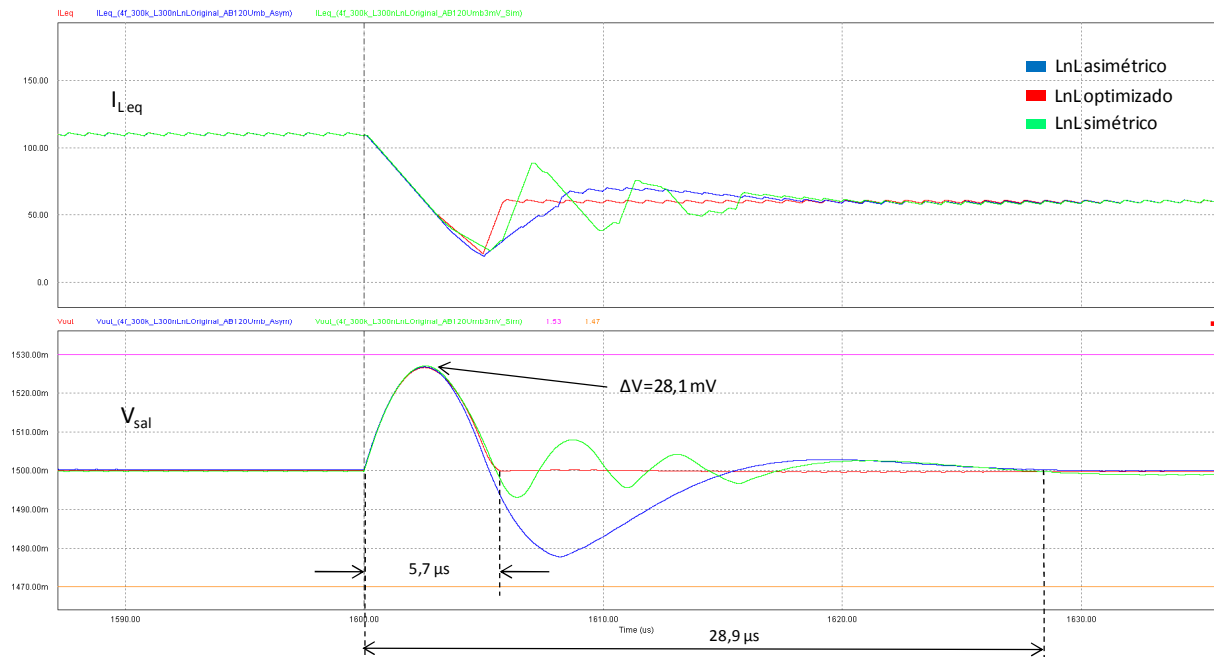
De los resultados obtenidos, se puede concluir lo siguiente:

1. Todos los VRM con control LnL cumplen con las especificaciones de partida;
2. Es evidente que el VRM con control LnL original tiene una mayor valor de sobrecorriente. Esto implica un incremento de las dimensiones de los magnéticos, y mayores pérdidas en los semiconductores;
3. El control LnL original como presenta umbrales simétricos, el control genera un mayor número de conmutaciones durante el transitorio. Esto trae como consecuencia, un incremento de las emisiones electromagnéticas del VRM;

El control LnL con umbrales asimétricos mejora los inconvenientes que presenta el control LnL con umbrales simétricos, especialmente durante los escalones de carga positivos, donde el tiempo de recuperación del sistema se ve reducido considerablemente, ver figura 8.22 (a).



(a) Escalón de carga positivo



(b) Escalón de carga negativo

Fig. 8.22 Respuesta del VRM con diferentes controles LnL, durante escalones de carga: (a) positivo (b) negativo. Resultados de simulación.

En la tabla 8.4, se resumen los principales datos obtenidos de los resultados de las simulaciones, para cada uno de los VRM analizados.

TABLA 8.4

RESUMEN DE LOS PRINCIPALES RESULTADOS DE LAS SIMULACIONES DE LOS VRM CON LAS DIFERENTES VERSIONES DE CONTROL LnL

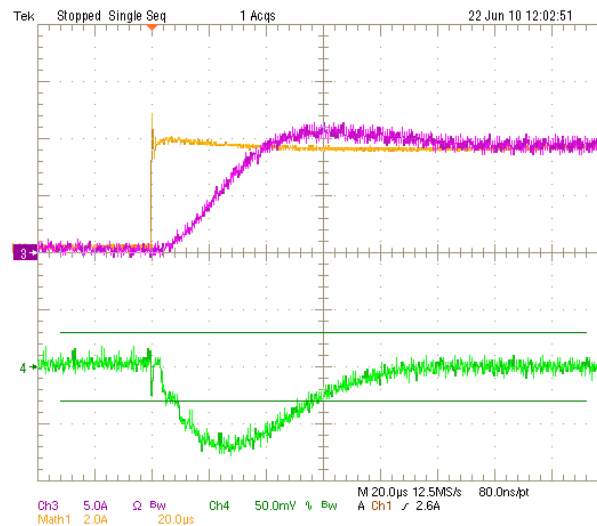
Tipo de Control LnL	$I_{pico\ max}$ [A]	$\Delta V_{pos\ max}$ [mV]	$\Delta V_{neg\ max}$ [mV]	$\Delta V_{umb}$ [mV]	$\Delta V_{umb\ efect}$ [mV]	$T_{recup\ pos}$ [μs]	$T_{recup\ neg}$ [μs]
Simétrico	158,27	-13,9	28,1	±1,7	±3,87	35,4	28,9
Asimétrico	138,34	-26,1	28,1	+1,7 -14,47	+3,87 -16,27	18,9	28,9
Optimizado	140,45	-13,9	28,1	±1,7	±3,87	3,27	5,7

A continuación se muestran los resultados experimentales que validan los resultados teóricos obtenidos en este capítulo.

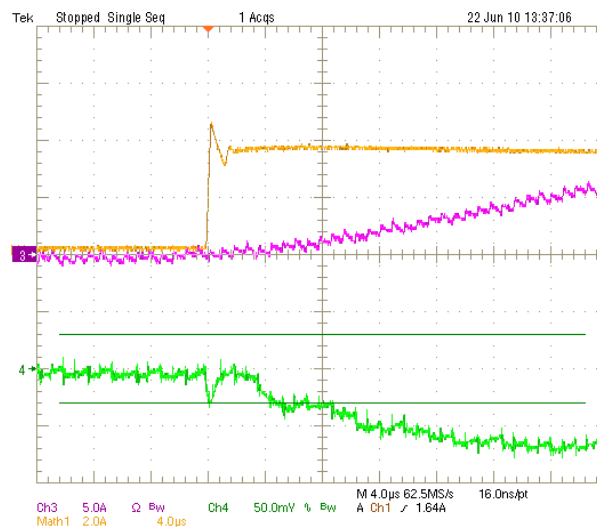
#### 8.4.5 RESULTADOS DE EXPERIMENTALES DEL CONTROL LnL OPTIMIZADO

A continuación, se muestran los resultados de los experimentos realizados basado en el prototipo de VRM de 4 fases, ver anexo I. El control se diseñó totalmente digital según el diagrama de bloques de la figura 7.2. Como plataforma de diseño se utilizó una FPGA de bajo coste, específicamente una Spartan 3 de Xilinx. Se ha analizado el comportamiento del VRM con control lineal y control LnL optimizado ante escalones de carga positivo con derivada de la corriente de 4A/μs. El ancho de banda del bloque lineal del control para ambos casos, es de aproximadamente 42kHz. En la figura 8.23 (a), se muestra la respuesta del VRM con control lineal ante un escalón de carga positivo de 0 a 10A. Con líneas continuas se representa la banda de tensión definida por las especificaciones de partida, es decir la tensión de referencia ±30mV.

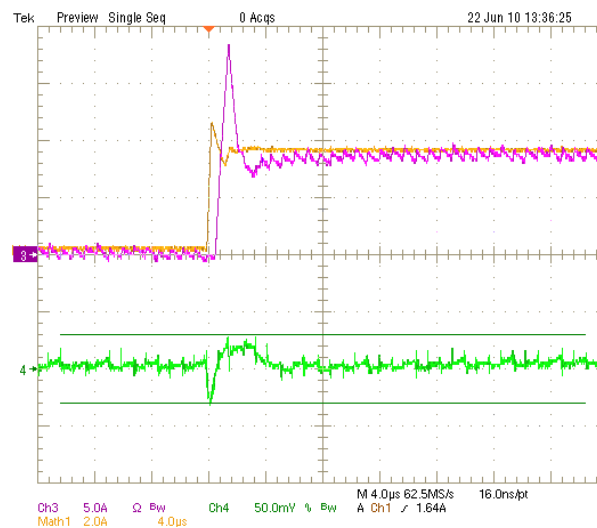
Como se puede ver el convertidor con control lineal no cumple con las especificaciones y el tiempo de recuperación es aproximadamente 80μs. Para tener una mejor representación de la variación de la tensión de salida para el caso del convertidor con control lineal y poder comparar en la misma escala del tiempo se ha en la figura 8.23 (b) se representa la respuesta ampliada en el tiempo del convertidor con control lineal.



(a) Con control lineal



(b) Con control lineal (vista ampliada)



(c) Con control LnL optimizado

Fig. 8.23 Respuesta del VRM con diferentes controles digital: lineal y LnL optimizado.

En la figura 8.23 (c), se muestra la respuesta del VRM con control LnL optimizado. Como se puede ver, la respuesta del convertidor con control LnL optimizado es mejor que la del lineal, ya que logra que la variación de la tensión de salida no sobrepase los límites fijados en las especificaciones. Como ya se había analizado en los planteamientos teóricos, este tipo de control genera una mayor sobrecorriente durante el transitorio. El valor máximo de la sobreoscilación es mayor que el teórico ideal calculado, ecuación (8.37), debido a que existe un retraso en la activación del bloque no lineal del control, por lo que se requiere una mayor carga para compensar la variación de la tensión en la salida.

Los resultados obtenidos, tanto mediante simulación como experimentales realizados a los prototipos, validan los resultados teóricos obtenidos y demuestran la validez de la metodología propuesta de optimización del control LnL.

Por otra parte, se valida el algoritmo de cálculo de cada uno de los parámetros de diseño del convertidor, tanto para el control LnL original, como para el control LnL optimizado. Además, se valida la implementación del algoritmo de control propuesto a través de la plataforma de diseño basada en FPGA.

Cabe destacar que los resultados obtenidos se pueden ver muy influenciados por los parásitos del sistema (especialmente las inductancias parásitas debido al rutado del circuito impreso, las capacidades parásitas, etc.), el ruido generado durante la conmutación, así como las características del conversor A/D.

## CONCLUSIONES

En este capítulo se ha realizado por primera vez, el planteamiento teórico de optimización del control LnL aplicado a los convertidores reductores, basado en el método del balance de cargas, en el que se han incluido los principales efectos reales que afectan al diseño. Por una parte, se han definido cada uno de los factores que influyen en la dinámica del convertidor y por otra, cómo optimizarlos con el objetivo de obtener la mejor respuesta ante un escalón de carga para unas condiciones dadas.

Se ha propuesto y validado, tanto con resultados de simulación como con resultados experimentales, un algoritmo de diseño para el cálculo de los parámetros del convertidor con

control LnL, optimizado. Este algoritmo permite calcular todos los parámetros de diseño tanto para sistemas continuos en el tiempo (analógicos), como para sistemas discreto (digitales).

Además, se propone el control LnL asimétrico como solución a los problemas de sobre-oscilación (*ringing*) que se generan en el VRM con control LnL original (umbrales simétricos). Se justifica, teórica y prácticamente, el proceso de optimización de las tensiones de umbral para el regulador LnL asimétrico. El VRM con control LnL asimétrico, mejora las características dinámicas del convertidor durante los transitorios, mejorando el tiempo de recuperación del sistema durante los escalones de carga positivos y negativos, respecto al VRM con control LnL simétrico.

Por otra parte, el algoritmo propuesto no solo permite optimizar el diseño desde el punto de vista de los principales parámetros del sistema, sino que permite en caso de que sea necesario, fabricar un circuito integrado de uso específico (ASIC), disponiendo de los elementos físicos (*hardware*) optimizados para su implementación. Esto podría permitir optimizar la densidad de potencia del convertidor.





## CAPÍTULO 9

### CONCLUSIONES Y APORTACIONES

#### 9.1 APORTACIONES DEL PRESENTE TRABAJO

El presente trabajo representa un primer paso en el estudio del control LnL aplicado a convertidores reductores síncronos multifase (VRM multifase, del inglés *Multiphase Voltage Regulator Module*) con respuesta dinámica rápida. Este estudio se ha dividido en cuatro grandes bloques temáticos: introducción y estado de la técnica, valoración cuantitativa del control LnL, propuesta y implementación original del control LnL mixto y totalmente digital, y, finalmente, optimización del control LnL.

Una vez enfocado el ámbito del proyecto, presentado el estado de la técnica, descritas las principales configuraciones de VRM, así como el funcionamiento del control LnL, se ha realizado un análisis comparativo de la respuesta transitoria de varias configuraciones de convertidor VRM multifase, en el cual se han modificado diferentes parámetros de diseño, como son la frecuencia de conmutación, la inductancia por fase, la capacidad del filtro de salida, el tipo de control, etc. El objetivo de este estudio ha sido mostrar las ventajas que aporta el control LnL en la mejora de las características dinámicas de los VRM multifase, y su impacto sobre el área y volumen del diseño final.

También, se ha propuesto y validado una novedosa solución de control mixto analógico/digital aplicable a convertidores multifase. Esta nueva propuesta evita la necesidad de utilizar convertidores analógico/digitales, lo que la hace muy interesante para ser utilizada en aplicaciones con determinados requerimientos dinámicos. Esta solución mixta puede ser aplicada tanto a los controles lineales clásicos, como para la implementación del control LnL.

A continuación, se ha propuesto, diseñado y validado la implementación totalmente digital del control LnL para convertidores VRM multifase. Se han caracterizado cada uno de los bloques que la componen y su influencia en la respuesta dinámica del convertidor. Dentro del proceso de optimización del control LnL totalmente digital se han propuesto nuevas soluciones de moduladores de ancho de pulso digitales (DPWM) que permiten obtener

frecuencias de conmutación mucho más elevadas, manteniendo la misma frecuencia de reloj del sistema. Por otra parte, se ha propuesto y validado la implementación de un convertidor analógico digital (ADC) tipo ventana, para aplicaciones específicas en electrónica de potencia. Esto crea nuevas perspectivas sobre el diseño del control LnL en un solo chip. También, se ha demostrado que las propuestas y mejoras desarrolladas para el control LnL totalmente digital son aplicables al control lineal clásico.

Finalmente, se propone y se valida una metodología para la optimización y el cálculo de la respuesta del control LnL a partir de las especificaciones de diseño del VRM multifase. Esto permite seleccionar adecuadamente los valores del filtro de salida del convertidor (inductancia por fase y condensador de salida) y las tensiones de umbrales tanto para el control LnL asimétrico como simétrico. Además, para el caso de los controladores diseñados digitalmente, se analiza la influencia de la frecuencia de muestreo del convertidor A/D sobre la dinámica del convertidor. Tanto el algoritmo de optimización propuesto, como la metodología de diseño son válidos para todo tipo de convertidores reductores, sean de una sola fase o multifase. La metodología de optimización es válida tanto para la implementación del control LnL de forma analógica, mixta o totalmente digital.

Cabe destacar, que para la validación experimental de los resultados obtenidos mediante simulación de cada una de las propuestas, se ha planteado el diseño de un convertidor VRM multifase reconfigurable, que ha permitido evaluar todas las configuraciones estudiadas, aprovechando las ventajas que nos aporta la plataforma de diseño con FPGA. Esto ha posibilitado que con un único diseño *hardware* se haya logrado configurar un amplio conjunto de convertidores diferentes, garantizando los criterios de estabilidad, así como las especificaciones de partida.

Como resultado, las aportaciones del presente trabajo se pueden dividir en cuatro grupos fundamentales:

1. Las relacionadas con la aplicación del control LnL a convertidores VRM multifase;
2. Las relacionadas con el diseño del control mixto analógico/digital;
3. Las relacionadas con el diseño totalmente digital del control LnL;

4. Las relacionadas con la optimización de la respuesta del control L<sub>n</sub>L.

### **9.1.1 APORTACIONES RELACIONADAS CON LA APLICACIÓN DEL CONTROL L<sub>n</sub>L A CONVERTIDORES VRM MULTIFASE.**

Una de las principales aportaciones de este trabajo es la aplicación del control L<sub>n</sub>L a convertidores reductores síncronos multifase (VRM multifase). Esta estrategia de control se basa en el funcionamiento simultáneo de dos controles: uno lineal en modo tensión, que responde ante las variaciones de baja frecuencia de la tensión de salida, y otro no lineal, el cual responde ante los transitorios que ocurren durante los escalones de carga, optimizando de esta manera la respuesta del bloque de potencia.

Las principales ventajas que aporta la aplicación del control L<sub>n</sub>L a los VRM multifase son los siguientes:

1. El control L<sub>n</sub>L propuesto proporciona una implementación sencilla y de bajo coste, ya que solo precisa el sensado de la tensión de salida. Este tipo de control permite establecer con facilidad la lógica de saturación del ciclo de trabajo, para actuar eficazmente durante los transitorios de la corriente de carga.
2. Comparando dos convertidores, uno con control lineal y otro con control L<sub>n</sub>L, el convertidor con control L<sub>n</sub>L permite aumentar la inductancia equivalente ( $L_{eq}$ ), respecto del convertidor que utiliza control lineal. Esto significa que, garantizando las mismas especificaciones dinámicas, el control L<sub>n</sub>L permite adoptar una de las siguientes opciones:
  - a) Seleccionar un valor de inductancia mayor por fases, por lo que se disminuye el rizado de la corriente por el convertidor y las pérdidas de potencia.
  - b) Elegir un número menor de fases, aumentando la simplicidad y reduciendo el tamaño y el coste, sin reducir la respuesta dinámica con relación al control lineal.
  - c) Elegir una frecuencia de conmutación menor, que implica una reducción de las pérdidas en conmutación.

Estas ventajas se deben a que el control LnL permite independizar, en cierta manera, el ancho de banda del control lineal de la respuesta dinámica del convertidor.

### **9.1.2 APORTACIONES RELACIONADAS CON EL DISEÑO DEL CONTROL MIXTO ANALÓGICO/DIGITAL.**

En esta tesis se ha propuesto la implantación de control mixto analógico/digital. Las principales ventajas que aporta el control mixto, en la implementación de los convertidores VRM multifase, se describen a continuación:

- a) Generalidad de la estructura del control mixto, que permite ser aplicada tanto para los controles lineales clásicos, como para la implementación del control LnL.
- b) Posibilidad de evitar la utilización de convertidores analógico/digitales, característica muy interesante para aplicaciones con requerimientos dinámicos exigentes. Esta característica, si bien es cierto que ofrece muchas prestaciones, complica el posterior procesamiento de las señales, lo que implica un encarecimiento total del sistema.
- c) Uso de un solo regulador lineal y en un único bloque analógico, lo hace que el diseño del sistema sea sencillo, fácilmente configurable, y donde los costes están básicamente determinados por el bloque digital.
- d) Flexibilidad de la plataforma basada en FPGA, que permite, con un mismo *hardware*, configurar y estudiar múltiples configuraciones topológicas de convertidores VRM multifase, así como comparar con facilidad las prestaciones que presentan cada una de las configuraciones desarrolladas.

### **9.1.3 APORTACIONES RELACIONADAS CON EL DISEÑO TOTALMENTE DIGITAL DEL CONTROL LnL.**

Se ha propuesto y validado la implementación totalmente digital del convertidor VRM multifase con control LnL. Además, se han resumido y caracterizado los parámetros más importantes a tener en cuenta para el diseño de un convertidor, tanto con control lineal como con control LnL.

Se ha propuesto y validado el funcionamiento de una nueva estructura de controlador asíncrono, que permite independizar la respuesta dinámica del convertidor respecto del ancho

de banda del regulador lineal. Se ha mostrado la influencia del período de muestreo del multiplexor de modo de control (MMC) sobre la respuesta transitoria.

Se ha propuesto y validado una nueva implementación de convertidor A/D para aplicaciones de electrónica de potencia. Se ha demostrado que dicha solución, gracias al funcionamiento concurrente de las FPGA, permite disminuir de manera considerable el período de muestreo de la señal de entrada del convertidor A/D y también el período de latencia del mismo.

#### **9.1.4 APORTACIONES RELACIONADAS CON LA OPTIMIZACIÓN DE LA RESPUESTA DEL CONTROL L<sub>N</sub>L.**

Se ha propuesto y validado, por primera vez, un algoritmo de diseño para el cálculo óptimo de los parámetros del convertidor VRM multifase con control L<sub>N</sub>L. Además, se ha planteado el control L<sub>N</sub>L asimétrico como solución a los problemas de sobreoscilación que se generan en el VRM multifase con control L<sub>N</sub>L simétrico. Se justifica, teórica y prácticamente, el proceso de optimización de las tensiones de umbral para el controlador L<sub>N</sub>L asimétrico.

Por otra parte, el algoritmo propuesto no solo permite optimizar el diseño desde el punto de vista de los principales parámetros del sistema, sino que permite, en caso de que sea necesario, fabricar un circuito integrado de uso específico (ASIC), disponiendo de los elementos físicos (*hardware*) optimizados para su implementación. Esto resulta una aportación muy interesante, especialmente cuando las exigencias de consumo, tamaño y coste del convertidor sean muy restrictivas.

## **9.2 RECOMENDACIONES PARA TRABAJOS FUTUROS**

Durante el desarrollo del presente trabajo se han identificado una serie de líneas de investigación, así como posibles estudios futuros para mejorar, profundizar y ampliar los conocimientos y los campos de aplicación del control L<sub>N</sub>L.

Teniendo en cuenta lo anteriormente descrito se pueden resumir las siguientes líneas futuras de trabajo:

1. Profundizar en el diseño óptimo de los VRM multifase, para definir en función de una serie de parámetros de entrada, cuáles son las características y los parámetros de diseño más adecuados para cada aplicación. Esto permitiría obtener un algoritmo de diseño cuya optimización dependerá de las exigencias de la aplicación. Es por ello, que se recomienda estudiar en profundidad cada uno de los parámetros del VRM (número de fases, frecuencia de conmutación, capacidad del filtro de salida, etc.), dado un conjunto de parámetros (rendimiento, densidad de potencia, gestión térmica del convertidor, etc.) con diferentes niveles de prioridad.
2. Investigar en el diseño de los VRM multifase autoajustables (selftuning), que permitan ajustar los parámetros propios del control LnL en función de la evolución de los principales parámetros del convertidor.
3. Teniendo en cuenta las ventajas que ofrece el control LnL en cuanto a que independiza el ancho de banda del control lineal de la respuesta del sistema, así como el desarrollo de nuevas plataformas de diseño, como por ejemplo las FPGA, y teniendo en cuenta los resultados obtenidos hasta el momento, se recomienda el estudio de nuevas estrategias para el diseño de un control universal integrado en un solo chip.
4. Generalización del control LnL a otras topologías tales como convertidores elevadores, reductor/elevador, etc. Esto implica, por una parte, un estudio más profundo de la variación del ciclo de trabajo para estas topologías, ya que las mismas presentan ceros en el semiplano derecho de la función de transferencia del bloque de potencia, y, por otra parte, buscar nuevas alternativas topológicas equivalentes a este tipo de convertidores.
5. Aplicación del control LnL a inversores sinusoidales que funcionan con cargas no lineales, con el objetivo de disminuir la amplitud de los armónicos distintos del fundamental, y por lo tanto la distorsión armónica total.

## PUBLICACIONES RELACIONADAS CON LA TESIS

1. A. Barrado, J. Quintero, A. Lázaro, C. Fernández, P. Zúmel, E. Olías. “Linear-Non-Linear Control applied in Multiphase VRM”. IEEE PESC 2005 (Power Electronics Specialists Conference), Recife, Brasil, Junio 12-16, 2005.
2. J. Quintero, A. Barrado, A. Lázaro, C. Fernández, P. Zúmel, E. Olías. “Aplicación del Control Lineal-no-lineal a Módulos reguladores de tensión basado en convertidores multifase con entrelazado”. SAAEI05 (Seminario Anual de Automática Electrónica Industrial e Instrumentación). Santander, España, Septiembre 28-30 2005.
3. J. Quintero, M. Sanz, A. Lázaro, C. Fernández, A. Barrado. “Reduction of the Switching Frequency and the Number of Phases in multiphase VRM by applying Linear – Non – Linear Control”. IEEE PESC 2006 (Power Electronics Specialists Conference), Korea, Junio 12-16, 2006.
4. J. Quintero, M. Sanz, A. Lázaro, C. Fernández, A. Barrado, E. Olías. “Reducción de la frecuencia de conmutación y del número de fases en VRM multifases implementando el control Lineal-no-Lineal”. SAAEI06 (Seminario Anual de Automática Electrónica Industrial e Instrumentación). Gijón, España, Septiembre 14-18, 2006.
5. J. Quintero, M. Sanz, A. Barrado, A. Lázaro, E. Olías. “Experimental Validation of the Advantages provided by Linear – Non – Linear Control in Multi-phase VRM”. APEC07 (Applied Power Electronics Conference). IEEE Disneyland, California, February 24-28, 2007.
6. J. Quintero, A. Barrado, M. Sanz, A. Lázaro, C. Raga. “Bandwidth and Dynamic Response Decoupling in a Multi-phase VRM by applying Linear-Non-Linear Control”. IEEE ISIE07 (International Symposium on Industrial Electronics). Vigo, Spain, June 4-7, 2007.
7. J. Quintero, A. Barrado, M. Sanz, A. Lázaro. “Ventajas de la implementación digital del control Lineal-no-Lineal en un VRM multiphase” SAAEI07 (Seminario Anual de Automática Electrónica Industrial e Instrumentación), Puebla, México, Septiembre 10-14 2007.



8. P. Zumel, C. Fernández, J. Quintero, A. Lázaro, A. Barrado.” Regulador digital fácilmente reconfigurable para control de convertidores de potencia”, SAAEI07 (Seminario Anual de Automática Electrónica Industrial e Instrumentación). Puebla, México, Septiembre 10-14 2007.
9. J. Quintero, A. Barrado, M. Sanz, A. Lázaro, “Asynchronous Linear-nonLinear Control”, Electron. Lett. 6 December 2007, Volum43, Issue25, p.1411–1413 doi: 10.1049/el:20072225.
10. J. Quintero, A. Barrado, M. Sanz, A. Lázaro, “Digital Control with Asynchronous Linear-non-Linear Compensator”, APEC08 (Applied Power Electronics Conference), Austin, Texas, February 24-28 2008.
11. J. Quintero, P. Zumel, C. Fernandez, M. Sanz, A. Lazaro, A. Barrado, “Increasing the Performance of DPWM and A/D Converter for the Future Integrated Power Converters”, PWM SOC08, 1<sup>st</sup> International Workshop on Power Supply on Chip, Clarion Hotel, Cork, Ireland, Sept.22-24, 2008.
12. J. Quintero, M. Sanz, A. Barrado, A. Lázaro, “FPGA based Digital Control with High-Resolution Synchronous DPWM and High-Speed Embedded A/D Converter”, APEC09 (Applied Power Electronics Conference) Washington, DC, February 15-19, pp 1360-1366, 2009.
13. J. Quintero, M. Sanz, A. Barrado, A. Lázaro, “Modulador de ancho de pulso digital y conversor analógico-digital de altas prestaciones empotrados en FPGA para aplicaciones de electrónica de potencia”, SAAEI’09 (Seminario Anual de Automática Electrónica Industrial e Instrumentación). Leganés, Madrid, Julio 1-3, 2009.

## OTRAS PUBLICACIONES

1. L. Hassaine, E. Olías, J. Quintero, “A new strategy based on SPWM Inverter for utility connected PV System”. 22nd European Photovoltaic Solar Energy Conference and Exhibition. CD-ROM, pp. 3074-3078, Milán, Italia, Septiembre 3-7 2007.
2. L. Hassaine, E. Olías, J. Quintero, A. Barrado, P. Zúmel. “Estrategia de Control por Desplazamiento Digital de Fase para Inversores Conectados a la Red”. SAAEI07

(Seminario Anual de Automática Electrónica Industrial e Instrumentación). Septiembre 10-14, 2007.

3. L.Hassaine, E. Olías, J. Quintero, A. Barrado. "Digital Control based on the Shifting Phase for Grid Connected Photovoltaic Inverter", APEC08 (Applied Power Electronics Conference) Austin, Texas, pp945-951, February 24-28 2008.
4. L. Hassaine, E. Olías, J. Quintero, P. Zumel. "Single Phase Inverter for Connected PV System with Power Factor Control". 23<sup>rd</sup> European PV Solar Energy Conference & Exhibition, 2008 CD\_ROM, pp. 3546-3549, Valencia, Spain.
5. L. Hassaine, E. Olías, J. Quintero, M. Haddadi. "Digital power factor control and reactive power regulation for grid-connected photovoltaic inverter", Renewable Energy Journal, vol. 34 n°1, pp 315-321, 2009.
6. L. Hassaine, E. Olías, J. Quintero, P. Zumel. "Algoritmo de diseño e Implementación del control por desplazamiento de fase para inversores conectados a la red". SAAEI'09. Leganés, Madrid, 2009.

## ARTÍCULOS EN REVISIÓN

1. J. Quintero, A. Barrado, M. Sanz, C. Fernández, P. Zumel, A. Lázaro, "Impact of Linear-nonlinear Control in Multi-phase VRM Design" IEEE Transactions on Power Electronics.
2. L. Hassaine, E. Olías, J. Quintero, C. Fernández and A. Barrado. "Power control for grid connected applications based on phase shifting of the inverter voltage with respect to the grid voltage" Renewable Energy Journal.



---

## REFERENCIAS

- [Abu04] J. Abu-Qahouq, H. Mao, I. Batarseh “Multiphase voltage mode hysteretic controlled dc-dc converter with novel current sharing”, IEEE Transactions on Power Electronics, vol. 19, no. 6 page(s): 1397-1407, Nov. 2004.
- [Alo03] P. Alou, J. A. Cobos, R. Prieto, O. García, J. Uceda, “A Two Stage Voltage Regulator Module with Fast Transient Response Capability”, IEEE Power Electronics Specialist Conference (PESC), 2003, page(s): 138-143.
- [Ala07] H. Al-Atrash, I. Batarsed, “Digital Controller Design for Practicing Power Electronics Engineer”, IEEE Applied Power Electronics Conference and Exposition (APEC’07), page(s): 34-41.
- [Arb98] S. B. Arbetter, D. Maksimovic, “DC-DC converter with fast transient response and high efficiency for low-voltage microprocessors loads”, in Proc. IEEE 13<sup>th</sup> Annu. Applied Power Electronics Conference and Exposition (APEC’98), vol I, page(s): 156-162.
- [Ba02a] A. Barrado, R. Vázquez, E. Olías, A. Lázaro, J. Pleite. “Fast Transient Response In Hybrid Sources with Combined Linear-Non-Linear Control”, IEEE Power Electronics Specialist Conference (PESC), 2002, page(s): 1599-1604.
- [Ba02b] A. Barrado, R. Vázquez, A. Lázaro, J. Pleite, E. Olías. “Fast Transient Response with Combined Linear-Non-Linear Control applied to Buck Converters”, IEEE Power Electronics Specialists Conference (PESC), 2002, page(s): 1587-1592.
- [Bab09] A. Babazadeh, and D. Maksimovic. “Híbrido Digital Adaptive Control for Transient Response in Synchronous Buck DC-DC converters,” IEEE Transaction on Power Electronics, Volume 24, Issue 1, Part 11, Nov. 2009, page(s): 2625-2638.
- [Bar05] A. Barrado, J. Quintero, A. Lázaro, C. Fernández, P. Zúmel, E. Olías. “Linear-Non-Linear Control applied in Multiphase VRM”. IEEE PESC

- 2005 (Power Electronics Specialists Conference), Recife, Brasil, Junio 12-16, 2005.
- [Bar07] Andrés Barrado Bautista, Antonio Lázaro Blanco, “Problemas de Electrónica de Potencia”, ISBN 978-84-205-4652-0, Pearson Prentice Hall, Pearson Educación S.A., 1192 Págs., Madrid 2007.
- [Bat07] Majd Batarseh, Xiangcheng Wang, Issa Batarseh. “Non-isolated Haft Bridge Buck based Converter for VRM Application”, IEEE Power Electronics Specialists Conference (PESC’07), 17-21 Jun. 2007, page(s): 2393-2398.
- [Bib99] S. Bibian, H. Jin, “A simple prediction technique for the compensation of digital Control time delay in DC switchmode power supplies, IEEE Applied Power Electronics Conference (APEC’99), page(s): 994-1000.
- [Bri08] Brian Narveson, Cian O’Mathuna, “PSMA PSiP2PwrSoC Project Phase I Report, PSMA Packaging Committee Co-chairmen, (PowerSoc’08).
- [Ca03a] A. de Castro, P. Zumel, O. García. T. Riesgo, J. Uceda, “Digital control in multi-phase DC-DC converters”, EPE Journal, May 2003, Vol.13, nº 2, pp 21-27.
- [Ca03b] A. de Castro, “Aplicación del control digital basado en *hardware* específico para convertidores de potencia conmutados”, Tesis Doctoral, Universidad Politécnica de Madrid, 2003.
- [Car06] T. Carosa, R. Zane, D. Maksimovic, “Implementation of a 16 Phase Digital Modulator in a 0.35 $\mu$ m Process”, in Proc. IEEE Workshop on Computer in Power Electronics, COMPEL’06.
- [Cas07] M. Castilla, I. García de Vicuna, J. M. Guerrero, J. Miret, N. Berbel, “Simple low-cost hysteretic controlled for single phase synchronous buck converter”, IEEE Transactions on Power Electronics, vol. 22, no. 4 page(s): 1232-1241, Jul. 2007.
- [Cha07] Chandrasekaran Sriram. “Power Converter Employing a tapped inductor and integrated magnetic and Method of operating the same”, United States Patent US 2007/007298118 B2. US patent issued on Nov. 20, 2007.

- [Cha08] Chandrasekaran Sriram, Mehrota Vivek. "Power Converter Employing integrated magnetic with a Current Multiplier rectifier and Method of operating the same", United States Patent US 2008/007417875 B2. US patent issued on Aug. 26, 2008.
- [Coh99] I. Cohen, "Rectification and Inversion Circuits" U.S. Patent No. 6005779, March 1999.
- [Coh09] I. Cohen, Bing Lu, J. Rice, D. Gehrke, M. Segal, B. Lynch, R. Miftakhtdinov, J. Picard, K. Hesse, M. Hagen and V. Yousefzadeh. "2008-2009 Power Supply Seminar Texas Instrument", SEM1800, Madrid, April 2009.
- [Cos08] Costabeber A., Corradini L., Mattavelli P., Saggini S., "Time Optimal, parameters-insensitive digital controller for DC-DC buck converters", IEEE Power Electronics Specialists Conference (PESC'08), 15-19 Jun. 2008, page(s): 1243-1249.
- [CPE01] CPES, VRM Consortium Quarterly Review Reports, VPEC, 1997-2001.
- [Dig06] Digital Logic Metastability. [http://www.interfacebus.com/Design\\_MetaStable.html](http://www.interfacebus.com/Design_MetaStable.html)," Nov. 2006.
- [Dro94] Drobnik, J., Huang, L., Jain, P., Steigerwald, R. "PC platform power distribution system-past application, today's challenge and future direction", The 21st International Telecommunications Energy Conference, 1999. INTELEC'99, 6-9 June 1999 Page(s): 6 page(s):
- [Dro99] J. Drobnik, L. Huang, P.Jain and R. Steigerwald, "PC Platform Power Distribution System: Past Application, Today's Challenges and Future Direction" IEEE Applied Power Electronics Conference (APEC'99), Records, page(s): 263-268.
- [Dua06] Dual-Core Intel Processor 7100 series Datasheet, September 2006.
- [Dw06a] Dwarakanath Mirmira Ramarao, Wang Jue. "Digital Controller for a Power Converter employing selectable phases of a clock signal", United States Patent US 2006/007019505 B2. US patent issued on Mar. 28, 2006.
- [Dw06b] Dwarakanath Mirmira Ramarao, Wang Jue, Weston Harry Thomas. "Controller for a Power Converter and a method of Controlling a switch

- thereof”, United States Patent US 2006/007038438 B2. US patent issued on May. 2, 2006.
- [Ed06a] Edward Herbert, “Switched Current Power Converter, Transient and Frequency Response, (Spice Models)”, Canton, CT 06019, March 2006.
- [Ed06b] Edward Herbert, United States Patent, “Totem-Pole Power Converter for processors”, Patent No.: US 7,098,638 B1, August 29, 2006.
- [Eju03] J. Ejury, D. Ahlers, “Thermal Considerations for the MOSFET Selection in DC/DC Converters,” Proceedings PCIM 2003 Long Beach, California, p. 257ff.
- [Eju04] J. Ejury, A. Elbanhawy, “Investigations of the influence of PCB Layout Parasitic inductances in DC/DC Converters on the Efficiency, proceedings PCIM 2004 Nürnberg, Germany.
- [Fra98] G. F. Franklin and J. D. Powell, Digital Control of Dynamic Systems, Addison-Wesley Publishing Company, Inc: 1998.
- [Fol05] R. F. Foley, R. C. Kavanagh, W. P. Marnane, M. G. Egan, "An area-efficient digital pulse width modulation architecture suitable for FPGA implementation", Proc. 20th Annual IEEE Applied Power Electronics Conference and Exposition, APEC, vol. 3, March 2005, pp. 1412-1418.
- [Fun07] Fung C. W., Liu C. P., Pong M. H. “A Diagrammatic Approach to Search for Minimum Sampling Frequency and Quantization Resolution for Digital Control of Power Converters”. IEEE Power Electronics Specialists Conference (PESC’07), 17-21 July 2007, page(s): 826-832.
- [Gar06] García O., Cobos J. A., Castro A. “Control Digital de Convertidores Conmutados,” Seminario SAAEI 06, Universidad Politécnica de Madrid, 2006.
- [Gey08] T. Geyer, G. Papafotiou, R. Frasca and M. Morari. “Constrained optimal control of step-down DC-DC converter,” IEEE Transaction on Power Electronics, Volume 23, Issue 1, Part 5, Sep. 2008, page(s): 2454-2464.
- [Goo97] S. Goodfellow, D. Weis, “Designing Power System around Processors Specifications”, Electronic Design, Jan. 1997. Page(s): 53-57.

- [Gua06] Guang Feng, Eric Meyer, Yan-Fei Liu. "High Performance Digital Control Algorithms for DC-DC Converters Based on the principle of Capacitor Charge Balance", IEEE Power Electronics Specialists Conference (PESC), , July 2006, page(s): 1-7.
- [Gua07] Guang Feng, Eric Meyer, Yan-Fei Liu. "A New Digital Algorithm to Achieve Optimal Dynamic Performance in DC-to-DC Converters", IEEE Transactions on Power Electronics, Vol. 22, No. 4, July 2007, page(s): 1489-1495.
- [Guo02] J. Guo, J. Y. Hung, R. M. Nelms, "PID controller modifications to improve steady state performance of digital controllers for buck and boost converters", Proc. 17th Annual IEEE Applied Power Electronics Conference and Exposition, APEC, vol. 1, 2005, pp. 381-388.
- [Her05] Herbert Edward. "Buck (or boost) converter with very fast output current transitions and low ripple voltage", United States Patent US 2005/006897641 B1. US patent issued on May. 24, 2005.
- [Hol05] Bill Holt, "Moore's Law, 40 years and counting. Future directions of Silicon and Packaging". InterPck'05, Heat Transfer Conference.
- [Hu06] H. Hu, V. Yousefzadeh, D. Maksimovic. "Nonlinear Control for Improved Dynamic Response of Digitally Controlled DC-DC Converters ", IEEE Power Electronics Specialists Conference (PESC), 2006, page(s): 2584-2590.
- [Hua03] W. Huang, D. Clavette, G. Schuellein, M. Crowther y J. Wallace "System Accuracy Analysis of the Multiphase Voltage Regulator Module" IEEE Applied Power Electronics Conference (APEC'03), 2003.
- [Hub99] L. Huber and M. M. Jovanovic, "Forward-Flyback Converter with Current-doubler Rectifier: Analysis, Design and Evaluation Results" IEEE Transaction on Power Electronics, Vol. 14, No. 1, 1999, page(s): 184-192.
- [Int00] Intel Corporation, Intel Power Supply Technology Symposium, September 2000.
- [Jak08] Jakobsen, L.T.; Schneider, H.; Andersen, M.A.E. Comparison of state-of-the-art digital control and analogue control for high bandwidth point of



- load converters IEEE Applied Power Electronics Conference and Exposition, 2008. APEC'08. Volume, Issue, 24-28 Feb. 2008 page(s): 1440 – 1445.
- [Jas04] Jason Zhang. “Synchronous Buck Converter with Improved Transient Performance”, United States Patent US 2004/006753723 B2. US patent issued on Jun. 22, 2004.
- [Kai04] Kaiwei Yao, Yuancheng Ren, Julu Sun, Kisun Lee, Ming Xu, Jinghai Zhou and Fred C. Lee. “Adaptive Voltage Position Desing for Voltage Regulators”, IEEE Power Electronics Specialists Conference (PESC), 2004, page(s): 272-278.
- [Kas01] J.G. Kassakian, D.J. Perreault “The future of electronics in automobiles” Proceedings of the International Symposium on Power Semiconductor Devices and ICs, (ISPSD'01), 2001, págs. 15–19.
- [Kel05] Kelvin Ka-Sing Leung, henry Shu-Hung Chung. “Dynamic Hysteresis Band Control of the Buck Converter with Fast Transient Response”, IEEE Power Electronics Specialists Conference (PESC), 2005, page(s): 272-278.
- [Kop02] Carlo Kopp, “ Moore’s Law and it Implications for Information Warfare” The 3<sup>rd</sup> International (AOC) EW Conference. Association of old crows electronic Warfare Conference, Conference Proceeding, B.E. (Hons), Zurich, January 6, 2002.
- [Lar08] Lars T. Jakobsen, Henrik Schneider, Michael Andersen “Comparison of State-of-the-Art Digital Control and Analogue Control for High Bandwidth Point of Load Converters”. IEEE Applied Power Electronics Conference and Exposition. APEC '08. 24-28 Feb. 2008, page(s): 1440 - 1445.
- [Lee01] F. C. Lee, P. Barbosa, P. Xu, J. Zhang, B. Yang and F. Canales, “Topologies and Design Considerations for Distributed Power System Applications,” IEEE Proceeding, Vol. 89, No. 6, June 2001, page(s): 939-950.
- [Lee06] Martin Lee, dan Chen, Chih-Wen Liu, Kevin Huang, Eddie Tseng and Ben Tai, “Comparisons of three Control schemes for Adaptive Voltage

- Position (AVP) Droop for VRM Applications”, EPE-PEMC, IEEE Proceeding, 2006, page(s): 206-211.
- [Lid01] A. Lidow, D. Kinzer, G. Sheridan and D. Tam, “The Semiconductor Roadmap for Power Management in the New Millennium,” IEEE Proceeding, Vol. 89, No. 6, June 2001, page(s): 803-812.
- [Lip07] Laszlo Lipcsei, “DC-to-DC Converter with Improved Transient Response”, United States Patent US 2007/0253230 A1. US patent issued on Nov. 1, 2007.
- [Liu07] Liu Yan-Fei, Mayer Erick. “DC-DC Converter with Improved Dynamic Response”, Kingston, ON CA Patent AH02J100FI. US patent issued on Nov. 1, 2007.
- [Llo96] Lloyd Dixon, “Control Loop Cookbook”, Power Supply Design Seminar, Unitrode 1996.
- [Luk05] Z. Lukic, Kun Wang, A. Prodic, “High-frequency digital controller IC for DC/DC converters based on multi-bit  $\Sigma$ - $\Delta$  pulse-width modulation,” IEEE Applied Power Electronics Conference and Exposition. APEC '05. 2005, page(s): 301-308.
- [Mak04] D. Maksimovic, R. Zane and R. Erickson, “Impact of digital control in power electronics” IEEE International Symposium on Power Semiconductor Devices & ICs, page(s): 13-22, May 2004.
- [Mak06] Dragan Maksimovic. “Digital Control of Switched-Mode Power Supplies,” Seminar Announcement, Colorado Power Electronics Center ECE Department, University of Colorado at Boulder, July 2006.
- [Mal04] O'Malley, E.; Rinne, K “A programmable digital pulse width modulator providing versatile pulse patterns and supporting switching frequencies beyond 15 MHz,” IEEE Applied Power Electronics Conference and Exposition, 2004. APEC '04. Volume 1, 2004 page(s): 53 - 59 Vol.1.
- [Mao02] Mao Ye, Peng Xu, Bo Yang and Fred C. Lee, “Investigation of Topology Candidates for 48V VRM” Center for Power Electronics Systems, Virginia, IEEE, page(s): 699-705, 2002.
- [Mar00] R. Martinez, R. Miftakhutdinov, D. Kelton, “A synchronous buck Converter with Modified Hysteretic-Mode Control Invariable from

- Output filter characteristics". Proc. of High Frequency Power Conversion Conference, page(s): 146-154, 2000.
- [Max04] "Input and Output Noise in Buck Converters," [http://www.maxim-ic.com/appnote\\_number/986](http://www.maxim-ic.com/appnote_number/986), August 2004.
- [Me07a] Erick Meyer, Guang Feng, Yan-Fei Liu. "Novel Digital Controller Improves Dynamic Response and Simplifies Design Process of Voltage Regulator Module", IEEE Power Electronics Specialists Conference (PESC), 2007, page(s): 1447-1453.
- [Me07b] Erick Meyer, Yan-Fei Liu. "A Quick Capacitor Charge Balance Control Method to Achieve Optimal Dynamic Response for Buck Converters", IEEE Power Electronics Specialists Conference (PESC'07), 15-19 Jun. 2007, page(s): 1549-1555.
- [Me08a] Erick Meyer, Yan-Fei Liu. "A Practical Minimum time control method for Buck Converters Based on Capacitor Charge Balance", IEEE Applied Power Electronics Conference (APEC'08), 24-28 Feb. 2008, page(s): 10-18.
- [Me08b] Erick Meyer, Zhiliang Zhang and Yan-Fei Liu. "Controlled Current Source circuit (CCSC) for Reduction of Output Voltage Overshoot in Buck Converters", IEEE Power Electronics Specialists Conference (PESC'08), 15-19 Jun. 2008, page(s): 815-820.
- [Me08c] Erick Meyer, Zhiliang Zhang and Yan-Fei Liu. "An Optimal Control Method for Buck Converters Using a Practical Capacitor Charge Balance Technique ", IEEE Transactions on Power Electronics, Vol. 23, No. 4, July 2008, page(s): 1802-1812.
- [Meh08] Mehrotra Vivek, Sun Jian. "Winding structure for efficient switch-mode Power Converters", United States Patent US 2008/007427910 B2. US patent issued on Sep. 23, 2008.
- [Mey09] Erick Meyer, Zhiliang Zhang and Yan-Fei Liu. "Controlled auxiliary circuit with measured response for reduction of output voltage overshoot in buck Converters ", IEEE Applied Power Electronics Conference (APEC'09), Feb. 2009, page(s): 1367-1373.

- [Mif01] Rais Miftakhutdinov "An Analytical Comparison of Alternative Control Techniques for Powering Next-Generation Microprocessors" Unitrode Products from Texas Instruments," Power Supply Design Seminar". 2001.
- [Mi01a] Rais Miftakhutdinov "Optimal Design of Interleaved Synchronous Buck Converter at High Slew-Rate Load Current Transients," IEEE Power Electronics Specialist Conference PESC'01, Vol.3, 2001, page(s): 1714-1718.
- [Mi01b] Rais Miftakhutdinov "Analysis and Design of Input Filter for Local Voltage Regulator at High Slew-Rate Load Current Transients," PCIM, 2001, page(s): 93-102.
- [Moh07] Mohamed Z.Youssef, Praveen K. Jain, Walter Light Hall. "Analysis and Design of a Novel LLC 48V Resonant Self-oscillating Voltage Regulator Module", IEEE Power Electronics Specialists Conference (PESC), 2007, page(s): 252-258.
- [Nöb04] G. Nöbauer, D. Ahlers, J. Ruiz Sevillano, "A method to determine parasitic inductances in buck converter topologies," Power Management & Supply, Application notes Infineon, June 2004.
- [Oli04] J. A. Oliver, P. Zumel, O. Garcia, J. A. Cobos, J. Uceda, "Passive component analysis in interleaved buck converters", IEEE Applied Power Electronics Conference and Exposition, APEC 2004, vol. 1, page(s): 623–628.
- [Oma04] E. O'Malley, K. Rinne, "A programmable digital pulse width modulator providing versatile pulse patterns and supporting switching frequencies beyond 15 MHz", Proc. 19th Annual IEEE Applied Power Electronics Conference and Exposition, APEC, vol .1, Feb. 2004, pp. 53-59.
- [Pan99] Y. Panov, M. M. Jovanovic, "Design and Performance Evaluation of Low-Voltage/High-Current DC/DC On-boards Modules", IEEE Applied Power Electronics Conference and Exposition, APEC'99, page(s): 545-552.

- [Pan01] Y. Panov, M. M. Jovanovic, "Design Considerations for 12V/1.5V, 50A Voltage Regulator Modules", IEEE Transactions on Power Electronics, vol. 16, no. 6, November 2001.
- [Pat00] B. J. Patella, "Implementation of a High frequency, Low-Power Digital Pulse Width Modulation Controller Chip, M.S. Thesis, University of Colorado, Boulder, December 2000.
- [Pat02] B. J. Patella, A. Prodic, A. Zirger, D. Maksimovic, "High-frequency digital controller IC for DC/DC converters," IEEE Applied Power Electronics Conference and Exposition, APEC 2002, vol. 1, page(s): 623–628.
- [Pen01] L. Peng, X. Kong, Y. Kang, J. Chen, "A novel PWM technique in digital control and its application to an improved DC/DC converter," IEEE Power Electronics Specialist Conference (PESC'01), 2001, page(s): 401-407.
- [Pen02] Peng Xu, Fred C. Lee, "Multiphase Voltage Regulator Modules with Magnetic Integration to Power Microprocessors", Faculty of the Virginia Polytechnic Institute, Blacksburg, Virginia 2002.
- [Pen07] H. Peng, A. Prodic, E. Alarcon and D. Maksimovic. "Modeling of Quantization Effects in Digitally Controlled DC-DC converters," IEEE Transaction on Power Electronics, Volume 22, Issue 1, Part 2, Jan. 2007, page(s): 208-215.
- [Pet01] A. V. Petechchev, S. R. Sanders, "Quantization resolution and limit cycle in digitally controlled PWM Converters," IEEE Power Electronics Specialist Conference (PESC'01), 2001, page(s): 465-471.
- [Pet03] A. V. Petechchev, S. R. Sanders, "Quantization resolution and limit cycle in digitally controlled PWM Converters," IEEE Transaction on Power Electronics, Volume 18, Issue 1, Part 2, Jan. 2003, page(s): 301-308.
- [Pit01] Pit - Leong Wong, "Performance Improvements of Multi-Channel Interleaving Voltage Regulator Modules with Integrated Coupling Inductors", Virginia Polytechnic Institute, March 2001.

- [Pit06] G. Pitel and P. Krein, "Trajectory paths for dc-dc converters and limits to performance", IEEE Workshops on Computers in Power Electronics COMPEL'06, 2006, page(s): 40-47.
- [Pra03] Praveen Kumar Jain, Haibo Zhang, "High Frequency DC to AC inverter", United States Patent 6519168. US patent issued on February 2003.
- [Pul02] Pulak Dhar, Fariborz Musabi, Haibo Zhang, Praveen Jain, Dheeraj Jain, Nita Bansal, "A Resonance AC/DC Converter for High Frequency Power Distribution Systems", Technical Report, Cistel Technology Inc. 2002.
- [PXu00] P. Xu, Q. Wu, P. Wong and F. C. Lee, "A Novel Integrated Current Doubler Rectifier", IEEE Applied Power Electronics Conference and Exposition, APEC 2000, vol. 1, page(s): 735-740.
- [PXu01] P. Xu, M. Ye, X. Jia, P. Wong and F. C. Lee, "The integrated Filter Push-Pull Forward converter for 48V Input Voltage Regulator Modules", CPES Seminar Proc., April 2001, page(s): 257-264.
- [Qui06] J. Quintero, M. Sanz, A. Lázaro, C. Fernández, A. Barrado. "Reduction of the Switching Frequency and the Number of Phases in Multiphase VRM by applying Linear-non-Linear Control," IEEE Power Electronics Specialist Conference (PESC), June 2006, 1285-1290.
- [Qu07a] J. Quintero, A. Barrado, M. Sanz, A. Lázaro, E. Olías. "Experimental Validation of the advantages provided by Linear-non-Linear Control in Multiphase VRM". IEEE Applied Power Electronics Conference and Exposition, APEC07, Feb. 25 March 1 2007, vol. 1, page(s): 707-713.
- [Qu07b] J. Quintero, A. Barrado, M. Sanz, A. Lázaro, C. Raga. "Bandwidth and Dynamic Response Decoupling in a Multi-phase VRM by applying Linear-Non-Linear Control". IEEE ISIE07 (International Symposium on Industrial Electronics). Vigo, Spain, June 4-7, 2007.
- [Qu08a] J. Quintero, A. Barrado, M. Sanz, A. Lázaro. "Digital Control with Asynchronous Linear-non-Linear Compensator". IEEE Applied Power Electronics Conference and Exposition, APEC08, 24-28 Feb. 2008, vol. 1, page(s): 491-497.

- [Qu08b] J. Quintero, P. Zumel, M. Sanz, C. Fernández, A. Lázaro, A. Barrado. “Increasing the Performance of DPWM and A/D Converter for the Future Integrated Power Converters”. International Workshop on Power Supply on Chip. September, 22-24<sup>th</sup> Cork, Ireland.
- [Qui09] J. Quintero, A. Barrado, M. Sanz, A. Lázaro. “FPGA based Digital Control with High-Resolution Synchronuos DPWM and High-Speed Embedded A/D Converter”. IEEE Applied Power Electronics Conference and Exposition, APEC08, 24-28 Feb. 2008, vol. 1, page(s): 491-497.
- [Rai01] Rais Miftakhutdinov, “An Analitical Comparison of alternative Control Techniques for Powering Next-Generation Microprocessors”, Power Supply Design Seminar, Unitrode, 2001.
- [Red80] Richard Redl and Nathan O. Sokal, “Optimizing dynamical behaviour with input and output feed-forward and current mode control”, PowerCon’7, page(s): H-1 H-16, 1980.
- [Red98] Richard Redl, Brian P. Erisman and Zoltan Zansky, “Optimizing the Load Transient Response of the Buck Converter”, IEEE Applied Power Electronics Conference and Exposition, APEC 1998, vol. 1, page(s): 170–176.
- [Roz08] Rozman Allen F. “Control Circuit for a Depletion Mode Switch and Method of Operating the same”, United States Patent US 2008/007385375 B2. US patent issued on Jun. 10, 2008.
- [Sag08] S. Saggini, E. Orietti, P. Mattavelli, A. Pizzuttelli, A. Bianco. “Fully-Digital Hysteretic Voltage-Mode Control for dc-dc Converters based on Asynchronous Sampling”. IEEE Applied Power Electronics Conference and Exposition (APEC’08), 24-28 Feb. 2008, page(s): 503-509.
- [San07] Santa C. Huerta, A. de Castro, O. García, J. A. Cobos. “FPGA based Digital Pulse Width Modulator with Time Resolution under 2 ns”. IEEE Applied Power Electronics Conference and Exposition (APEC’08), 2007, page(s): 877-881.

- [Shi06] M. Shi, J. Sun, P. Enjeti, "A dual loop digital controller for switching dc-dc converters". in Proc. IEEE 28<sup>th</sup> Annu. Int. Telecommun. Energy Conference (INTELEC'00), 2006, page(s): 1-5, section 29.
- [Sim08] Simon Effler, Anthony Kelly, Mark Halton, Tilmann Krüger and Karl Rinne. "Digital Control Law Using a Novel Load Current Estimator Principe for Improved Transient Response", IEEE Power Electronics Specialists Conference (PESC), 2008, page(s): 4585-4589.
- [Sin08] R. Singh, A. Khambadkone. "A buck derived topology with improved step-down transient performance" IEEE Transaction on Power Electronics, Volume 23, Issue 1, Part 6, Nov. 2008, page(s): 2855-2866.
- [Sob93] L. B. Sobolev, "Optimal control of transients in DC-DC converters", in Proc. Power Conv. and Conference (PCC'93), 1993, page(s): 194-199.
- [Son06] C. Song and J. L. Nilles, "Accuracy analysis of hysteretic current mode voltage regulator", in Proc. IEEE 20<sup>th</sup> Annu. Applied Power Electronics Conference and Exposition (APEC), Feb. 2005, vol. 1, page(s): 276-280.
- [Sot02] A. Soto, P. Alou, J. A. Oliver, J. A. Cobos, J. Uceda. "Optimum Control Design of PWM-Buck Topologies to Minimize Output Impedance", IEEE Power Electronics Specialists Conference (PESC), 2002, page(s): 426-432.
- [Sot03] A. Soto, A. de Castro, P. Alou, J. A. Cobos, J. Uceda, A. Lofti, "Analysis of the buck converter for scaling the supply voltage of digital circuits", IEEE Applied Power Electronics Conference and Exposition (APEC), Feb. 2003, vol. 2, page(s): 711-717.
- [Sot04] A. Soto, P. Alou, J. A. Cobos, "Design Concepts and Guidelines for VRMs from a Power Stage Perspective", Power Electronics Specialist Conference PESC'04, 2004, vol. 2, page(s): 2218-2224.
- [Sot06] A. Soto, P. Alou, J. A. Cobos, "Non-Linear Digital Control Breaks Bandwidth Limitations", IEEE Applied Power Electronics Conference and Exposition (APEC'06), 19-23 March 2006, page(s): 724-728.
- [Ste06] W. Stefanutti, P. Mattavelli, S. Saggini, G. Garcea, "Energy-Based Approach for Predicting Limit Cycle Oscilations in Voltage Mode



- Digitally Controlled DC-DC Converters”, IEEE Applied Power Electronics Conference and Exposition (APEC’06), 19-23 March 2006.
- [Str99] A. Stratakos, “High-Efficiency, Low-Voltage DC-DC Conversion for Portable Applications”, Tesis doctoral de la Universidad de California, Berkeley, 1999.
- [Sun08] Yi Sun, Jian Li, Ming Xu, Fred C. Lee, “Novel digital Multi-Phase Duty Cycle Modulation Methods for Voltage Regulators”, IEEE Applied Power Electronics Conference and Exposition, APEC’08, 24-28 Feb. 2008, page(s): 1099 - 1105.
- [Sye04] A. Syed, E. Ahmed, D. Maksimovic, E. Alarcon, "Digital Pulse width Modulator Architectures", Proc. IEEE 35th Annual Power Electronics Specialists Conference, PESC04. vol. 6, June 2004, pp. 4689-4695.
- [Tab92] W. A. Tabisz, M. M. Jovanovic and F. C. Lee, “Present and future of Distributed Power Systems” IEEE APEC 1992 Records, page(s): 11-18.
- [Tak06] T. Takayama, D. Maksimovic, "Digitally controlled 10 MHz monolithic buck converter", Proc. 10th IEEE Computers in Power Electronics Workshop, COMPEL, July 2006.
- [Vaz01] R. Vázquez, A. Barrado, E. Olías, A. Lázaro, “Theoretical Study and Implementation of A High Dynamic Performance, High Efficiency and Low Voltage Hybrid Power Supply”, IEEE Power Electronics Specialist Conference PESC’01, page(s): 1517-1522, 2001.
- [Vaz03] R. Vázquez, “Estrategias avanzadas de control para mejorar la respuesta dinámica de las fuentes de alimentación con baja tensión de salida” Tesis Doctoral, Universidad Carlos III de Madrid, 2003.
- [VR04] Voltage Regulator Module (VRM) and Enterprise Voltage Regulator-Down (EVRD) 10.0 Design Guidelines for desktop socket 478, February 2004.
- [VR05a] Voltage Regulator Module (VRM) and Enterprise Voltage Regulator-Down (EVRD) 10.1 Design Guidelines, March 2005.
- [VR05b] Voltage Regulator Module (VRM) 10.2L Design Guidelines, March 2005.

- [VR08] Voltage Regulator Module (VRM) and Enterprise Voltage Regulator-Down (EVRD) 11.0 Design Guidelines, April 2008.
- [Wai01] Waizman A. and C.Y. Chung, "Resonant free power network design using extended adaptive voltage positioning (EAVP) methodology," IEEE Trans. Advanced Packaging, vol. 24, pp. 236–244, Aug. 2001.
- [Wal08] Walters Mike. "Buck Converter having improved Transient Response to load step Down", United States Patent US 2006/007019505 B2. US patent issued on Oct. 14, 2008.
- [Wan06] K. Wang, N. Rahman, Z. Lukic, A. Prodic, "All-digital DPWM/DPFM controller for low-power DC-DC converters", Proc. 21st Annual IEEE Applied Power Electronics Conference and Exposition, APEC, March 2006, pp. 719-723.
- [Wei00] G. Y. Wei, J. Kim, D. Liu, S. Sidiropoulos, M. Horowitz. "A variable-frequency parallel I/O interface with adaptive power-supply regulation". IEEE J. Solid-State Circ., 35(11):1600–1610, November 2000.
- [Wei01] Jia Wei, Peng Xu, Ho-Pu Wu, Fred C. Lee, Kaiwei Yao, Mao Ye, "Comparison of Three Topology Candidates for 12V VRM", IEEE Applied Power Electronics conference (APEC), 2001, page(s): 245-251.
- [Wen03] Wenkang Huang, Schuelleing G., Clavette D., "A scalable multiphase buck converter with average current share bus", Proc. IEEE 18<sup>th</sup> Annual. Applied Power Electronics Conference and Exposition, APEC'03, vol. 1, 2003, page(s): 438 - 443.
- [Wil08] Wilson A. T. Mosfet Current Source Gate Drivers, Switching Loss Modelling and Frequency Dithering Control for MHz switching frequency DC-DC Converters. Queen's University Kingston, Ontario, Canada, February, 2008.
- [Won01] P. Wong, Performance Improvements of Multi-Channel Interleaving Voltage Regulator Modules with Integrated Coupling Inductors, Dissertation, VPI&SU, Blacksburg, VA, March 2001.
- [Wu99] Wu Albert M., Xiao Jinwen, Markovic Dejan, Sanders Seth. "Digital PWM control: application in Voltage Regulation Modules". IEEE Power

- Electronics Specialist Conference PESC'99, 1999, Vol. 1, August 1999, page(s): 77 - 83.
- [Xia99] A. M. Wu, J. Xiao, D. Markovic, S. R. Sanders, "Digital PWM Control: Application in Voltage Regulator Models", IEEE Power Electronics Specialist Conference PESC'99, 1999, page(s): 77-83.
- [Xia01] J. Xiao, A. Peterchev, S. R. Sanders, "Architecture and IC implementation of a digital VRM Controller", IEEE Power Electronics Specialist Conference PESC'01, 2001, page(s): 38 - 47.
- [Xia04] J. Xiao, A. V. Peterchev, J. Zhang, and S. R. Sanders. A 4- $\mu$ a quiescent-current dual mode digitally controlled buck converter IC for cellular phone applications. IEEE J. Solid-State Circ., 39(12):2342–2348, December 2004.
- [Xin04] Xin Zhang and Alex Q. Huang, "Investigation of VRM controllers", Proc. IEEE The 16<sup>th</sup> International Symposium on Power Semiconductor Devices and ICs. (ISPSD'04), 2004, page(s): 51-54.
- [Xin06] Xin Zhang and Alex Q. Huang, "A Novel Distributed Interleaving Scheme to achieve Scalable Phase Design for Microprocessor Power Management", Proc. 37<sup>th</sup> IEEE Power Electronics Specialist Conference PESC'06 June 2006, page(s): 1 - 7.
- [Xun00] Xunwei Zhou, Pit-Leong Wong, Peng Xu, Fred C. Lee and Alex Q. Huang, "Investigation of candidate VRM topologies for future microprocessor", IEEE Transactions on Power Electronics, Vol. 15, No. 6, November 2000, page(s): 1172-1182.
- [Yan08] Yan-Fei Liu, Eric Meyer. "DC-DC Converter with Improved Dynamic Response", Kingston, ON CA Patent 2008/0258701. CA patent issued on Oct. 23, 2008.
- [You06] Yousefzadeh, V., Takayama, T., Maksimovic, D. "Hybrid DPWM with Digital Delay-Locked Loop," page(s): 142-148 /COMPEL. 2006.
- [You07] Yousefzadeh V., Babazadeh A., Ramachandran B., Pao L., Maksimovic D., Alarcon E. "Proximate Time-Optimal Digital Control for DC-DC Converters". IEEE Power Electronics Specialists Conference, PESC'07, 17-21 Jun. 2007, page(s): 124-130.

- [Yo08a] Yousefzadeh Vahid, Shamim Choudhury. "Nonlinear Digital PID Controller for DC-DC Converters". IEEE Applied Power Electronics Conference and Exposition, APEC'08, 24-28 Feb. 2008, page(s): 1704 - 1709.
- [Yo08b] Yousefzadeh,V. Babazadeh, A. Ramachandran, B. Alarcon, E. Pao, L.Maksimovic, D., "Proximate Time-Optimal Digital Control for Synchronous Buck DC-DC Converters", in IEEE Transactions on Power Electronics, vol. 23, pp. 2018 -2026, July 2008.
- [Zha96] M. T. Zhang, M. M. Javonivic and F. C. Lee,, "Desing Considerations for Low-Voltage on-board DC/DC Modules for next generation of Data Processing Circuits", IEEE Transactions on Power Electronics, Vol. PE. 11, No. 2, March 1996, page(s): 328-337.
- [Zha00] Zhang M., "Powering Intel Pentium 4 processors," Intel Technology Symposium, 2000.
- [Zha04] Xin Zhang, Alex Q. Huang, "Investigation of VRM controllers", Proceedings of 2004 International Symposium on Power Semiconductor Devices & Ics (ISPSD), 2004, page(s): 51-54.
- [Zha06] Xu Zhang, Yang Zhang, Regan Zane Dragan Maksimovic, "Design and Implementation of a Wide-bandwidth Digitally Controlled 16-phase Converter", Computers in Power Electronics, 2006. COMPEL apos; 06. IEEE Workshops on Volume, Issue , 16-19 July 2006 Page(s):106 - 111.
- [Zha08] Z. Zhao, A. Prodic. "Continuous -Time Digital Controller for High-Frequency DC-DC Converters", in IEEE Transactions on Power Electronics,vol.23, pp.564-573, March2008.
- [Zhe07] Zhenyu Zhao, Vadim Smolyakov and Aleksandar Prodic, "Continuous-Time Digital signal Processing Based Controller for High-frequency DC-DC Converters", IEEE Applied Power Electronics Conference and Exposition, APEC'03, 25 Feb.-01 March 2007, page(s): 882 - 886.
- [Zhe08] Zhenyu Zhao and Aleksandar Prodic, "Non-Zero Error Method for Improving Output Voltage Regulation of Low-Resolution Digital Controllers for SMPS", IEEE Applied Power Electronics Conference and Exposition, APEC'08, 24-28 Feb. 2008, page(s): 1106 - 1110.

- [Zho98] X. Zhou, X. Zhang, J. Liu, P. L. Wong, J. Chen, H. P. Wu, L. Amoroso, F. C. Lee and D. Y. Chen, "Investigation of candidates VRM topologies for Future Microprocessor", IEEE Applied Power Electronics Conference and Exposition, APEC'98 Records, 1998, page(s): 145-150.
- [Zho99] X. Zhou, X. Zhang, B. Yang, L. Amoroso, F. C. Lee and P. Wong, "A novel High Input Voltage, High efficiency and Fast transient Voltage Regulator Module - Push-Pull Forward Converter", IEEE Applied Power Electronics Conference and Exposition, APEC'99 Records, 1999, page(s): 279-283.
- [Zu06a] Zumel P., Fernández C., de Castro A., García O. "Efficiency Improvement in Multiphase Converter by Changing Dynamically the Number of Phases", Proc. 37<sup>th</sup> IEEE Power Electronics Specialist Conference, PESC'06, 18-22 June 2006, page(s): 1 - 6.
- [Zu06b] Zumel P., Fernández C., A. Lázaro, A. Barrado. "Digital Compensator Design for DC-DC Converters based on FPGA: an Educational Approach ", IECOM 2006, 32<sup>nd</sup> annual Conference on Volume, Issue, 6-10 Nov 2006, page(s): 5439 - 5444.

# ANEXO I

## I.1 PROTOTIPOS

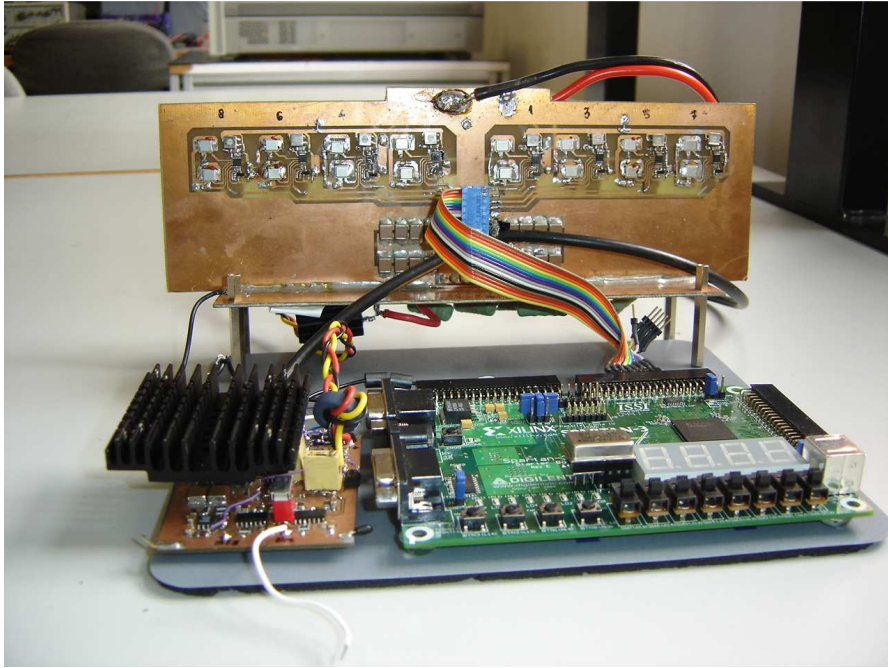
Durante la etapa de investigación se ha diseñado y estudiado un grupo de prototipos que marcan determinadas etapas. Cada uno de ellos se han modificado y perfeccionando en dependencia de las nuevas necesidades y direcciones que ha tomado la investigación.

Para resumir cada una de las etapas, a continuación se exponen los prototipos más significativos. Cada uno de los prototipos desarrollados, cumplen con las especificaciones de partida. Esta condición es imprescindible para la verificación práctica de los resultados, tanto teóricos como de simulación obtenidos. Toda la evolución que han experimentado los prototipos, están relacionado con el proceso de caracterización del control LnL aplicado a los VRM multifase.

El dato de partida era el diseño de un convertidor reductor síncrono multifase con entrelazado capaz de funcionar con una estrategia de control lineal y con control LnL, sin modificar las características eléctricas del mismo y que cumpla con ciertos requerimientos dinámicos.

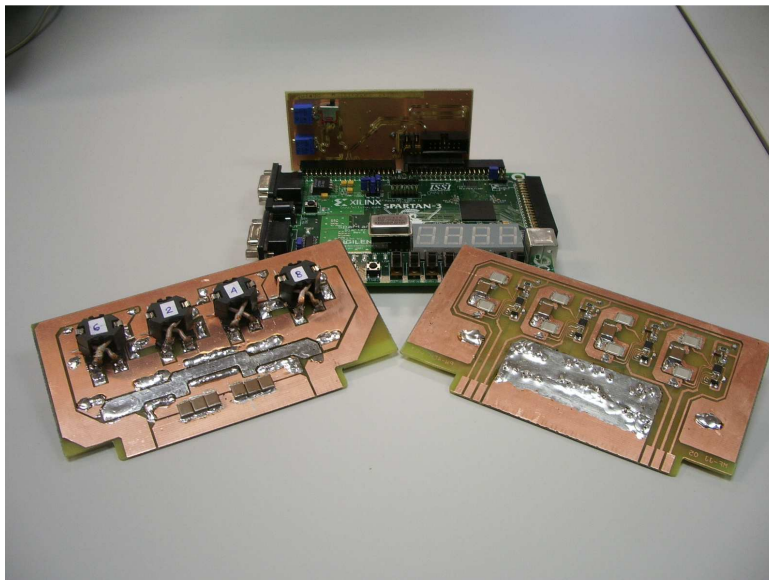
En el primer prototipo se utiliza como plataforma de diseño una FPGA de Altera. Al aumentar la resolución del convertidor, se necesitan frecuencias de reloj más elevadas. Esto hace que sea necesario cambiar de plataforma digital. Como resultado se elije otra con mayores prestaciones, la Spartan 3 de Xilinx.

En la figura I.1, se muestra el prototipo 1 de un convertidor multifase síncrono con entrelazado de 8 fases colocadas de forma lineal. La selección del número de fases (entre 4 y 8 fases), al igual que la frecuencia de conmutación, se hace con ayuda de una señal de activación externa (selección de fases), que se genera en el bloque digital (ver capítulo 6). La carga se encuentra emplazada en la parte central inferior, muy cerca de la salida del convertidor.



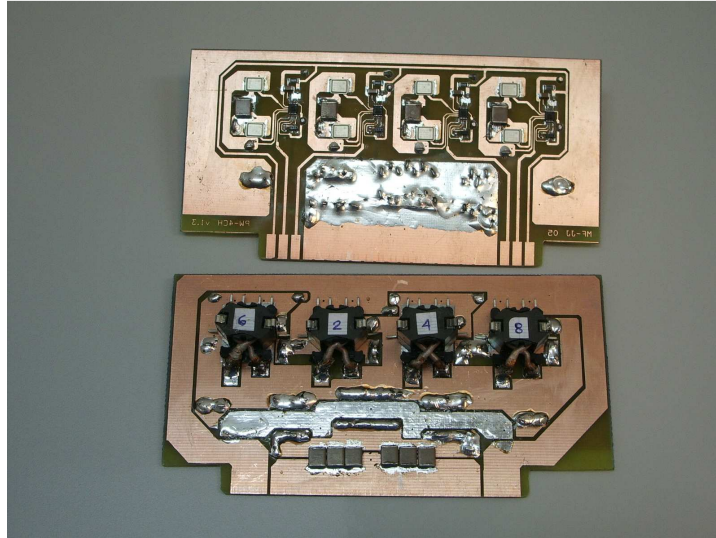
*Fig. I.1 Prototipo 1 de VRM de 8 fases.*

En la figura I.2, se muestra el prototipo 2 del convertidor multifase síncrono con entrelazado de 8 fases modular. Este diseño mejora las características del anterior en cuanto a requerimientos térmicos corriente y derivada de la corriente de salida. Por otra parte permite una mejor caracterización del convertidor.



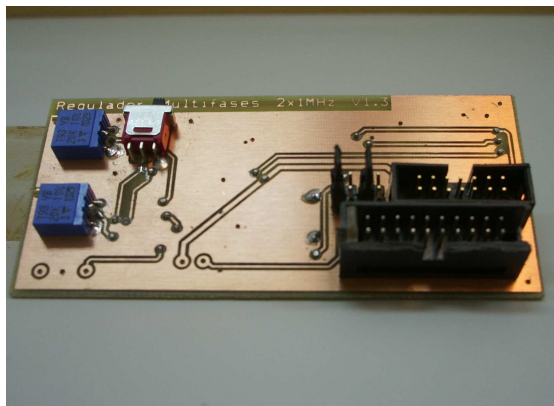
*Fig. I.2 Prototipo 2 de VRM de 4 fases por módulo.*

Se mejora el acceso a los puntos característicos de medición, ya que se incluyen sondas para la medición de cada una de las corrientes, tanto por la bobina de cada fase una de las fases, como la corriente total del módulo. Su concepción modular, permite obtener un diseño más robusto de la planta (ver figura I.2, I.3).

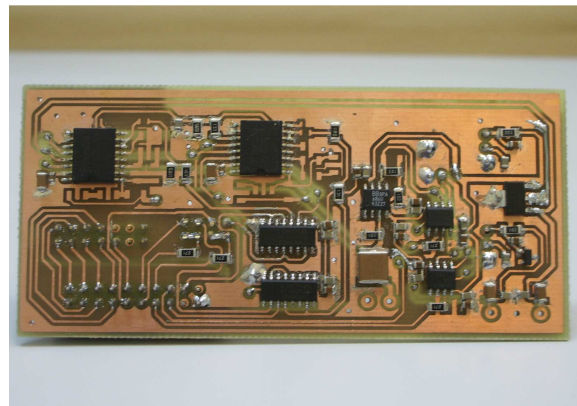


*Fig. I.3 Módulo de 4 fases, cara frontal y posterior.*

En la figura I.3, se muestran la cara frontal y posterior del módulo de 4 fases. Cada módulo VRM de 4 fases accede a la carga a través de un conector que se encuentra ubicado directamente en la misma.



*a) Cara anterior*

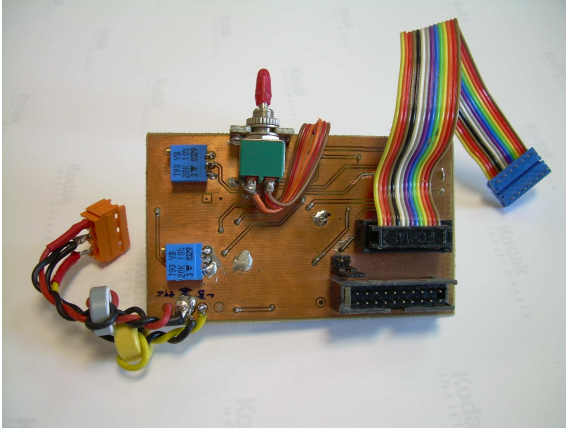


*b) Cara posterior*

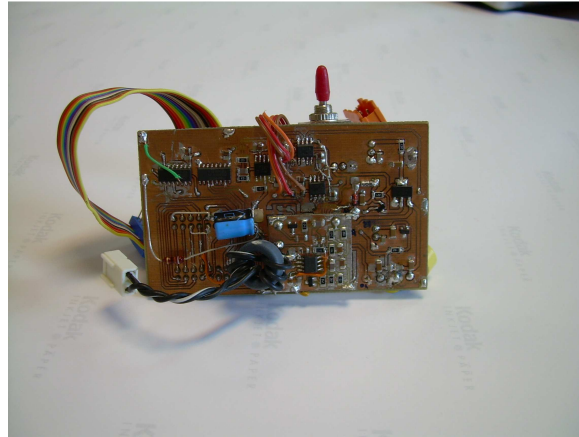
*Fig. I.4 Prototipo 1. Bloque analógico (control).*



En las figuras I.4 y I.5, se muestran el bloque analógico correspondiente a los prototipos 1 y 2 respectivamente. Este diseño permite de forma práctica y muy sencilla la selección de la estrategia de control a analizar, y su conexión con el bloque digital y el VRM.



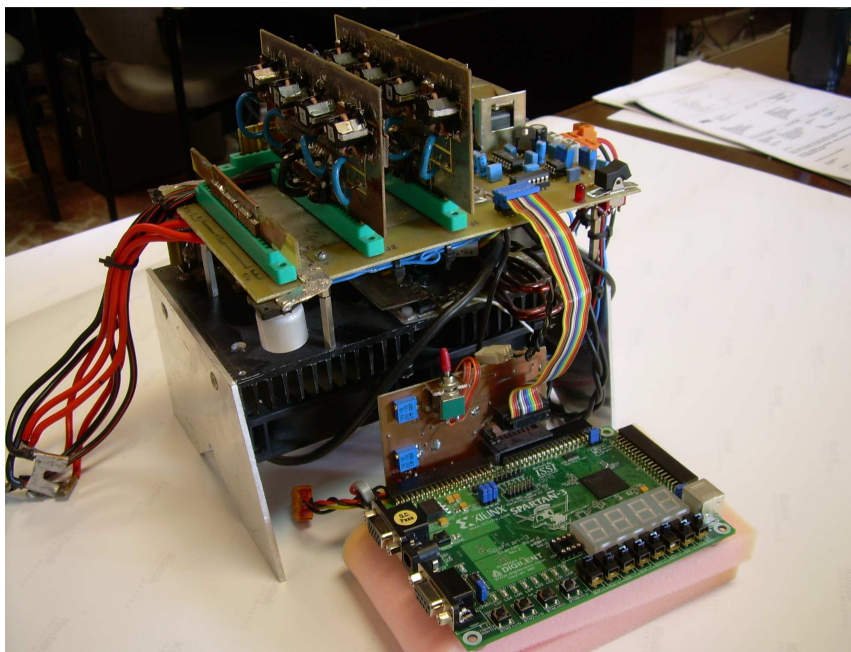
*c) Cara anterior*



*d) Cara posterior*

*Fig. I.5 Prototipo 2. Bloque analógico (control).*

En la figura I.6, se muestran cada uno de los bloques incluyendo la carga y la interconexión entre cada uno de ellos.

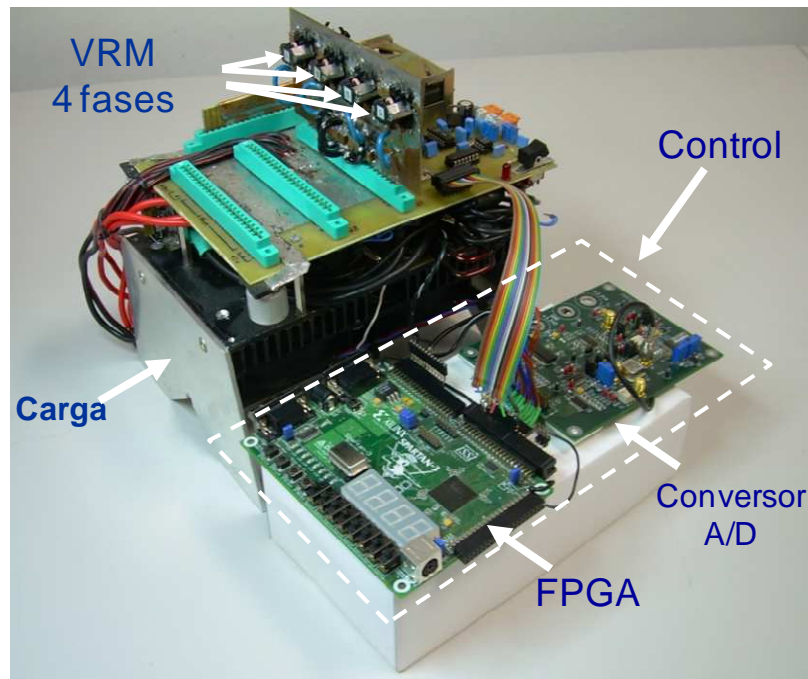


*Fig. I.6 Interconexión entre cada uno de los bloques con la carga.*

Las mediciones se han realizado a VRM de 4 y 8 fases, con una inductancia por fase de 300nH, una capacidad de salida de 1,2mF y frecuencias de conmutación de 300kHz y 600kHz. El bloque analógico permite seleccionar entre dos estrategias de control: Lineal y LnL y el acondicionamiento de las señales analógicas para su posterior procesamiento digital.

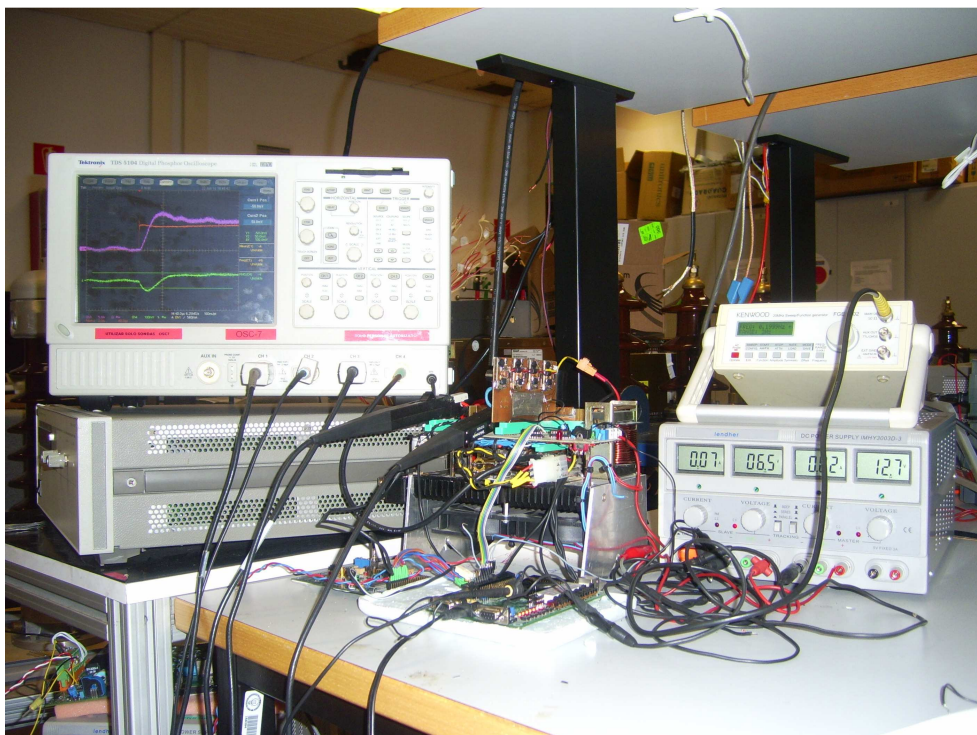
Por otra parte el bloque digital permite la selección de la frecuencia de conmutación del convertidor y genera las señales de control para cada una de las fases entrelazadas entre sí.

Para el caso del diseño del VRM implementado totalmente digital, se han utilizado elementos comunes como son la etapa de potencia, la carga y la FPGA, incorporándose un nuevo módulo externo que es el conversor A/D, ver figura I.7.



*Fig. I.7 Interconexión entre cada uno de los bloques con la carga para el caso de la implementación digital del VRM.*

Durante todo el proceso de experimentación se ha utilizado un banco de pruebas que se muestra en la figura I.8.



*Fig. I.8 Banco de pruebas del VRM.*

## ANEXO II

### II.1 RESULTADOS GENERADOS POR EL PEXPRT PARA VRM DE 4 FASES 300 KHz CON CONTROL LNL.

Waveform Description
----------------------

Square Voltage Waveform

Positive Voltage Value: 3.500 V

Negative Voltage Value: 1.500 V

Frequency: 300 kHz

Continuous Conduction Mode

Average Current Value: 25.000 A

Current Ripple Value: 29.200 A

Specified Inductance Value: 0.120 uH

Duty Cycle (ton/T): 30 %

Design Inputs
---------------

Gap at both legs

Use Bobbin: Yes

Component with wires (no planar)

2D Winding strategies are feasible

Maximum number of parallel turns: 3

Maximum number of layers: 20

Heat transfer method: Normal

Winding efficiency defined by turns spacing:

Intralayer spacing: 25% of wire diameter

Interlayer spacing: 25% of wire diameter

## Margin Tapes:

Top Margin Tape: 0% of Window Height

Central Margin Tape: 0% of Window Width

Maximum temperature rise: 30 °C

Bmax/Bsat: 65%

Maximum Gap Length: 50% of Window Height

```

+-----+
|           Modeling Options           |
+-----+

```

Winding losses calculated accounting for skin effect

Number of harmonics to be considered: 32

Optimization of solutions for each parallel configuration

No Restrictions applied (all possible configurations will be considered)

```

+-----+
|           Design Performance Results           |
+-----+

```

## Losses Distribution:

-----

Winding Losses (using selected model): 215.201 mW

Winding Losses (only DC resistance): 141.650 mW

Winding DC Losses Calculation:  $R_{dc} \cdot I_{rms}^2$ 

Rdc: 203.504 uohm

Irms: 26.383 A

Core Losses: 232.596 mW

Total Losses (Core + Winding): 447.797 mW

Total Losses (Core + Winding DC): 374.246 mW

## Window Occupancy:

-----

Window Filling (AreaWire/AreaAir): 19.555 %

Winding Rate (AreaWinding/AreaAir): 38.9034 %

Flux Density:

-----

Variation of B: 109.375 mT

Maximum B: 148.33 mT

Magnetic Field Strength:

-----

Havg: 27.5995 A/m

Permeability:

-----

Initial: 2700

Actual: 2700

Additional Parameters:

-----

Current density: 8.75 A/mm<sup>2</sup>

Obtained Inductance: 0.12 uH

Temperature Rise: 27.8691 °C

+-----+

| Design Constructive Results |

+-----+

Design Library: Ferroxcube\_Design

Core Size: RM6R

Core Material: 3C81

Bobbin: RM6R

Wire: LITZ\_1\*12\*0.4

Number of Turns: 1

Number of parallel turns: 2

Gap: 377.85 um

## II.2 RESULTADOS GENERADOS POR EL PEXPRT PARA VRM DE 4 FASES 300 KHZ CON CONTROL LINEAL E INCREMENTO DE LA CAPACIDAD DE SALIDA.

Waveform Description
----------------------

Square Voltage Waveform

Positive Voltage Value: 3.500 V

Negative Voltage Value: 1.500 V

Frequency: 300 kHz

Continuous Conduction Mode

Average Current Value: 26.440 A

Current Ripple Value: 29.200 A

Specified Inductance Value: 0.120 uH

Duty Cycle (ton/T): 30 %

Design Inputs
---------------

Gap at both legs

Use Bobbin: Yes

Component with wires (no planar)

2D Winding strategies are feasible

Maximum number of parallel turns: 3

Maximum number of layers: 20

Heat transfer method: Normal

Winding efficiency defined by turns spacing:

Intralayer spacing: 25% of wire diameter

Interlayer spacing: 25% of wire diameter

Margin Tapes:

Top Margin Tape: 0% of Window Height

Central Margin Tape: 0% of Window Width

Maximum temperature rise: 30 °C

Bmax/Bsat: 65%

Maximum Gap Length: 50% of Window Height

```

+-----+
|           Modeling Options           |
+-----+

```

Winding losses calculated accounting for skin effect

Number of harmonics to be considered: 32

Optimization of solutions for each parallel configuration

No Restrictions applied (all possible configurations will be considered)

```

+-----+
|           Design Performance Results           |
+-----+

```

Losses Distribution:

```

-----

```

Winding Losses (using selected model): 202.591 mW

Winding Losses (only DC resistance): 127.649 mW

Winding DC Losses Calculation:  $R_{dc} \cdot I_{rms}^2$

Rdc: 165.750 uohm

Irms: 27.751 A

Core Losses: 232.596 mW

Total Losses (Core + Winding): 435.187 mW

Total Losses (Core + Winding DC): 360.245 mW

Window Occupancy:

```

-----

```

Window Filling (AreaWire/AreaAir): 24.316 %

Winding Rate (AreaWinding/AreaAir): 48.3751 %

Flux Density:

```

-----

```

Variation of B: 109.375 mT



Maximum B: 153.724 mT

Magnetic Field Strength:

-----

Havg: 29.1893 A/m

Permeability:

-----

Initial: 2700

Actual: 2700

Additional Parameters:

-----

Current density: 7.36 A/mm<sup>2</sup>

Obtained Inductance: 0.12 uH

Temperature Rise: 27.0488 °C

+-----+

| Design Constructive Results |

+-----+

Design Library: Ferroxcube\_Design

Core Size: RM6R

Core Material: 3C81

Bobbin: RM6R

Wire: LITZ\_1\*15\*0.4

Number of Turns: 1

Number of parallel turns: 2

Gap: 377.85 um

## II.3 RESULTADOS GENERADOS POR EL PEXPRT PARA VRM DE 4 FASES 1200 KHZ CON CONTROL LINEAL.

```

+-----+
|           Waveform Description           |
+-----+

```

Square Voltage Waveform

Positive Voltage Value: 3.500 V

Negative Voltage Value: 1.500 V

Frequency: 1.2 MHz

Continuous Conduction Mode

Average Current Value: 25.000 A

Current Ripple Value: 7.280 A

Specified Inductance Value: 0.120 uH

Duty Cycle (ton/T): 30 %

```

+-----+
|           Design Inputs           |
+-----+

```

Gap at both legs

Use Bobbin: Yes

Component with wires (no planar)

2D Winding strategies are feasible

Maximum number of parallel turns: 3

Maximum number of layers: 20

Heat transfer method: Normal

Winding efficiency defined by turns spacing:

Intralayer spacing: 25% of wire diameter

Interlayer spacing: 25% of wire diameter

Margin Tapes:

Top Margin Tape: 0% of Window Height

Central Margin Tape: 0% of Window Width

Maximum temperature rise: 30 °C

Bmax/Bsat: 65%

Maximum Gap Length: 50% of Window Height

```

+-----+
|           Modeling Options           |
+-----+

```

Winding losses calculated accounting for skin effect

Number of harmonics to be considered: 32

Optimization of solutions for each parallel configuration

No Restrictions applied (all possible configurations will be considered)

```

+-----+
|           Design Performance Results           |
+-----+

```

Losses Distribution:

```

-----
Winding Losses (using selected model): 187.121 mW
Winding Losses (only DC resistance): 166.699 mW
  Winding DC Losses Calculation:  $R_{dc} \cdot I_{rms}^2$ 
    Rdc: 264.846 uohm
    Irms: 25.088 A
Core Losses: 68.159 mW
Total Losses (Core + Winding): 255.279 mW
Total Losses (Core + Winding DC): 234.858 mW

```

Window Occupancy:

```

-----
Window Filling (AreaWire/AreaAir): 43.9771 %
Winding Rate (AreaWinding/AreaAir): 87.4896 %

```

Flux Density:

```

-----
Variation of B: 35.7143 mT
Maximum B: 140.502 mT

```

Magnetic Field Strength:

-----

Havg: 36.1474 A/m

Permeability:

-----

Initial: 2700

Actual: 2700

Additional Parameters:

-----

Current density: 12.78 A/mm<sup>2</sup>

Obtained Inductance: 0.12 uH

Temperature Rise: 29.0954 °C

+-----+

| Design Constructive Results |

+-----+

Design Library: Ferroxcube\_Design

Core Size: RM5/ILP

Core Material: 3C81

Bobbin: RM5/ILP

Wire: LITZ\_1\*10\*0.5

Number of Turns: 1

Number of parallel turns: 1

Gap: 276.94 um

## II.4 RESULTADOS GENERADOS POR EL PEXPRT PARA VRM DE 21 FASES 300 KHZ CON CONTROL LINEAL.

```

+-----+
|           Waveform Description           |
+-----+

```

Square Voltage Waveform

Positive Voltage Value: 3.500 V

Negative Voltage Value: 1.500 V

Frequency: 300 kHz

Discontinuous Conduction Mode

Average Current Value: 7.267 A

Current Ripple Value: 20.600 A

Specified Inductance Value: 0.120 uH

Duty Cycle (ton/T): 21.165 %

```

+-----+
|           Design Inputs                   |
+-----+

```

Gap at both legs

Use Bobbin: Yes

Component with wires (no planar)

2D Winding strategies are feasible

Maximum number of parallel turns: 3

Maximum number of layers: 20

Heat transfer method: Normal

Winding efficiency defined by turns spacing:

Intralayer spacing: 25% of wire diameter

Interlayer spacing: 25% of wire diameter

Margin Tapes:

Top Margin Tape: 0% of Window Height

Central Margin Tape: 0% of Window Width

Maximum temperature rise: 30 °C

Bmax/Bsat: 65%

Maximum Gap Length: 50% of Window Height

```

+-----+
|           Modeling Options           |
+-----+

```

Winding losses calculated accounting for skin effect

Number of harmonics to be considered: 32

Optimization of solutions for each parallel configuration

No Restrictions applied (all possible configurations will be considered)

```

+-----+
|           Design Performance Results           |
+-----+

```

Losses Distribution:

```

-----
Winding Losses (using selected model): 110.379 mW
Winding Losses (only DC resistance): 27.385 mW
Winding DC Losses Calculation:  $R_{dc} \cdot I_{rms}^2$ 
    Rdc: 274.408 uohm
    Irms: 9.990 A
Core Losses: 99.225 mW
Total Losses (Core + Winding): 209.604 mW
Total Losses (Core + Winding DC): 126.610 mW

```

Window Occupancy:

```

-----
Window Filling (AreaWire/AreaAir): 41.7922 %
Winding Rate (AreaWinding/AreaAir): 83.143 %

```

Flux Density:

```

-----
Variation of B: 100.786 mT
Maximum B: 100.786 mT

```

Magnetic Field Strength:

-----

Havg: 10.4784 A/m

Permeability:

-----

Initial: 2700

Actual: 2700

Additional Parameters:

-----

Current density: 5.30 A/mm^2

Obtained Inductance: 0.12 uH

Temperature Rise: 24.5142 °C

+-----+	
	Design Constructive Results
+-----+	

Design Library: Ferroxcube\_Design

Core Size: RM5/ILP

Core Material: 3C81

Bobbin: RM5/ILP

Wire: LITZ\_1\*15\*0.4

Number of Turns: 1

Number of parallel turns: 1

Gap: 277.81 um